

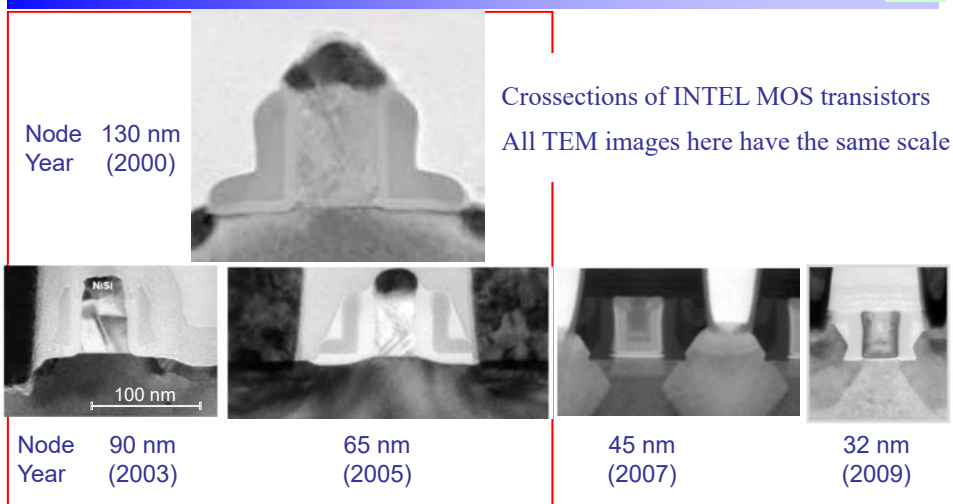
CMOS fabrication process – with LDD and spacer technology

A basic process for 130 nm technological node:

SiO₂ gate dielectric, poly-Si gate electrode, no stress engineering

(Technologies developed from 1980 to 2005)

Changes in transistor size

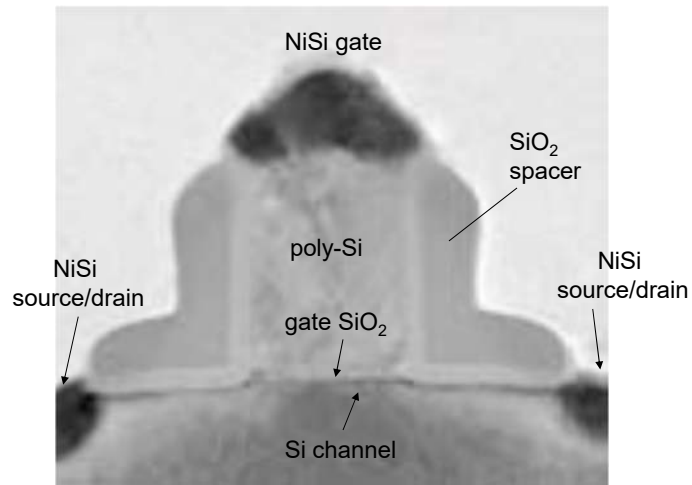


- Very little change in physical gate length, only ~0.9x per node
- The gate pitch is scaling fast, as 0.7x per node and area scales as 0.5x
- Most of the transistor innovation is in stress engineering and HKMG



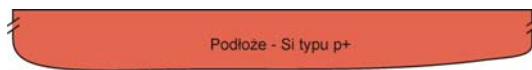
K. Kuhn, CNNA, Berkeley 2010

V. Moroz, SYNOPSIS
Berkeley Seminar 2011



Crosssection of a MOS transistor fabricated in 130 nm technology (AD 2000)

K. Kuhn, MIT 2008



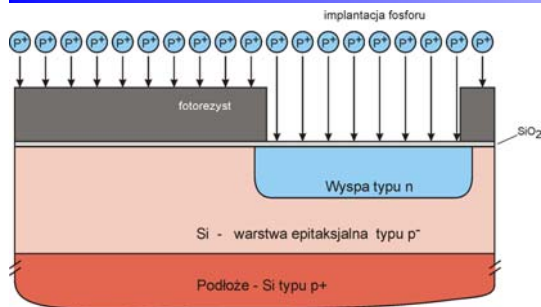
- Substrate – (001) oriented p⁺-Si, highly doped, low-resistivity to prevent latchup of CMOS IC.



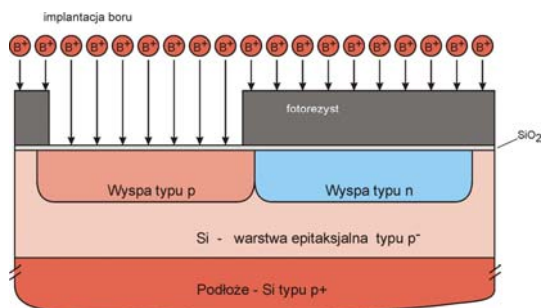
- Epitaxial p⁻-Si layer growth.

n-well and p-well

5



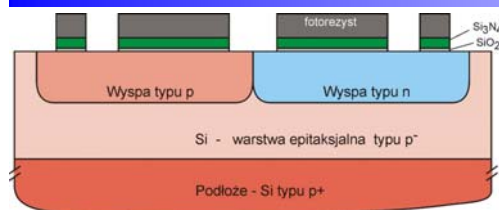
- Thin protective, sacrificial SiO₂ growth – oxidation of Si.
- Lithography, mask 1, n-well.
- Donor (P) implantation.
- Donor (P) activation/diffusion – high temperature, short time.



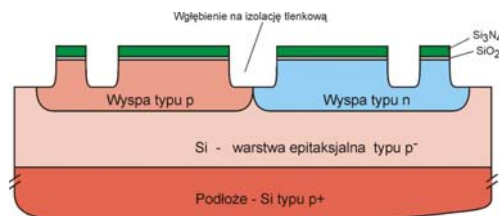
- Lithography, mask 2, p-well.
- Acceptor (B) implantation.
- Acceptor (B) activation/diffusion – high temperature, short time.

Shallow trench isolation (STI)

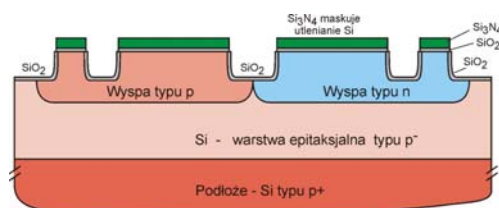
6



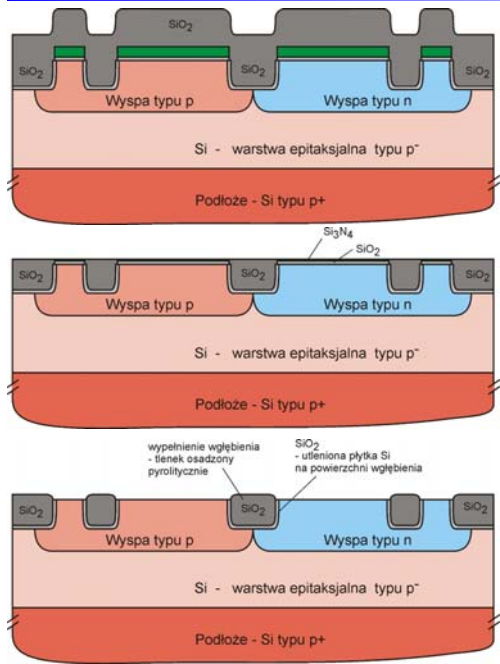
- SiO₂ etching, then again thin oxidation of Si.
- Si₃N₄ low pressure chemical vapor deposition (LP CVD) – mask against Si etching, against Si oxidation and stop layer for later chemical-mechanical polishing (CMP) of SiO₂.



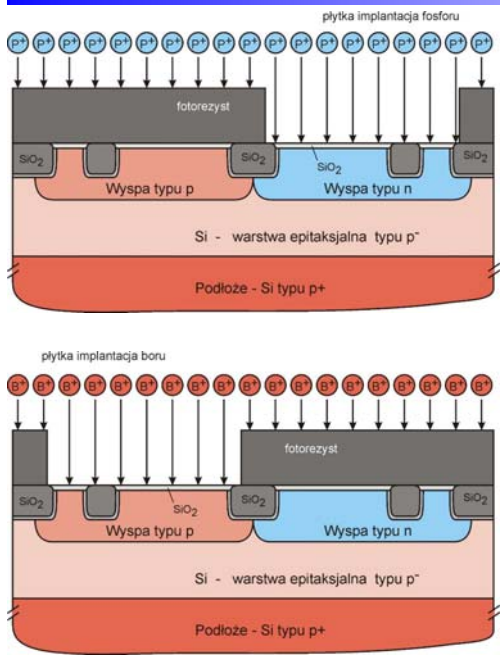
- Lithography, mask 3, STI.



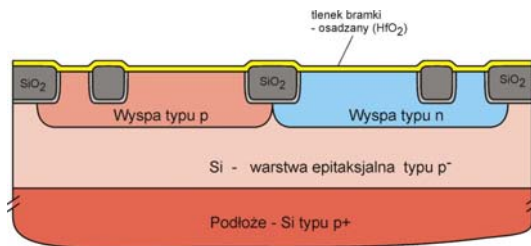
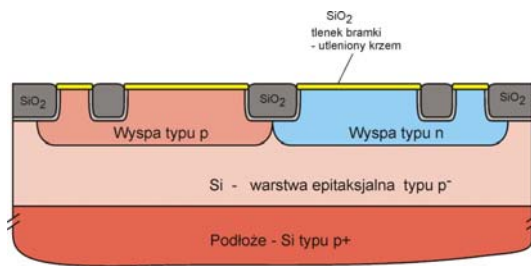
- Thin oxidation of Si – high quality SiO₂ at the STI/Si interface, with low density of trapped electrical charge.



- Deposition of SiO₂ – to fill etched grooves, with CVD – main oxide of STI.
- Chemical-mechanical polishing (CMP) of SiO₂ down to Si₃N₄ layer which acts as a stopping layer.
- Cleaning and etching of Si₃N₄/SiO₂ layers at the Si surface.



- Thin protective, sacrificial SiO₂ growth – oxidation of Si.
- Lithography, mask 4, VT_n.
- Donor (P) implantation to obtain designed value of threshold voltage of nMOS (V_{Tn}).
- Donor (P) activation – high temperature, short time.
- Lithography, mask 5, VT_p.
- Acceptor (B) implantation to obtain designed value of threshold voltage of pMOS (V_{Tp}).
- Acceptor (B) activation – high temperature, short time.
- Wafer cleaning / etching of SiO₂ .



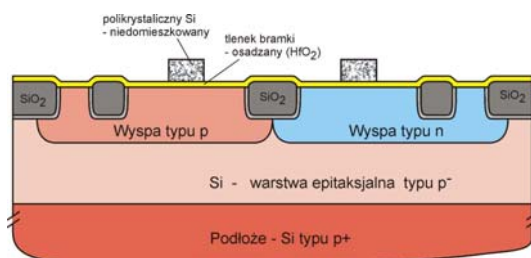
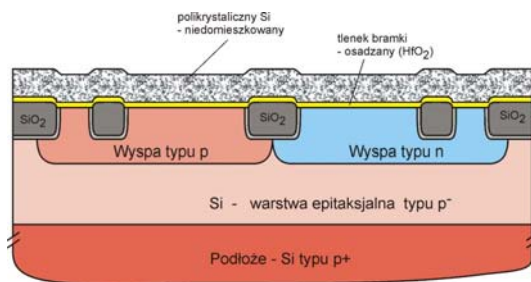
- Si wafer cleaning and removing any surface oxide.

- Gate SiO_2 growth – usually thermal oxidation of Si.

AND / OR

- Gate dielectric (HfO_2) deposition – atomic layer deposition (ALD) – kind of CVD controlled on a single atomic layer scale.

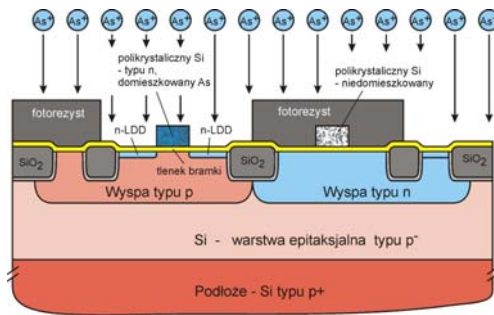
If HfO_2 is applied, then usually first an extremely thin layer of SiO_2 is grown to minimize electrical charge trapped at Si/dielectric interface.



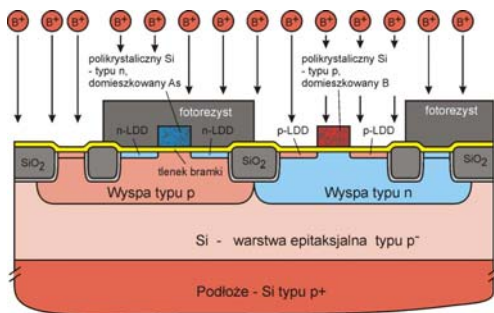
- Polycrystalline Si (poly-Si) - low pressure chemical vapor deposition (LP CVD), for gate electrodes of transistors.

- Lithography, mask 6, poly-Si.

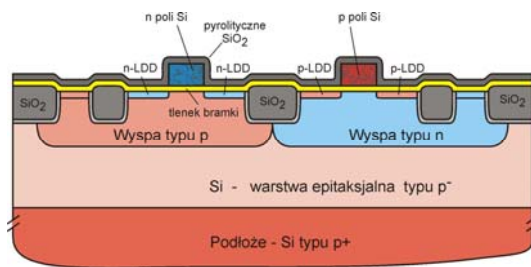
- Etching of poly-Si in plasma.
- Photoresist removing / wafer cleaning.



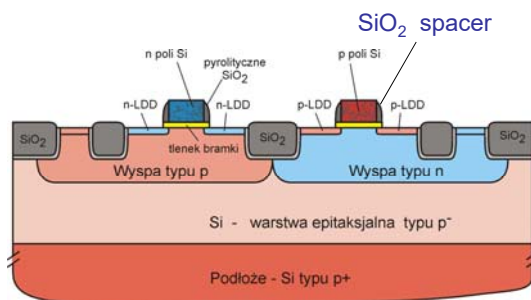
- Lithography, mask 7, n-LDD.
- Donor (As) implantation into sources & drain of nMOS – low dose to prevent source-drain short after activation, poly-Si gate doped at the same time – self-aligned.



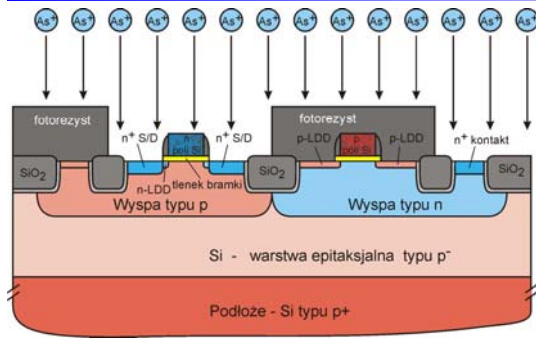
- Lithography, mask 8, p-LDD.
- Acceptor (B) implantation into sources & drain of nMOS – low dose to prevent source-drain short after activation, poly-Si gate doped at the same time – self-aligned.
- Dopant activation – high temperature, short time to prevent diffusion under gate and SD shorting.



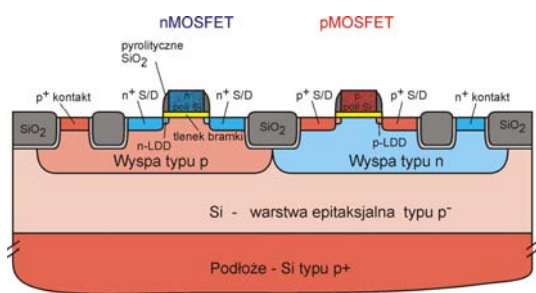
- Blanket deposition of SiO₂ – the same thickness on flats and on sidewalls – LP CVD.



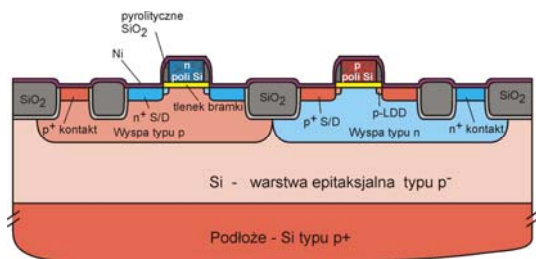
- Anisotropic dry etching of SiO₂ – mainly in vertical direction, eg. reactive ion etching (RIE) in plasma – no mask. SiO₂ spacers remain on sidewalls if etching stopped after SiO₂ complete etching from horizontal areas.



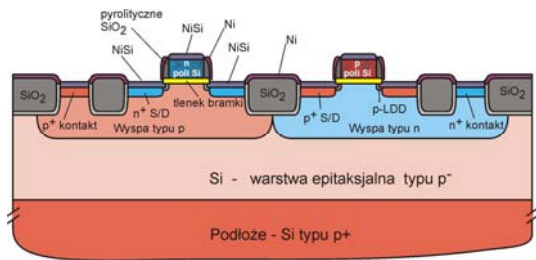
- Lithography, mask 9, n-SD.
- Donor (As) implantation into sources & drain of nMOS – high dose for low S/D series resistance – self-aligned.



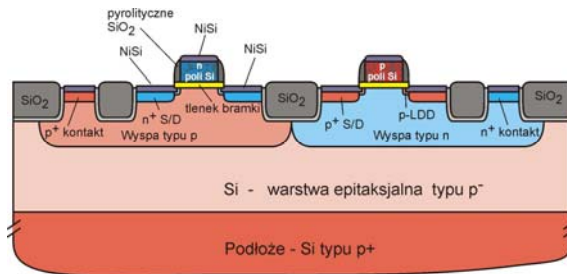
- Lithography, mask 10, p-SD.
- Acceptor (B) implantation into sources & drain of nMOS – high dose for low S/D series resistance – self-aligned.
- Dopant activation – high temperature, short time. SiO₂ spacers on gate sidewalls prevent diffusion of dopants too far under the gate, that is prevent electrical shorting of S with D.



- Ni thin layer, of well controlled thickness deposited (sputtered) on wafer.



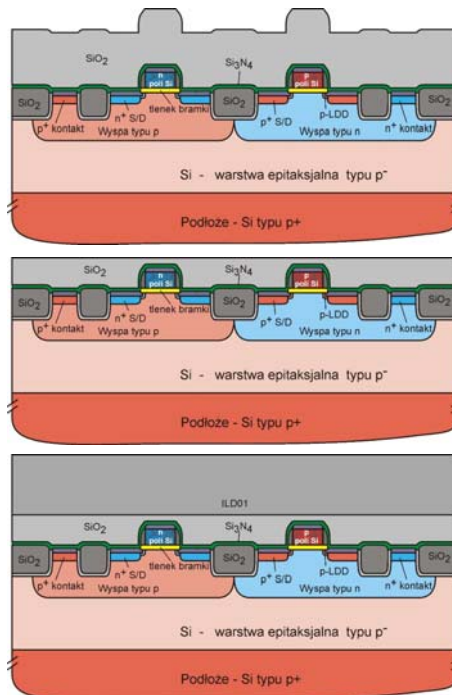
- Wafer heated for short time. All Ni reacts with Si and forms NiSi. It has high conductivity and creates good contacts to Si. NiSi formed only in places where Ni was in contact with Si. Ni remains not reacted with Si on SiO₂ surfaces – self-aligned process without a mask.



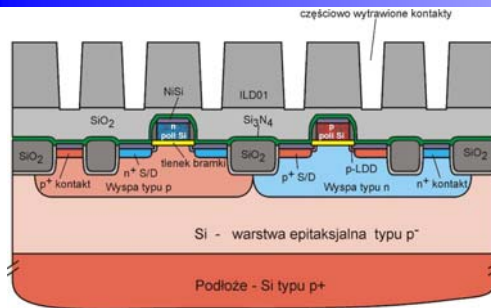
- Wafer immersed into chemicals etching metal and not etching its silicide (eg. aqua regia). Metal is removed from SiO₂ surfaces.

NiSi remains only in places where Ni was in contact with Si. In this way there are no shorts between different contacts of the wafer. – Self-aligned process without a mask.

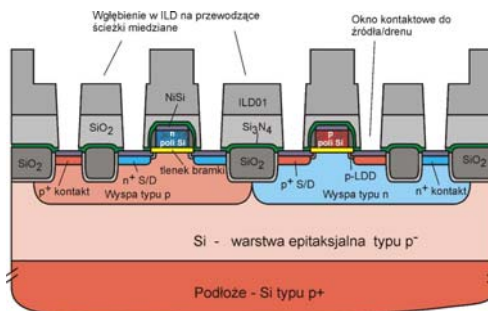
Dielectric layer for local interconnects



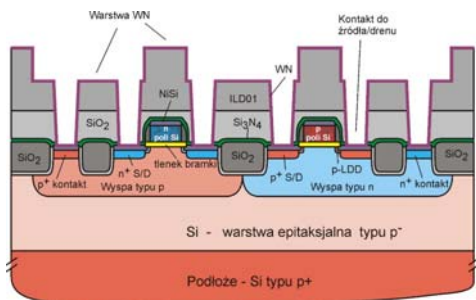
- Si₃N₄ layer plasma enhanced chemical vapor deposition (PE CVD) – Si₃N₄ protects against diffusion of alkaline metal ions to gates of transistors.
- SiO₂ layer CVD.
- Chemical-mechanical polishing of SiO₂ to make wafer flat (planarize) for next lithographic processes.
- Deposition of first interlayer dielectric (ILD - ILD01). ILD preferably has small dielectric permittivity, lower than SiO₂, to minimize parasitic capacitances of metal interconnections.



- Lithography, mask 11, contacts.
- Partial anisotropic dry etching of interlayer dielectric – mainly in vertical direction, eg. reactive ion etching (RIE) in plasma.
- Photoresist removing / wafer cleaning.

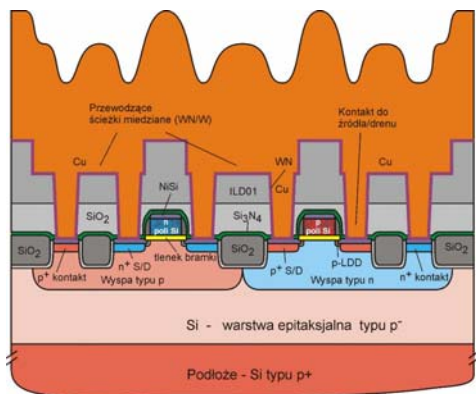


- Lithography, mask 12, Cu-1.
- Anisotropic dry etching of interlayer dielectric. Contact windows go down to NiSi at source & drain contacts. At the same time there are formed grooves for Cu lines formed later in a damascene process.
- Photoresist removing / wafer cleaning.

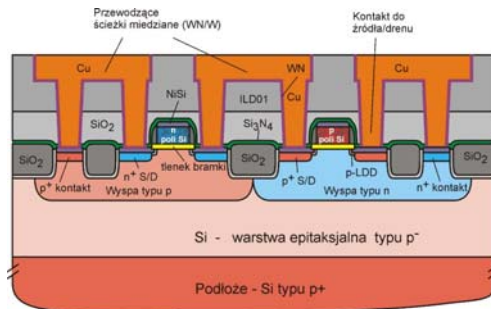


1st. Cu metal layer – damascene process

- Deposition of conducting barrier layer of WN. Barrier layer stops diffusion of Cu into contacts and Si. WN may be deposited with ALD – atomic layer deposition. Other layers like TaN or TiN may be used instead of WN.

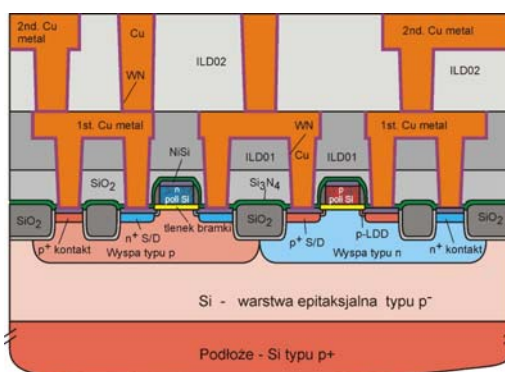


- Electrochemical deposition of Cu.



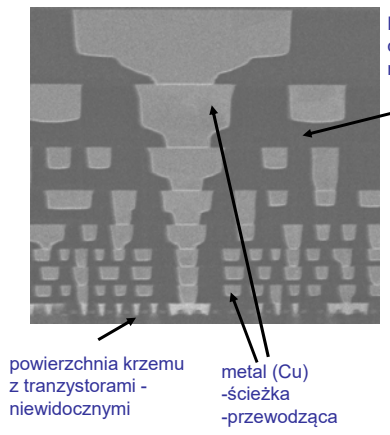
- Chemical-mechanical polishing (CMP) of Cu and WN and part of interlayer dielectric. WN/Cu remains in contact windows and grooves to form local interconnects.

- Wafer cleaning.



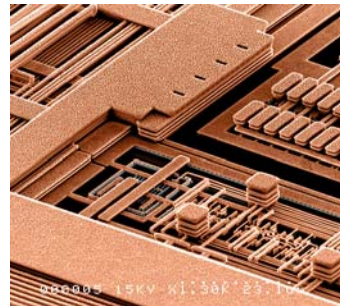
- Deposition of second interlayer dielectric (ILD02) - small dielectric permittivity, to minimize parasitic capacitances of metal interconnections.
- Lithography, mask 13, Via1-2.
- Partial anisotropic dry etching of interlayer dielectric.
- Lithography, mask 14, Cu-2.
- Anisotropic dry etching of interlayer dielectric - grooves for Cu lines & vias.
- Deposition of barrier WN.
- Electrochemical deposition of Cu.
- Chemical-mechanical polishing (CMP) of Cu and WN and part of interlayer dielectric.

- The process like for the 2nd. Cu layer is repeated few times with proper masks and increasing interlayer thickness and increasing metal layer thickness.
- Finally the wafer is covered with a layer of Si_3N_4 in a process of plasma enhanced chemical vapor deposition (PE CVD). This is a protection layer and a barrier against diffusion of alkaline metal ions. Contact windows are opened to contact pads – to make electrical connections to the integrated circuit.



IEDM 2007, art. s10p02, Intel

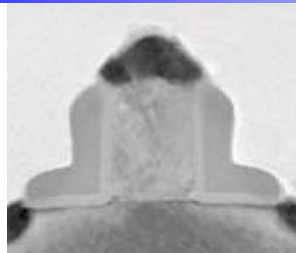
Dielektryk między warstwami metalizacji, o możliwie małej stałej dielektrycznej, mniejszej od SiO_2 .



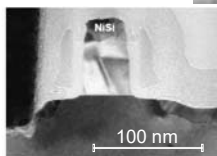
IBM Corp.

Warstwy miedzi po strawieniu dielektryka. Obraz ze skaningowego mikroskopu elektronowego (SEM)

Node 130 nm
Year (2000)



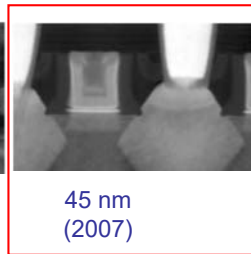
Crosssections of INTEL MOS transistors
All TEM images here have the same scale



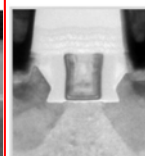
Node 90 nm
Year (2003)



65 nm
(2005)



45 nm
(2007)



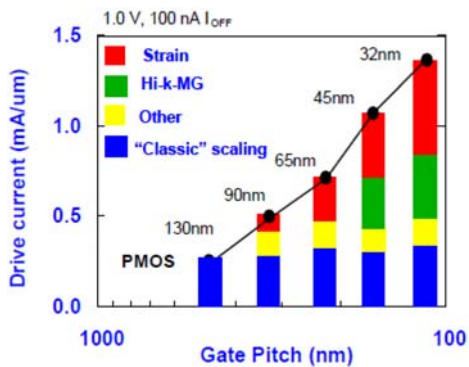
32 nm
(2009)

- Very little change in physical gate length, only $\sim 0.9x$ per node
- The gate pitch is scaling fast, as $0.7x$ per node and area scales as $0.5x$
- Most of the transistor innovation is in stress engineering and HKMG



K. Kuhn, CNNA, Berkeley 2010

V. Moroz, SYNOPSYS
Berkeley Seminar 2011



Klasyczne reguły skalowania zawodzą.

Poprawa szybkości działania wynika ze zwiększenia prądu drenu na jednostkę szerokości kanału, co bierze się w podobnej mierze z:

- celowo wprowadzanych do krzemu naprężeń oraz
- zastosowania metalowej bramki i dielektryka bramki o dużej stałej dielektrycznej.

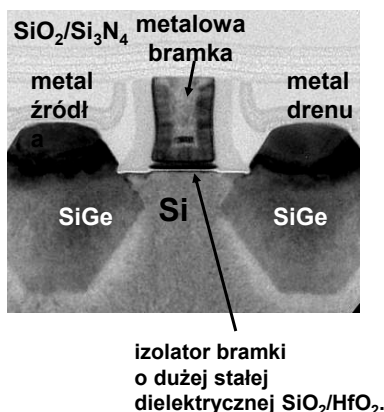
↑↑
2007 r.
2009 r.

source: K. Kuhn et. al, ECS 2010
- Intel



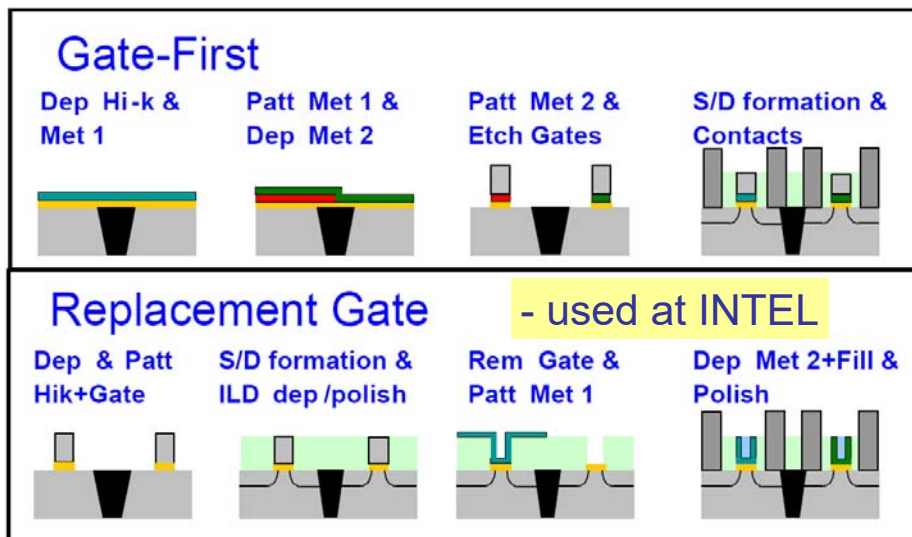
Differences between 130 nm and 45 nm node processes

Tranzystor MOS z kanałem typu p.



- STI, wells and V_{Tn} , V_{Tp} implants.
- ALD deposition of gate dielectric of high dielectric constant.
- Polysilicon deposition and gate patterning.
- S/D LDD implant and spacer formation.
- Si recess etching for S/D of pMOS.
- SiGe epitaxy in pMOS S/D recesses.
- S/D formation, Ni salicidation, ILD01 deposition.
- Poly-Si opening by chemical mechanical polishing, poly-Si etching.
- Deposition of gate metal for pMOS, metal workfunction adjusted to obtain designed V_{Tp} . Metal gate patterning.
- Deposition of gate metal for nMOS, metal workfunction adjusted to obtain designed V_{Tn} .
- Metal gate fill and polish to pattern (CMP).
- Deposition of layers inducing stress in channels of transistors.

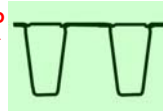
K.Mistry et al., IEDM (2007)
C.Auth et al. VLSI Symp, (2008)
J. Steigerwald, IEDM (2008)



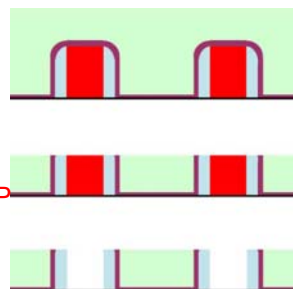
source: C. Auth, et al., "45nm High-k + metal gate strain-enhanced transistors," 2008 Symp. on VLSI Tech, pp.128-129, June 2008

- **STI**, wells and V_{Tn} , V_{Tp} implants.
- ALD deposition of gate dielectric of high dielectric constant.
- Polysilicon deposition and gate patterning.
- S/D LDD implant and spacer formation.
- Si recess etching for S/D of pMOS.
- SiGe epitaxy in pMOS S/D recesses.
- S/D formation, Ni salicidation, ILD01 deposition.
- **Poly-Si opening by chemical mechanical polishing, poly-Si etching.**
- Deposition of gate metal for pMOS, metal workfunction adjusted to obtain designed V_{Tp} . Metal gate patterning.
- Deposition of gate metal for nMOS, metal workfunction adjusted to obtain designed V_{Tn} .
- **Metal gate fill and polish to pattern (CMP).**
- Deposition of layers inducing stress in channels of transistors.

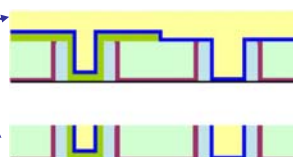
STI CMP



POP CMP

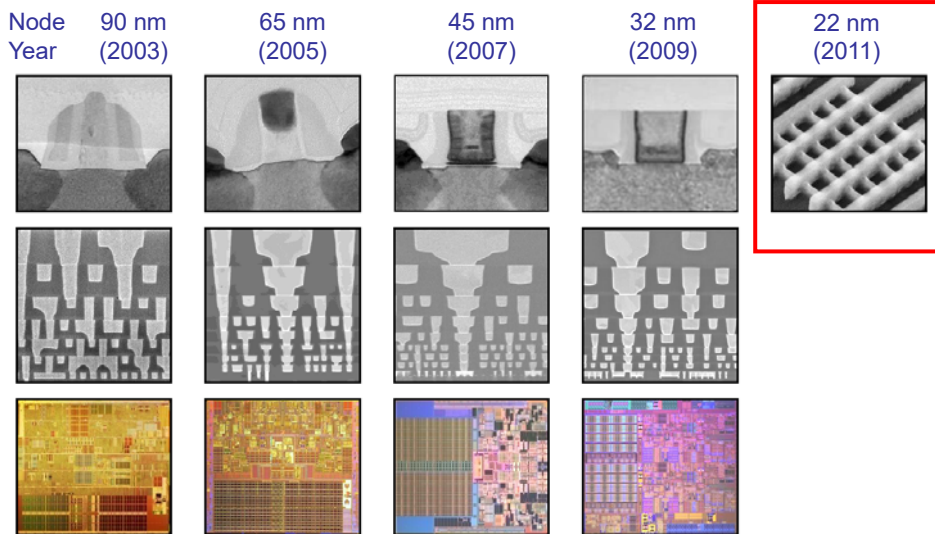


MGD CMP



2 year CMOS scaling cycles at INTEL

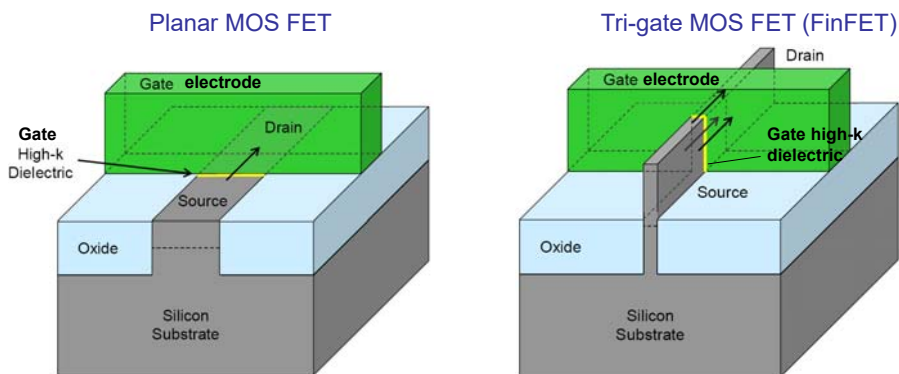
27



source: M. Bohr, K. Mistry,
Intel's Revolutionary 22 nm Transistor Technology, May, 2011

Traditional planar MOS FET vs. tri-gate MOS FET (FinFET)

28



Traditional 2-D planar transistors form a conducting channel in the silicon region under the gate electrode when in the "on" state.

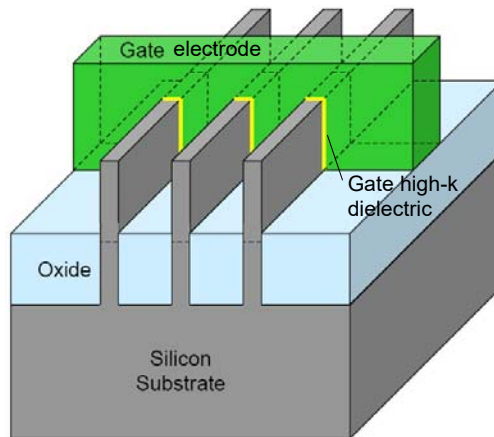
3-D Tri-Gate transistors form conducting channels on three sides of a vertical fin structure, providing "fully depleted" operation.



source: M. Bohr, K. Mistry,
Intel's Revolutionary 22 nm Transistor Technology, May, 2011

Multiple-fin tri-gate MOS FET (FinFET)

29



Tri-Gate transistors can have multiple fins connected together to increase total drive strength for higher performance.

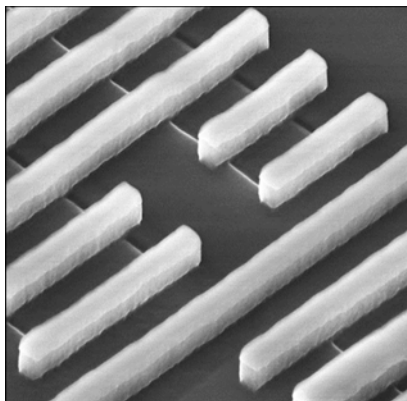


source: M. Bohr, K. Mistry,
Intel's Revolutionary 22 nm Transistor Technology, May, 2011

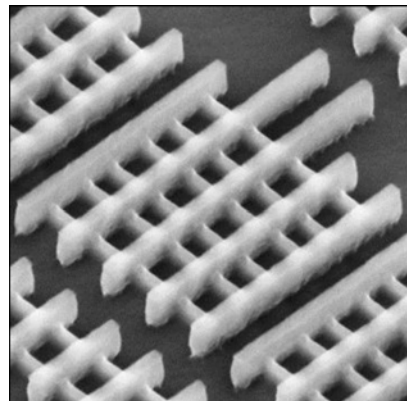
Traditional planar MOS FET vs. tri-gate MOS FET (FinFET)

30

32 nm planar MOS FET



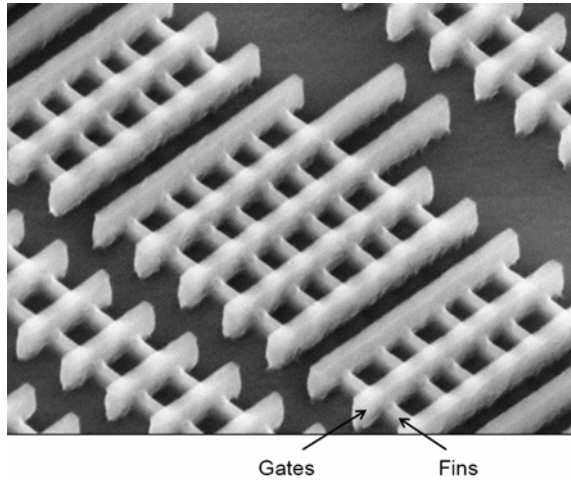
22 nm tri-gate MOS FET (FinFET)



source: M. Bohr, K. Mistry,
Intel's Revolutionary 22 nm Transistor Technology, May, 2011

Multiple-fin tri-gate MOS FET (FinFET)

31



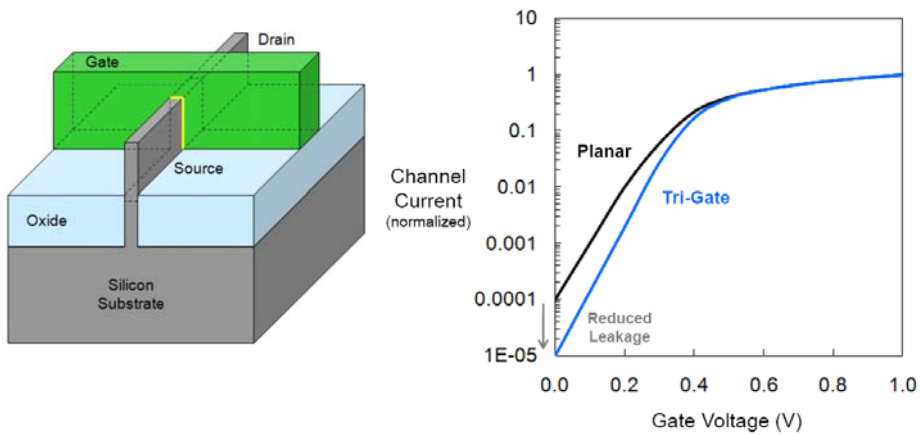
Tri-Gate transistors can have multiple fins connected together to increase total drive strength for higher performance.



source: M. Bohr, K. Mistry,
Intel's Revolutionary 22 nm Transistor Technology, May, 2011

Improved sub-threshold slope of fully depleted tri-gate MOS FET (FinFET)

32



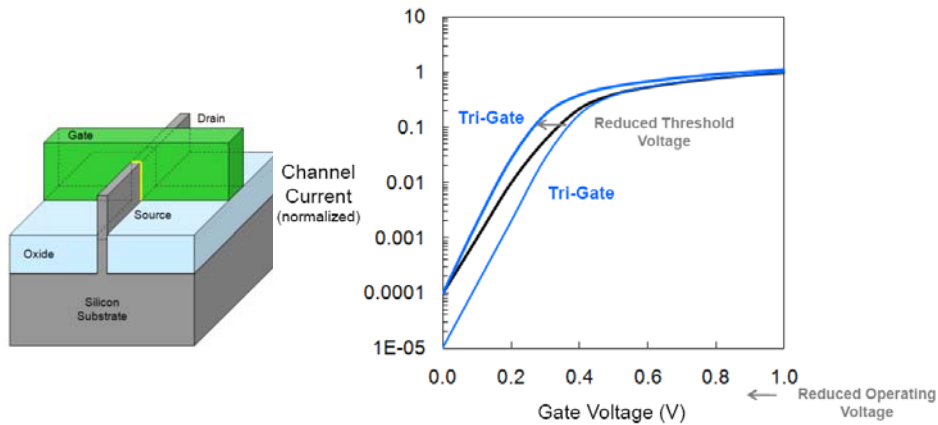
Gate electrode controls silicon fin from three sides providing improved sub-threshold slope.



source: M. Bohr, K. Mistry,
Intel's Revolutionary 22 nm Transistor Technology, May, 2011

Reduced operating voltage of fully depleted tri-gate MOS FET (FinFET)

33



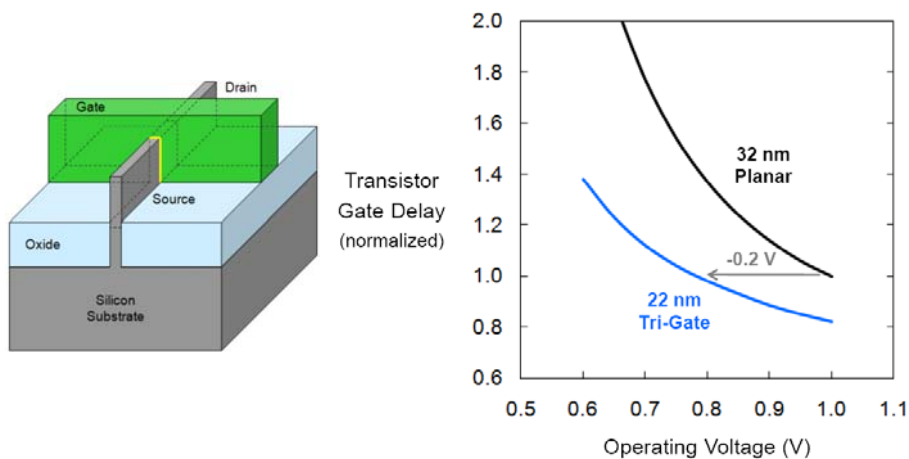
The steeper sub-threshold slope can also be used to target a lower threshold voltage, allowing the transistors to operate at lower voltage to reduce power and/or improve switching speed .



source: M. Bohr, K. Mistry,
Intel's Revolutionary 22 nm Transistor Technology, May, 2011

Reduced gate delay with fully depleted tri-gate MOS FET (FinFET)

34



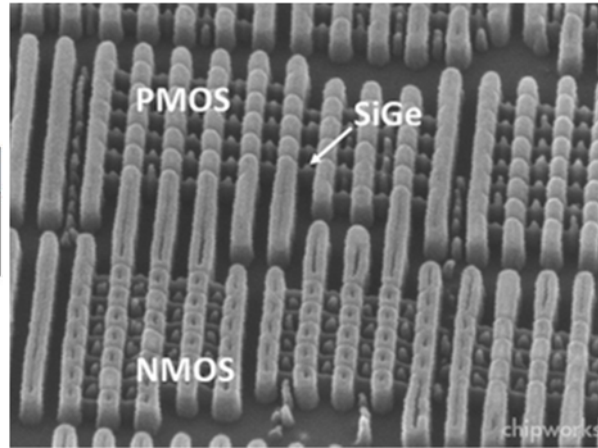
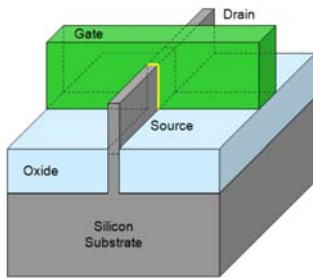
22 nm Tri-Gate transistors can operate at lower voltage at reduced power consumption - by 50% .



source: M. Bohr, K. Mistry,
Intel's Revolutionary 22 nm Transistor Technology, May, 2011

INTEL processor with fully depleted 22-nm tri-gate MOS FET (FinFET)

35



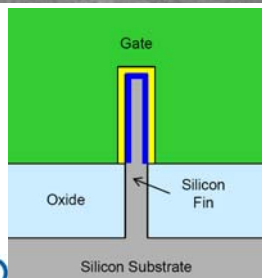
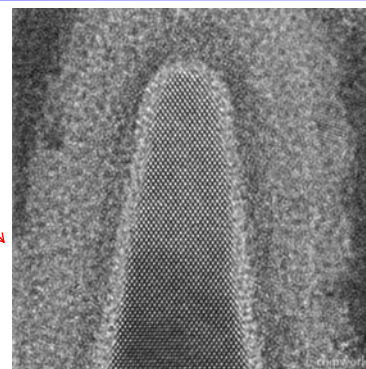
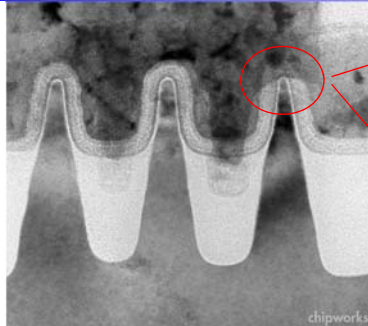
Tilt SEM Image of nMOS/pMOS Transistors
Xeon E3-1230 v2 CPUs - four-core, 3.3 GHz, 64-bit



source: Chris Auth, et. al., 2012 Symposium on VLSI Technology, Hawaii

INTEL processor with fully depleted 22-nm tri-gate MOS FET (FinFET)

36



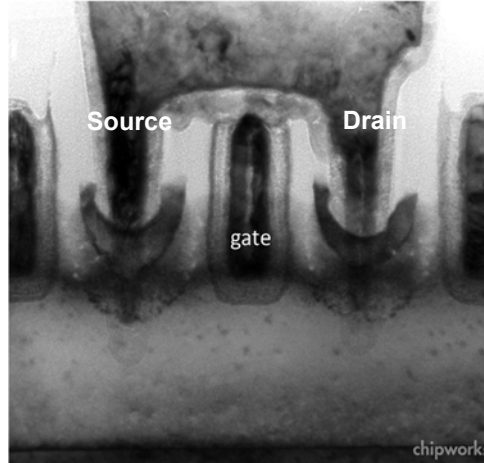
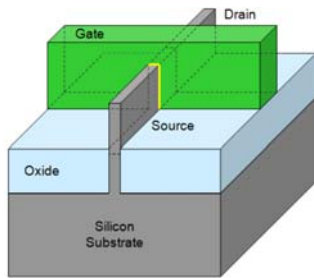
TEM Image of nMOS Gate and Fin Structure



source: Chris Auth, et. al., 2012 Symposium on VLSI Technology, Hawaii

INTEL processor with fully depleted 22-nm tri-gate MOS FET (FinFET)

37



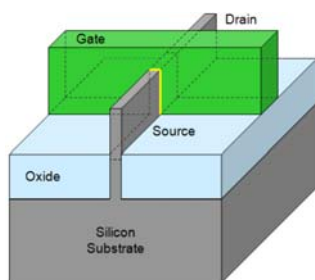
TEM Images of nMOS Transistors



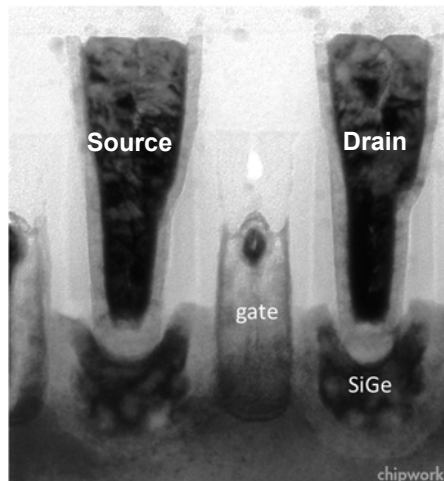
source: Chris Auth, et. al., 2012 Symposium on VLSI Technology, Hawaii

INTEL processor with fully depleted 22-nm tri-gate MOS FET (FinFET)

38



There is embedded SiGe in the source/drains, although Si is not etched to the $\langle 111 \rangle$ planes as in the 32- and 45-nm products.



TEM Image of pMOS Transistors

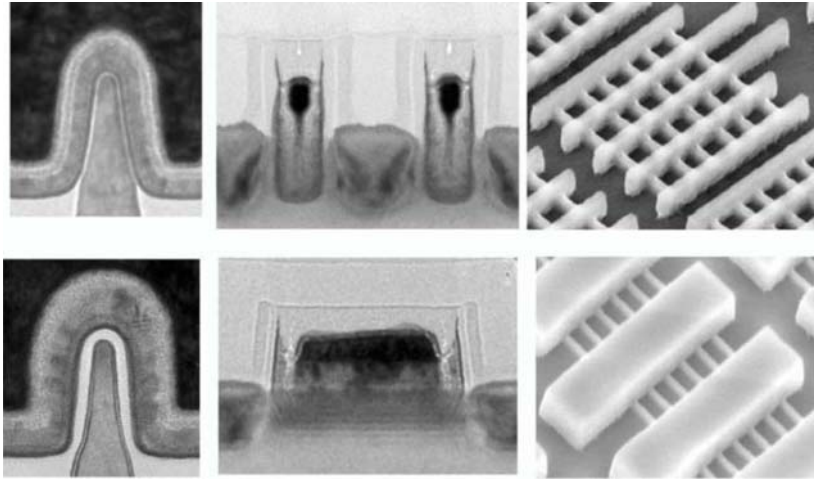


source: Chris Auth, et. al., 2012 Symposium on VLSI Technology, Hawaii

Two versions of tri-gate MOS FET (FinFET) integrated into one SoC chip

39

Transistors for logic



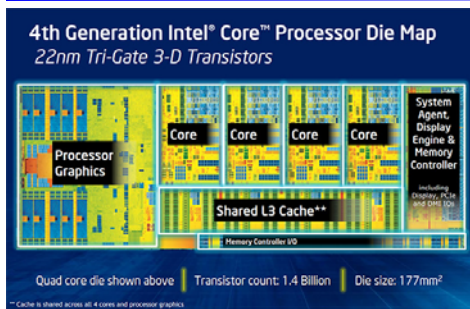
High voltage (1.8 V or 3.8 V) transistors for analog or I/O circuits and other applications



source: IEDM 2012

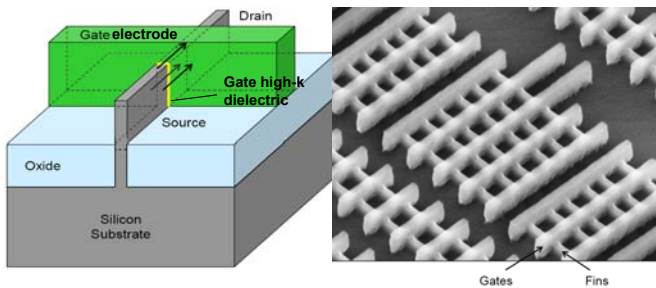
Przykładowy procesor firmy INTEL z tranzystorami „tri-gate” (FinFET)

40



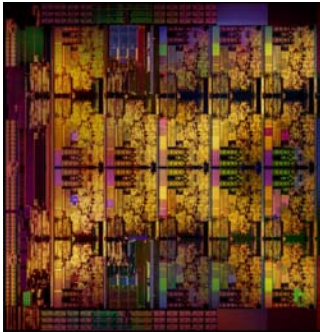
2013: Procesor Core i7-4770K (Haswell) z tranzystorami CMOS tri-gate (FinFET) wykonanymi w technologii o rozmiarze charakterystycznym 22 nm.

source: Intel, 2013



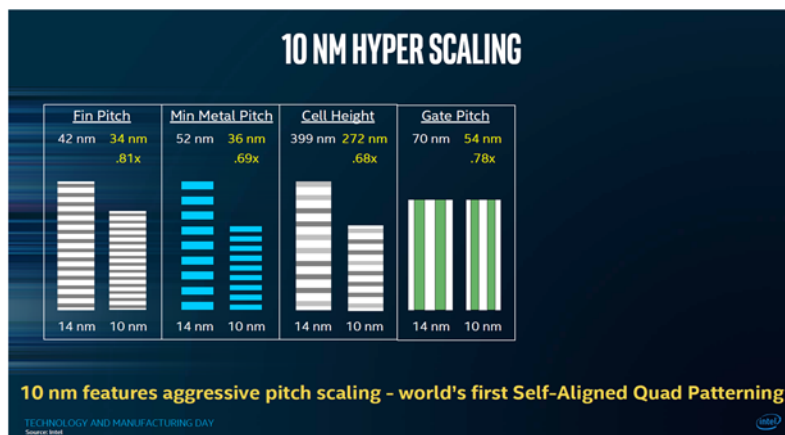
source: M. Bohr, K. Mistry, Intel's Revolutionary 22 nm Transistor Technology, May, 2011

Rzwoj technologii FinFET w firmie INTEL w latach 2012 - 2017



2017 r:
Intel – Procesor z 18 rdzeniami, z tranzystorami wykonanymi w technologii o rozmiarze charakterystycznym 14 nm.

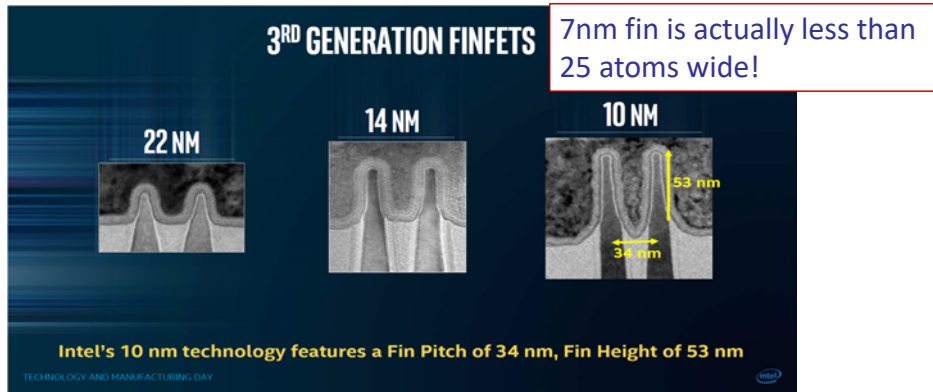
Scaling enabled by self-aligned quadruple patterning (SAQP)



Going below 40nm takes us into the realm of SAQP, or alternatively LELELE (litho-etch, litho-etch, litho-etch), adding to the complexity and cost of the process.

after: D.James, Intel Unveils More 10nm Details, Solid State Tech., 2017.04.10

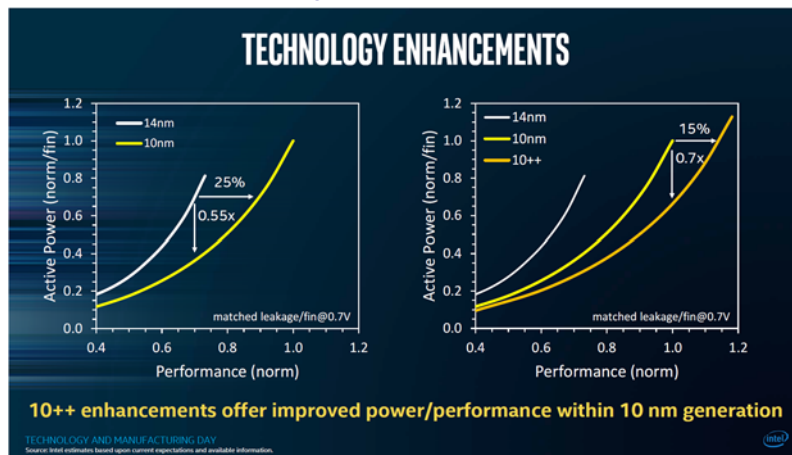
The gate pitch was announced at IDF as 54nm, and we now know the fin pitch is 34nm, the metal pitch is 36nm, and the cell height is 272nm. Taller fins were also mentioned, and indeed we have that, with an increase from 42 to 53nm:



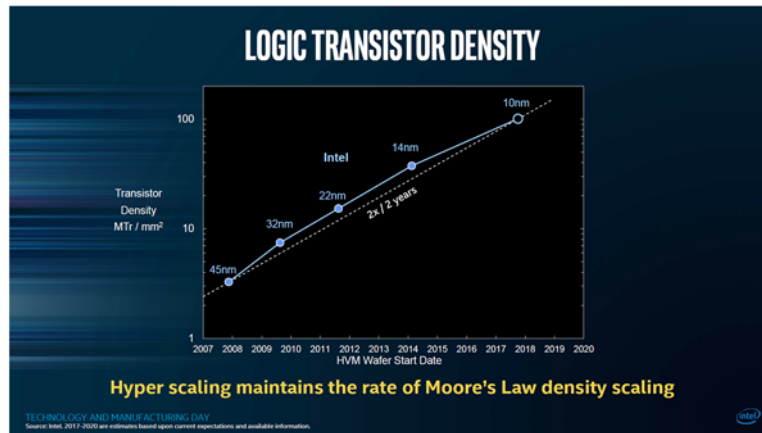
Putting a ruler on the fins, we come up with a **fin width of 5 – 15nm, and ~7nm at half height**. Gate width is ~110nm, compared with the ~85nm of the previous generation. Gate length is still an unknown, but we can speculate that it will be in the 18 – 20nm range, assuming dielectric thickness of ~8nm between the gate and contacts.

after: D.James, Intel Unveils More 10nm Details, Solid State Tech., 2017.04.10

It was claimed a 25% performance improvement, with another 15% to come from the 10++ version in a couple of years, and corresponding **power reduction** to 0.55x, and 0.7x for the 10++ sub-generation.



after: D.James, Intel Unveils More 10nm Details, Solid State Tech., 2017.04.10

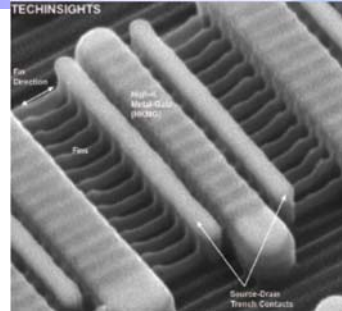
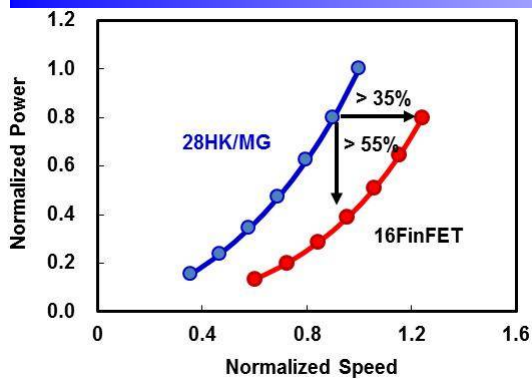


The SRAM cells are scaled by a factor of ~ 0.6 , so that the low-voltage 1:2:1 (fins in Pull-Up:Pass-Gate:Pull-Down transistors) cell goes from $\sim 0.059 \mu\text{m}^2$ to $\sim 0.037 \mu\text{m}^2$, and the high-density 1:1:1 cell shrinks from $\sim 0.050 \mu\text{m}^2$ to $\sim 0.031 \mu\text{m}^2$. (The TSMC and GF/IBM/Samsung 7-nm cells announced at IEDM, presumably 1:1:1 cells, were $0.027 \mu\text{m}^2$.)

after: D.James, Intel Unveils More 10nm Details, Solid State Tech., 2017.04.10

Foundry company 16nm FinFET platform

- Taiwan Semiconductor Manufacturing Company (TSMC)



Tranzystory z 14 pletwami w technologii o rozmiarze charakterystycznym 16 nm w procesorze Apple A9 – TSMC, 2016 r.

16 nm FinFET achieved either a >35% speed gain or >55% power reduction over TSMC's planar process.

In size, it is the first integrated technology platform to be announced below the 20 nm node, with key features including a 48-nm fin pitch and the smallest SRAM ever incorporated into an integrated process—a 128-Mb SRAM measuring 0.07 μm^2 per bit. In performance, it demonstrated either a 35% speed gain or a 55% power reduction over TSMC's existing 28-nm high-k/metal gate planar process, itself a highly advanced technology, and had twice the transistor density. Short-channel effects were well-controlled, with DIBL <30 mV/V, saturation current of 520/525 $\mu\text{A}/\mu\text{m}$ at 0.75V (NMOS and PMOS, respectively) and off-current of 30 pA/ μm . It incorporates seven levels of high-density copper/low k interconnect and high-density planar MIM devices for noise control.

Solid State Technology Wafer News 2013.10.07, IEDM 2013

Technological question –

How to make 22-nm tri-gate CMOS FinFETs with a lithography of 45-nm technological node (45 nm line / 45 nm space)?

How to make 22-nm tri-gate CMOS FinFETs with lithography of 45-nm technological node (45 nm line / 45 nm space)? 49

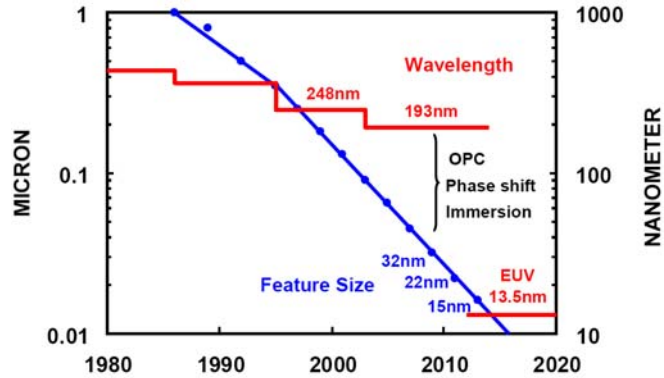


Fig. 1. Recent technology generations have used 193nm optical lithography, with OPC, aperture improvement, advanced lens designs, and immersion lithography bridging the resolution gap.



source: K.J. Khun, "CMOS Transistor Scaling Past 32nm and Implications on Variation", Intel, 2012

Small feature size fabricated with spacer technology - overcoming lithography limitations 50

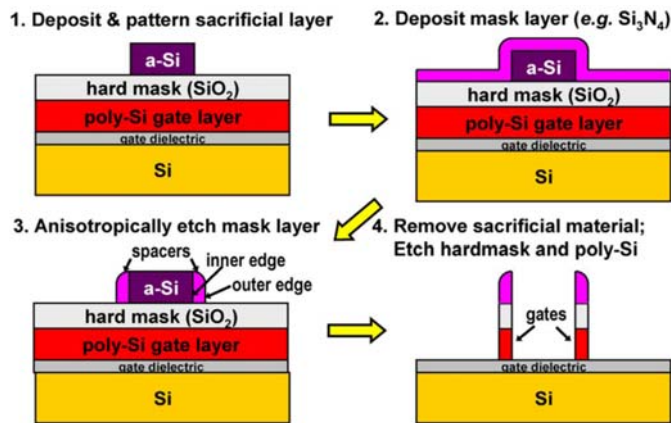


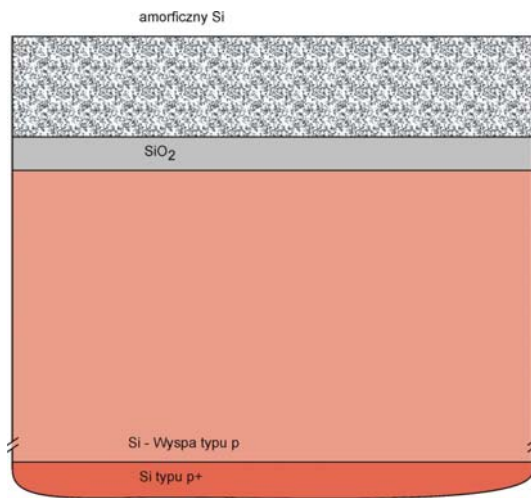
Fig. 2. Illustrative spacer lithography process flow.

Similar technology could be used for fabrication of 22-nm tri-gate CMOS FinFETs with lithography of 45-nm technological node

X. Sun, TJK Liu, IEEE Trans. Semicond. Mfg., v.23, 311-315, 2010

Example fin fabrication with spacer technology

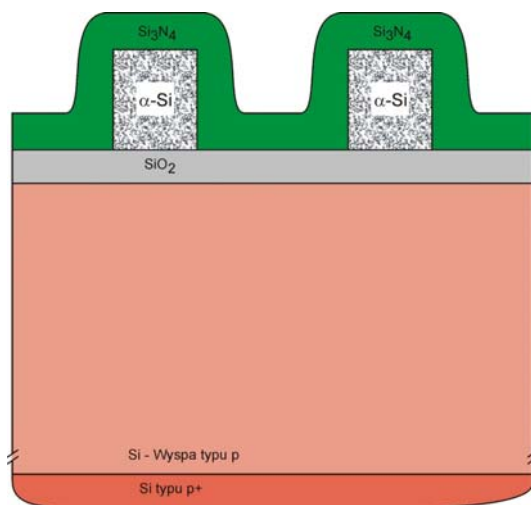
51



- Deposition of hard mask layers, SiO₂ / amorphous Si, on Si wafer.

Example fin fabrication with spacer technology

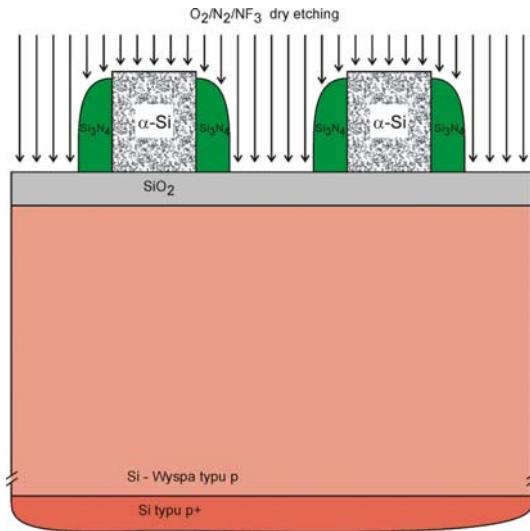
52



- Photolithography and anisotropic etching in amorphous Si pattern possible to obtain with lithography
- Deposition of Si₃N₄ hard mask layer.

Example fin fabrication with spacer technology

53

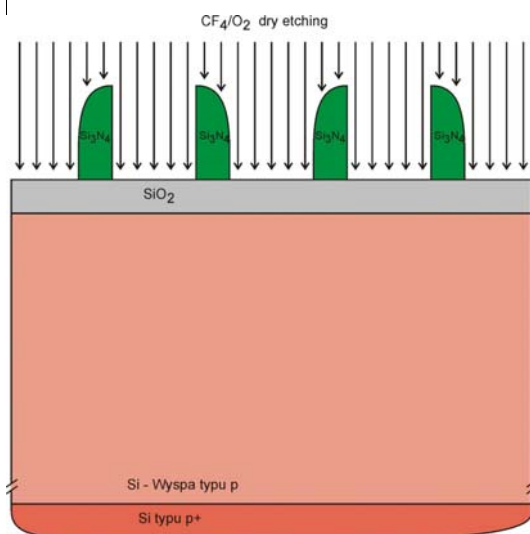


Forming Si₃N₄ spacer – hard mask for SiO₂ etching:

- Anisotropic dry etching of Si₃N₄ with gas mixture not etching SiO₂ - without lithography

Example fin fabrication with spacer technology

54



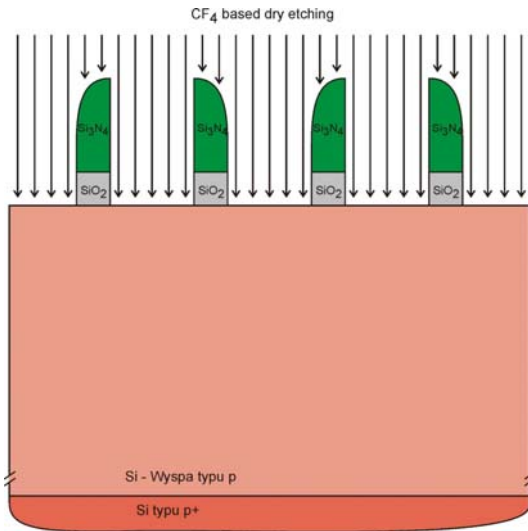
Removing amorphous Si:

- Dry etching of Si with gas mixture not etching SiO₂ - without lithography

Example fin fabrication with spacer technology

55

Forming SiO_2 hard mask for Si etching:

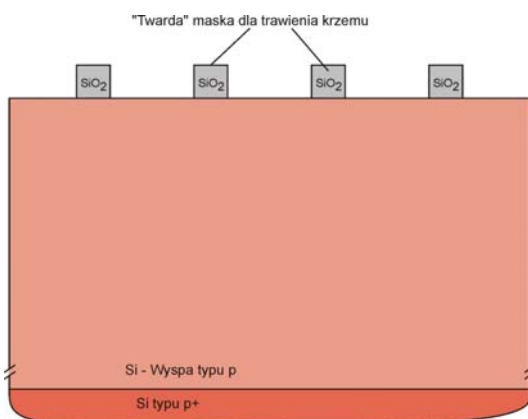


- Anisotropic dry etching of SiO_2 with gas mixture not etching Si - without lithography

Example fin fabrication with spacer technology

56

Removing Si_3N_4 layer.

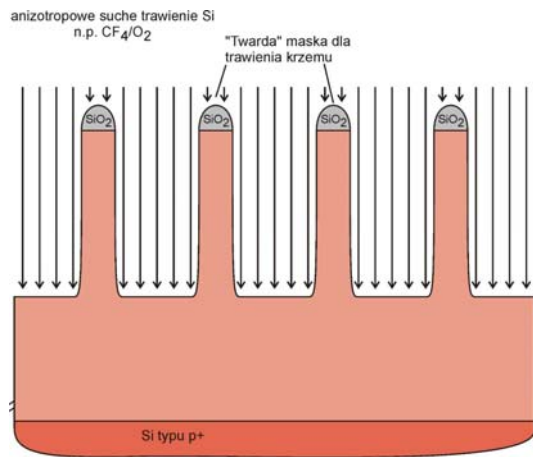


- Remains SiO_2 masking pattern – minimum feature size about 3 times smaller than possible to obtain with lithography.

Example fin fabrication with spacer technology

57

Fabricating Si fins:

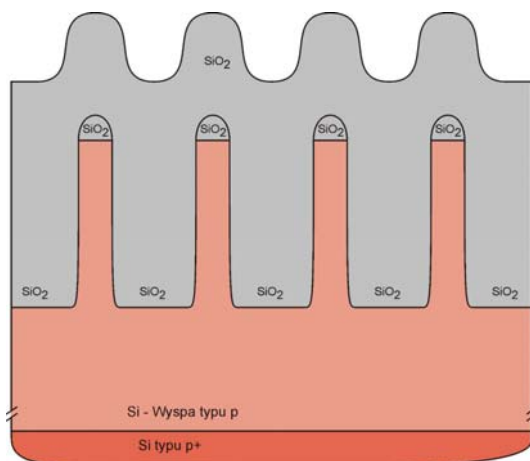


- Anisotropic dry etching of Si with gas mixture not etching SiO_2 - without lithography. Fin width much smaller than possible to obtain with lithography (6 times). Fin to fin pitch about two times smaller than possible to obtain with lithography.

Example fin fabrication with spacer technology

58

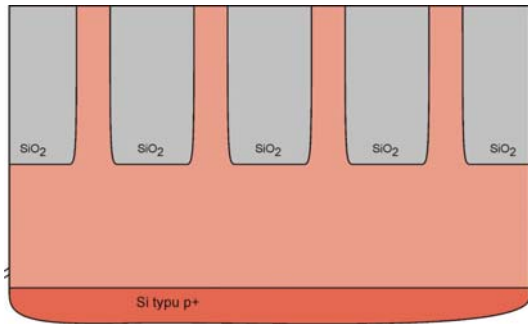
- Oxidation of thin Si layer and deposition of SiO_2 for isolation (field oxide).



Example fin fabrication with spacer technology

59

- Chemical mechanical polishing of SiO_2 layer to planarize structure.

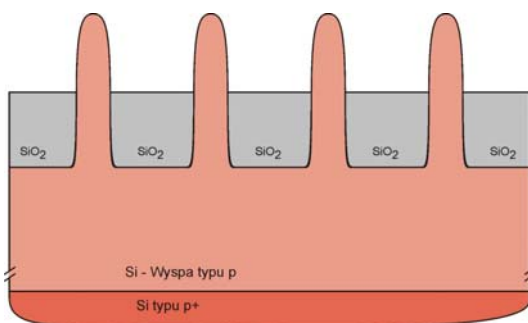


Example fin fabrication with spacer technology

60

SiO_2 for isolation (field oxide) forming:

- Partial anisotropic dry etching of SiO_2 - without etching of Si.



A. Das, How finFETs ended the service contract of silicide process, Solid State Technology, March 2016

How finFETs ended the service contract of silicide process

62

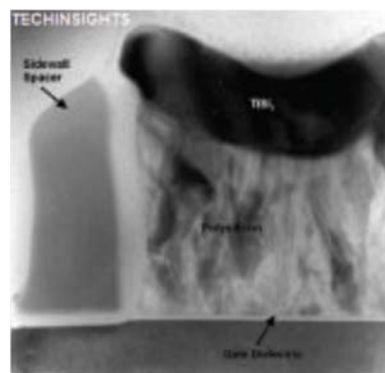
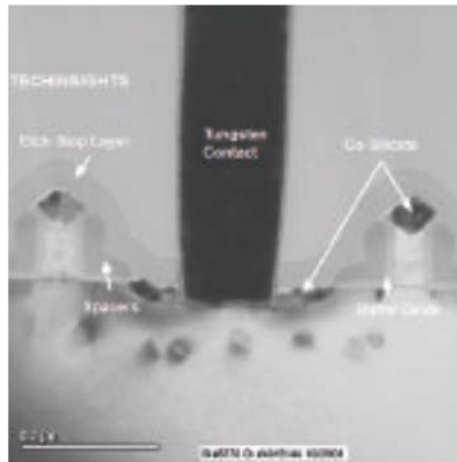


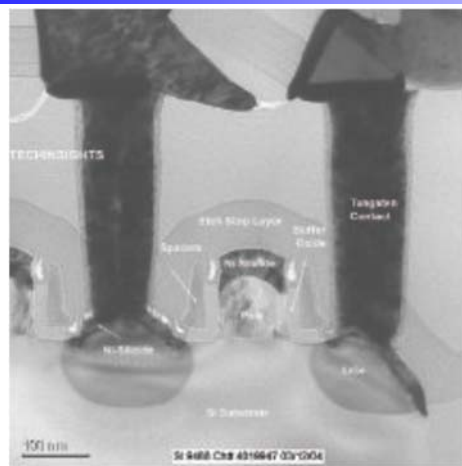
FIGURE 1. TEM cross-section of transistor structure of Intel A80502166 166 MHz Pentium Microprocessor (0.35 μm technology node) (source: A Structural Analysis of the Intel A80502166 166MHz Pentium Microprocessor)

A. Das, How finFETs ended the service contract of silicide process, Solid State Technology, March 2016



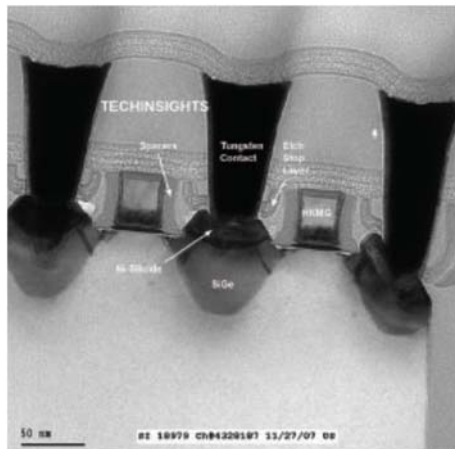
TEM cross-section of transistor structure of Intel Pentium-III 'Tualatin' Microprocessor (0.13 μm technology node) (source: A Structural Analysis of the Intel BX80530C1266512SL5LW Pentium III "Tualatin" Microprocessor using Copper Interconnect).

A. Das, How finFETs ended the service contract of silicide process, Solid State Technology, March 2016



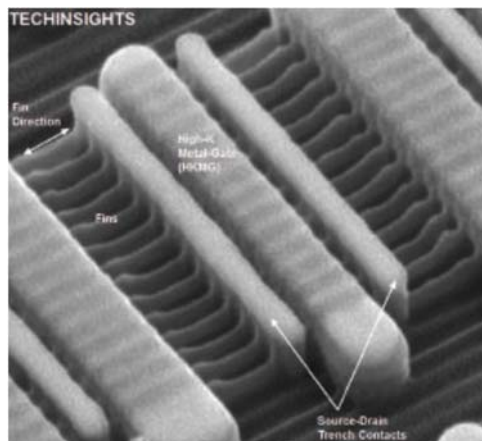
TEM cross-section of the transistor structure of Intel's 90nm "Prescott" processor with a gate length of 50nm and having raised source-drain regions of SiGe capped with NiSi (source: Detailed Structural Analysis I of the Intel Pentium 3.0E GHz Processor "Prescott")

A. Das, How finFETs ended the service contract of silicide process, Solid State Technology, March 2016



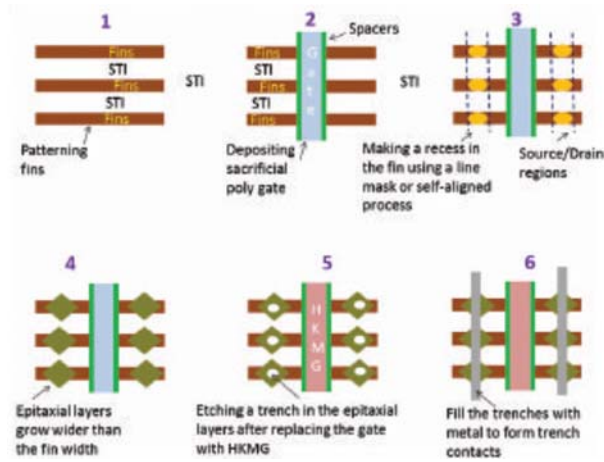
TEM cross-section of the transistor structure of Intel's 45nm "Penryn" processor with a high-k-metal gate (HKMG) having NiSi only in source-drain regions (source: Logic Detailed Structural Analysis including Process Flow on the Intel 45nm QX9650 Penryn Processor)

A. Das, How finFETs ended the service contract of silicide process, Solid State Technology, March 2016



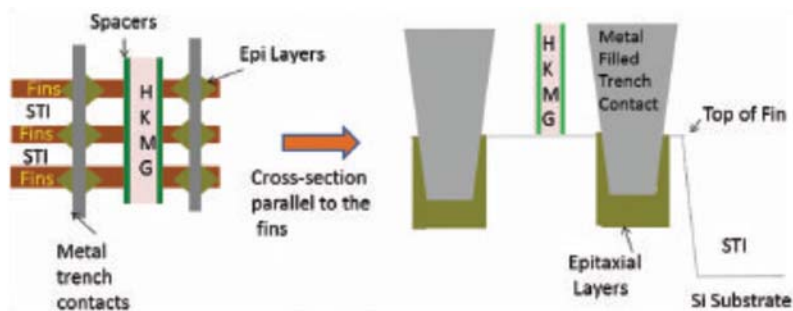
Tilted SEM cross-section of the I/O transistor structure of TSMC 16nm finFET device, showing 14 fins are connected in parallel by the same gate and by the same trench contacts (source: TSMC 16nm finFET Process in Apple A9 Processor - Logic Detailed Structural Analysis).

A. Das, How finFETs ended the service contract of silicide process, Solid State Technology, March 2016



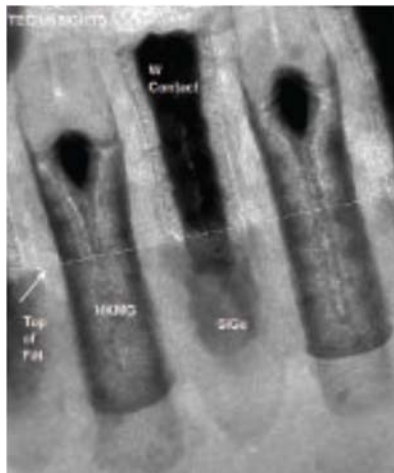
Schematics of forming the trench contacts in finFET devices.

A. Das, How finFETs ended the service contract of silicide process, Solid State Technology, March 2016



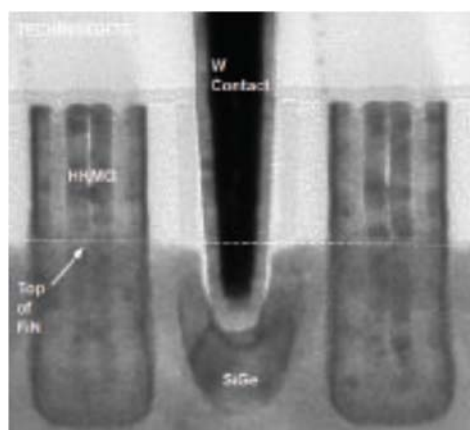
Schematics of how the trench contacts are embedded in the epitaxial layers

A. Das, How finFETs ended the service contract of silicide process, Solid State Technology, March 2016



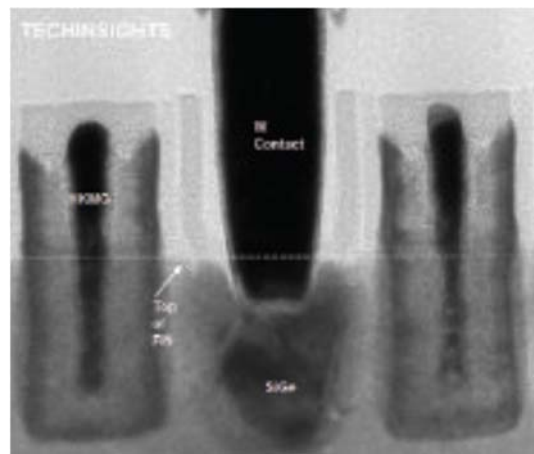
TEM cross-section 14nm node finFET devices from Intel. Cross-section is made parallel to the fins, showing the centre portion of the fin.
 (source: Logic Detailed Structural Analysis of the Intel 14nm 5Y70 Processor).

A. Das, How finFETs ended the service contract of silicide process, Solid State Technology, March 2016



TEM cross-section 14nm node finFET devices from Samsung. Cross-section is made parallel to the fins, showing the centre portion of the fin.
 (Source: Samsung 14nm Exynos 7 7420 Logic Detailed Structural Analysis).

A. Das, How finFETs ended the service contract of silicide process, Solid State Technology, March 2016



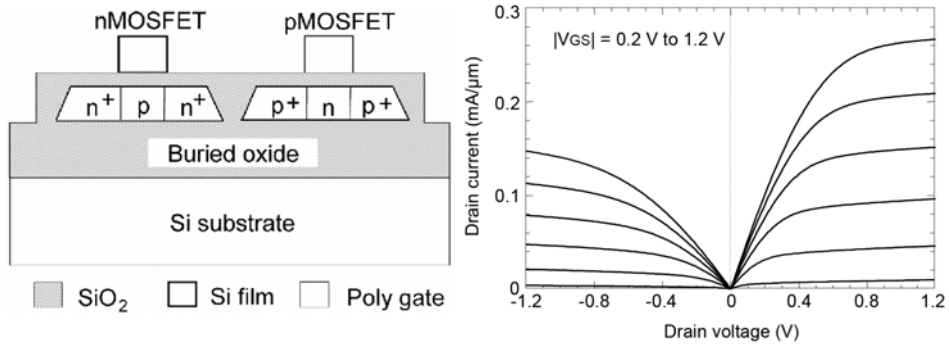
TEM cross-section 16nm node finFET devices from TSMC. Crosssection is made parallel to the fins, showing the centre portion of the fin. (source: TSMC 16nm finFET Process in Apple A9 Processor - Logic Detailed Structural Analysis).

A. Das, How finFETs ended the service contract of silicide process, Solid State Technology, March 2016

Układy scalone CMOS wykonane w krzemie na izolatorze

SOI – silicon on insulator

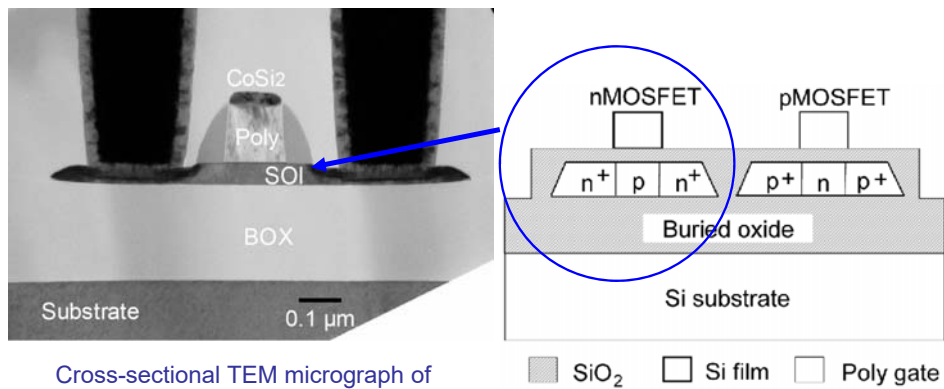
FD SOI – fully depleted silicon on insulator



Structure of fully-depleted (FD) SOI MOSFETs.

Drain current-voltage characteristics of 0.25-μm FD-SOI MOSFETs.

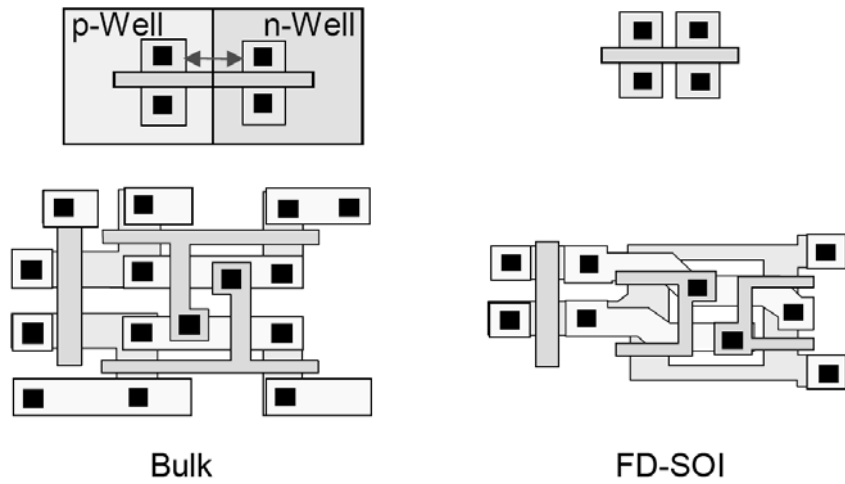
T.Sakurai, A.Matsuzawa, T.Douseki, Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications, Springer 2006, p.90



Cross-sectional TEM micrograph of a 0.15-μm FD-SOI MOSFET

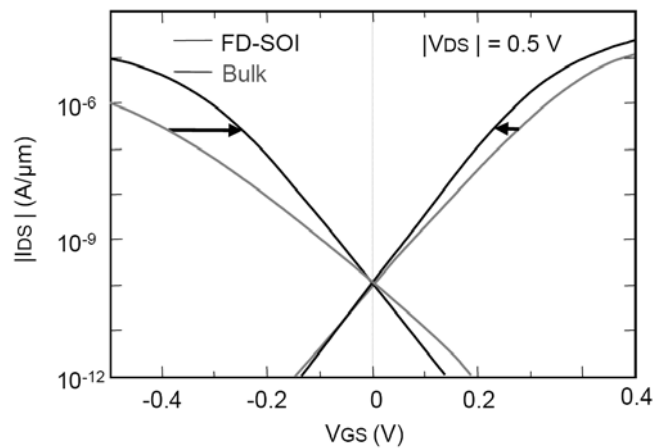
A cross-sectional TEM image of a fabricated 0.15-μm FD-SOI MOSFET. The Si in the channel region is 40 nm thick, the BOX is 200 nm thick, and the gate oxide is 2.5 nm thick.

T.Sakurai, A.Matsuzawa, T.Douseki, Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications, Springer 2006, p.62



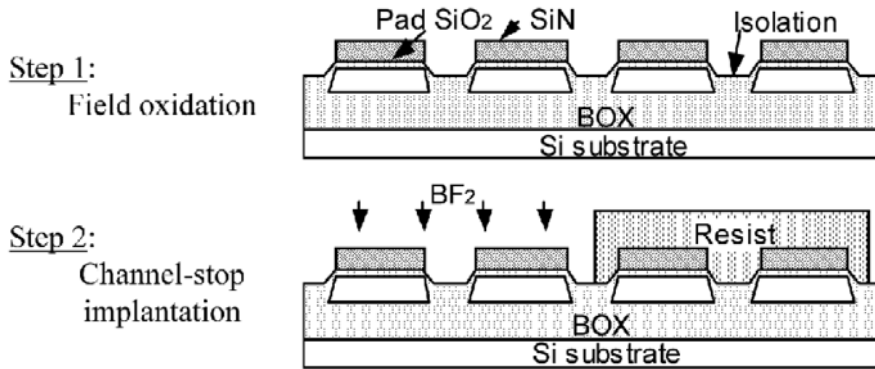
Layout areas for bulk and FD-SOI devices.

T.Sakurai, A.Matsuzawa, T.Douseki, Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications, Springer 2006, p.91

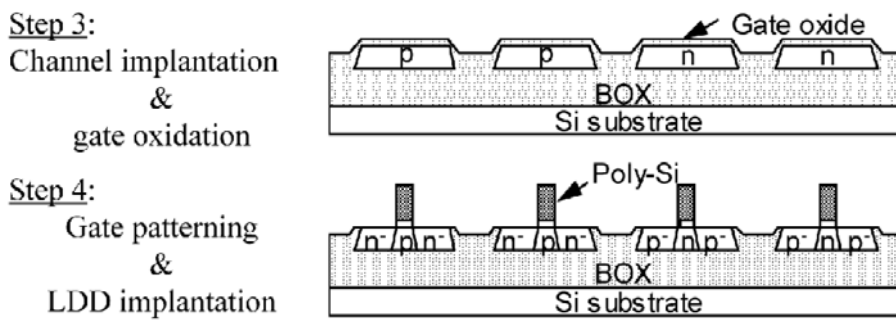


Subthreshold swing is closer to the ideal value of 60 mV/decade for FD SOI MOSFET than for bulk MOSFET.

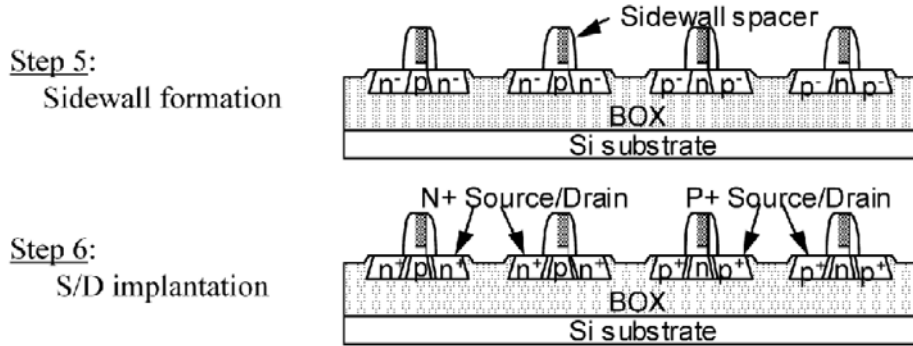
T.Sakurai, A.Matsuzawa, T.Douseki, Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications, Springer 2006, p.91



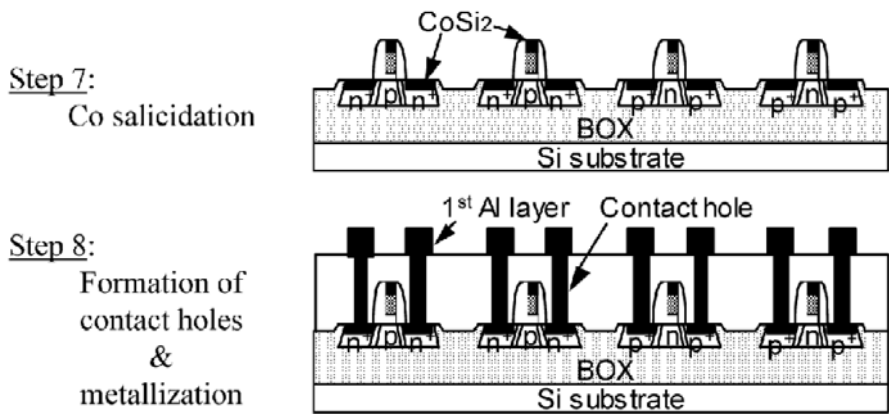
T.Sakurai, A.Matsuzawa, T.Douseki, Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications, Springer 2006, p.59



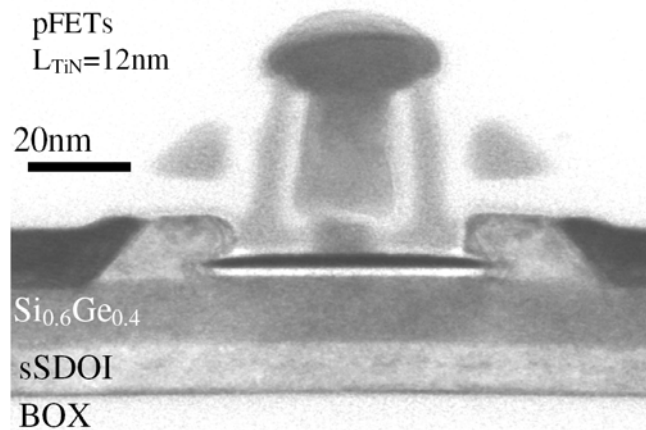
T.Sakurai, A.Matsuzawa, T.Douseki, Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications, Springer 2006, p.59



T.Sakurai, A.Matsuzawa, T.Douseki, Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications, Springer 2006, p.59



T.Sakurai, A.Matsuzawa, T.Douseki, Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications, Springer 2006, p.59

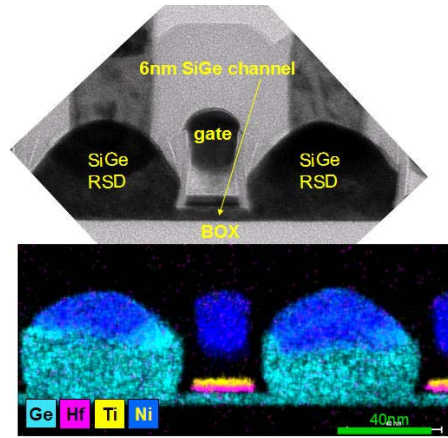


Cross sectional TEM pictures of the co-integrated dual channels MOSFETs on Insulator with a $HfO_2/TiN/Poly/NiSi$ gate stack.

F. Andrieu i in. VLSI Tech. Symp. Digest 2006, 168–169, Honolulu. S. Deleonibus, Electronic Device Architectures for the Nano-CMOS Era: From Ultimate CMOS Scaling To Beyond CMOS Devices, Pan Stanford Publ. 2008, p.22

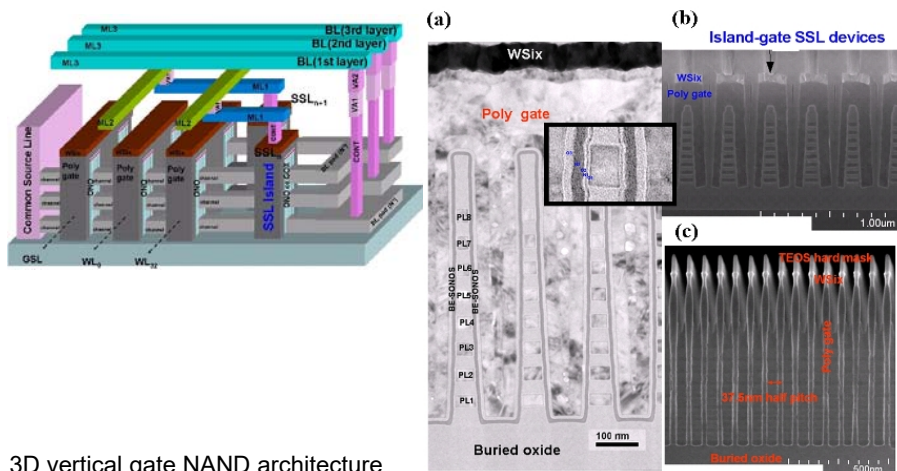
SOI (ETSOI) technology is a viable device architecture for continued CMOS scaling to 22 nm and beyond. Among the reasons why are that it offers superior short-channel control and low device variability with undoped channels.

IBM high-performance hybrid-channel ETSOI CMOS device. They integrated a PFET having a thin, uniform strained SiGe channel, with an NFET having a Si channel, at 22 nm geometries. A novel STI-last (isolation-last) process makes the hybrid architecture possible. The researchers built a ring oscillator circuit to benchmark performance, and the hybrid planar devices enabled the fastest ring oscillator ever reported, with a delay of only 11.2ps/stage at 0.7V, even better than FinFETs.



An electron microscope view at the top and an EDX (energy-dispersive X-ray) spectroscopic view below it of a SiGe-channel PFET with 6-nm channel thickness, 22-nm gate length, 100-nm contacted gate pitch, high-k/metal gate architecture and ISBD SiGe raised source drain. Source: IBM.

IBM - IEDM 2012 - <http://www.electroiq.com>



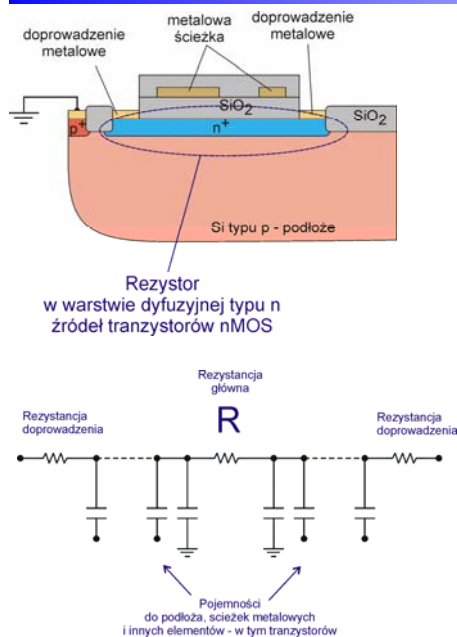
3D vertical gate NAND architecture

Macronics - IEDM 2012 - <http://www.electroiq.com>

Elementy bierne w układach scalonych CMOS

Rezystory w układach CMOS

86



$$R_{sq} = \frac{1}{\int_{-x_j}^0 \sigma(x) dx}$$

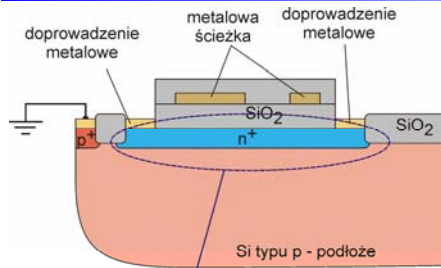
$$R = R_{sq} \cdot \frac{L}{W}$$

R – rezystancja,
 R_{sq} – rezystancja powierzchniowa (na kwadrat),
 x_j – grubość warstwy do granicy obszaru opróżnionego przy złączu pn,
 σ – konduktywność (przewodność właściwa),
 L, W – długość i szerokość rezystora.

- Zmiana potencjałów przyłożonych do końcówek rezystora prowadzi do zmiany szerokości warstwy opróżnionej złącza pn rezystor-podłoże, a w rezultacie do zmiany rezystancji R .
- Rezystor tworzy pojemności pasożytne do podłoża ścieżek metalicznych i innych elementów.

Rezystory w układach CMOS

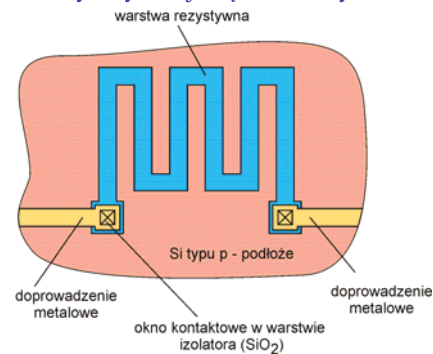
87



Rezystor w warstwie dyfuzyjnej typu n źródeł tranzystorów nMOS
Przekrój

Widok z góry

- Do tworzenia rezystorów w układach scalonych wykorzystuje się rezystancje różnych warstw – tu warstwę dyfuzyjną typu n źródeł tranzystorów nMOS.
- Rezystory trzeba tak tworzyć i polaryzować aby zachować izolację między elementami.
- Dla łatwego upakowania elementów długie rezystory zawiąją się w meandry.



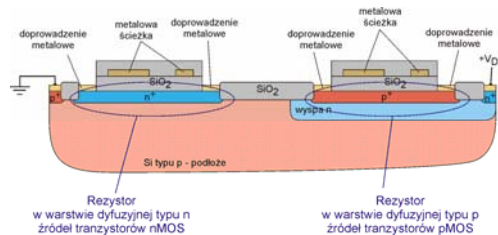
Rezystory w układach CMOS

88

Małe R_{sq} – niewielka gęstość upakowania.

Izolacja w postaci złącza pn – R zależy od V .

Rezystor w Si – duże pasożytnicze C .



Rezystor w warstwie dyfuzyjnej typu n źródeł tranzystorów nMOS

Rezystor w warstwie dyfuzyjnej typu p źródeł tranzystorów pMOS

Małe R_{sq} – niewielka gęstość upakowania.

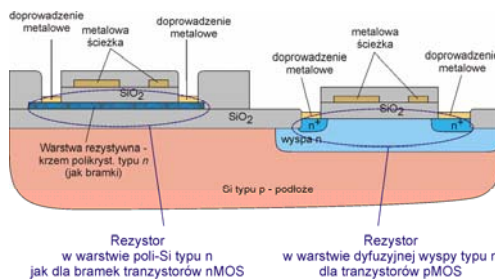
Izolacja w postaci złącza pn – R zależy od V .

Rezystor w Si – duże pasożytnicze C .

Duże R_{sq} – duża gęstość upakowania.

Izolacja w postaci dielektryka – R nie zależy od V .

Rezystor w SiO_2 – niezbyt duże pasożytnicze C .



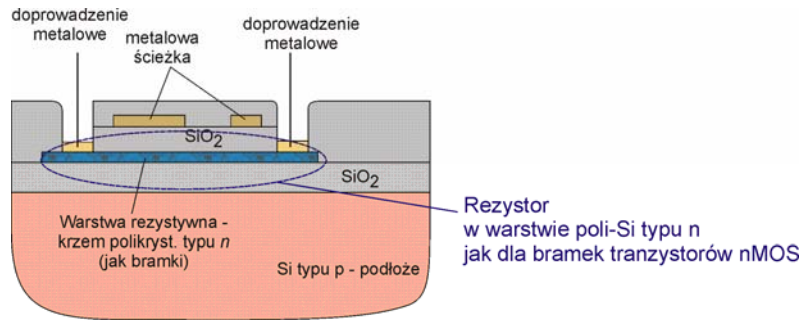
Rezystor w warstwie poli-Si typu n jak dla bramek tranzystorów nMOS

Rezystor w warstwie dyfuzyjnej wyspy typu n dla tranzystorów pMOS

Małe R_{sq} – niewielka gęstość upakowania.

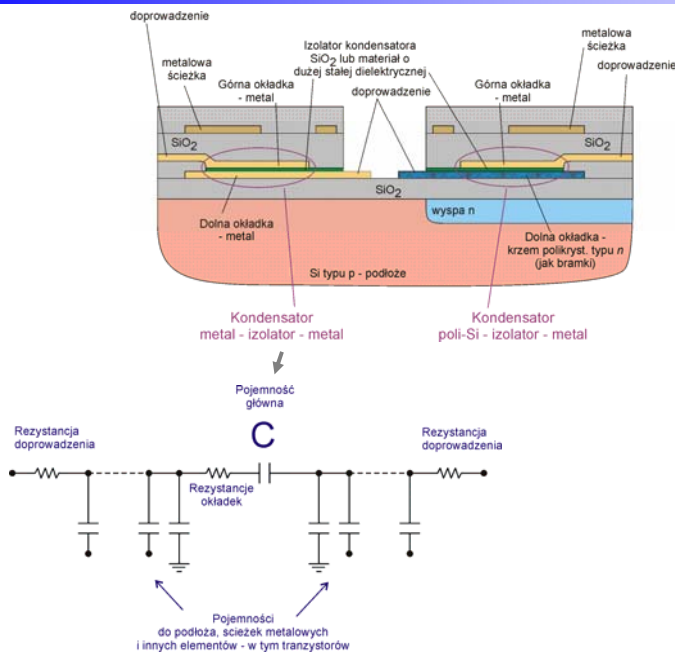
Izolacja w postaci złącza pn – R zależy od V .

Rezystor w Si – duże pasożytnicze C .



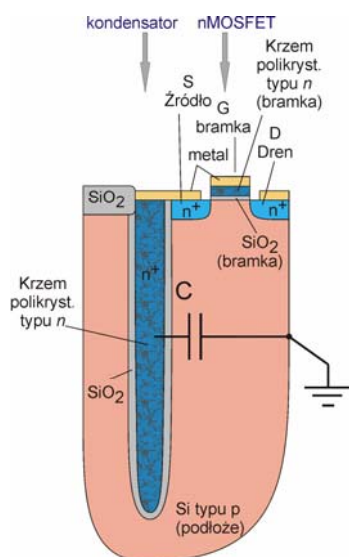
- Mała grubość poli-Si → duże R_{sq} – duża gęstość upakowania.
- Izolacja w postaci dielektryka – R nie zależy od V .
- Stała dielektryczna SiO_2 jest ponad 3 razy mniejsza od stałej dielektrycznej Si. Rezystor otoczony przez SiO_2 tworzy mniejsze pojemności pasozytnicze niż rezystor w podłożu Si.

Jeśli trzeba stosować rezystory, to wykonuje się je w krzemie polikrystalicznym o ile jest to możliwe – w technologiach MOS, jak i w nowoczesnych technologiach bipolarnych i BiCMOS.

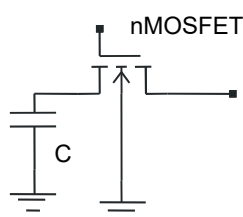


Kondensator we wgłębieniu - w technologii CMOS – komórka pamięci RAM

91

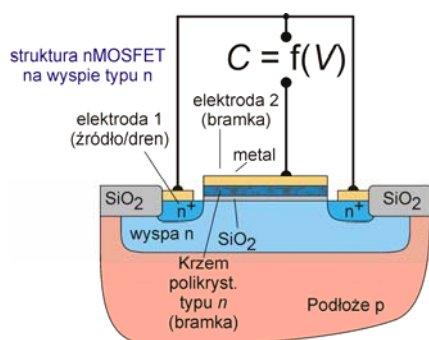


- Kondensator wytworzony w głębokim rowku trawionym w podłożu Si. Dzięki temu zajmuje mało miejsca na powierzchni krzemu, a ma dużą powierzchnię – dużą pojemność.
- Dielektryk kondensatora stanowi SiO_2 – tlenek wykonany po trawieniu Si.
- Górną okładkę zwartą ze źródłem tranzystora dostępu stanowi warstwa poli-Si typu n.
- Dolną okładkę kondensatora stanowi uziemione podłoże typu p.

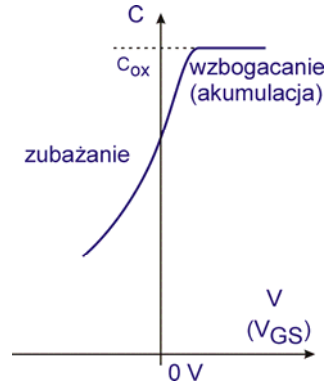
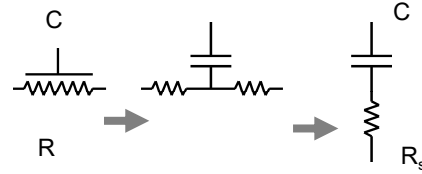
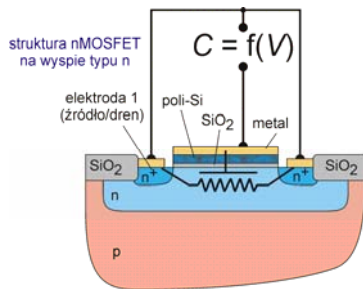


Kondensator przestrajany napięciem w technologii CMOS

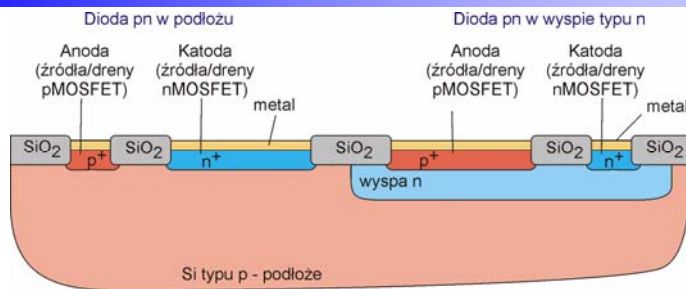
92



- Tranzystor nMOS wytworzony na wyspie typu n wykorzystywanej w innych częściach układu dla pMOS.
- Wyspa typu n stanowi wbudowany kanał tranzystora – dolną okładkę kondensatora.
- Górną okładkę stanowi warstwa poli-Si typu n używana jako przewodnik bramek tranzystorów MOS.
- Niska koncentracja donorów w wyspie typu n sprawia, że można wykorzystać zależność pojemności bramka-kanał od stałego napięcia polaryzującego w zakresie wzbogacania i zubażania.



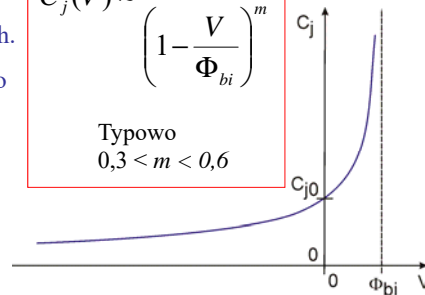
- Polikrystaliczny Si typu n nad dielektrykiem bramki (SiO₂) tworzy pojemność do wyspy typu n.
- Przykładane napięcie stałe prowadzi do zubażania lub akumulacji w warstwie n powodując zmianę C.
- Si typu n w wyspie ma skończoną wartość rezystywności.
- Dlatego element tworzy linię RC o stałych rozłożonych.
- Często jednak modeluje się ją jako układ elementów o stałych skupionych.



- Warstwy n⁺ źródeł/drenów nMOS i warstwy p⁺ źródeł/drenów pMOS można użyć do wytworzenia diod pn w podłożu lub w wyspach.
- Jeśli diody te spolaryzujemy zaporowo, zerowo lub niewielkim napięciem przewodząco, to przewodności dynamiczne diod i pojemności dyfuzyjne są znikome.
- Można wykorzystać przestrajaną napięciem pojemność złączową C_j tak spolaryzowanych diod.

$$C_j(V) \approx \frac{C_{j0}}{\left(1 - \frac{V}{\Phi_{bi}}\right)^m}$$

Typowo
0,3 < m < 0,6



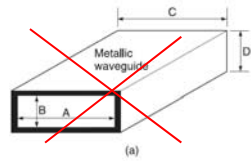
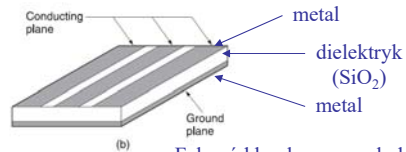


Fig. 2.3 (a) Metallic waveguide; (b) coplanar waveguide



Falowod koplanarny z dodatkową płaszczyną masy

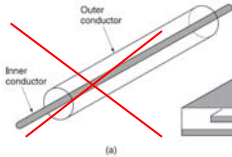
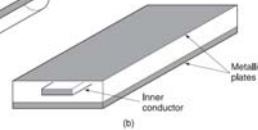


Fig. 2.4 (a) Coaxial cable; (b) strip line



Linia paskowa

Linia mikropaskowa

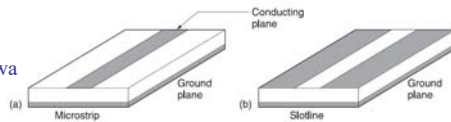
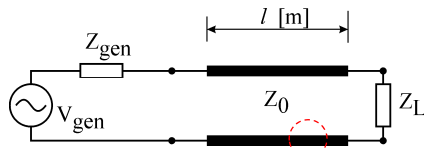


Fig. 2.5 (a) Microstrip line; (b) slot line

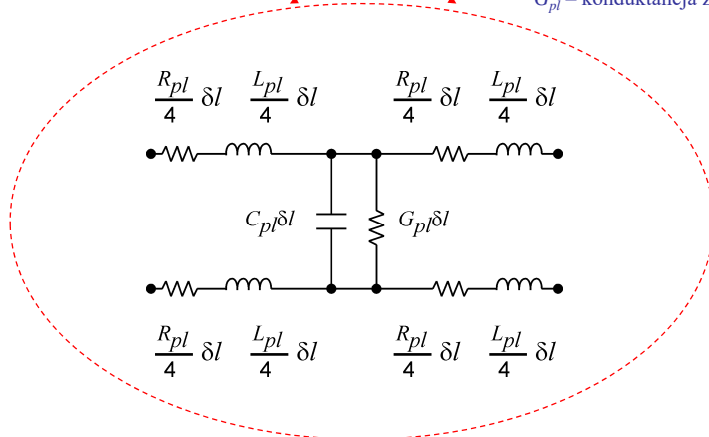
Linia szczelinowa

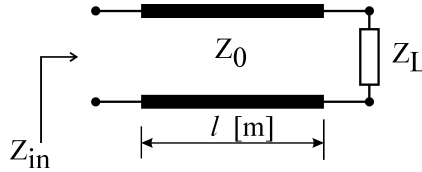
E. Da Silva, "High Frequency and Microwave Engineering", Butterworth-Heinemann, 2001



Oznaczenia:

- Z_0 – impedancja charakterystyczna linii,
- l – długość linii [m],
- L_{pl} – indukcyjność na jednostkę długości,
- C_{pl} – pojemność na jednostkę długości,
- R_{pl} – rezystancja szeregowa na jedn. długości,
- G_{pl} – konduktancja zwierającą na jedn. długości.





Dla bezstratnej linii transmisyjnej:

$$Z_{in}(l) = Z_0 \cdot \frac{Z_L + jZ_0 \cdot \tan(2\pi l / \lambda)}{Z_0 + jZ_0 \cdot \tan(2\pi l / \lambda)}$$

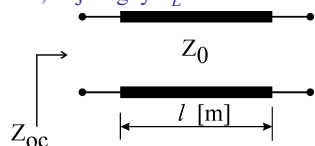
gdzie:

- Z_0 – impedancja charakterystyczna linii,
- Z_L – impedancja obciążenia linii,
- l – długość linii [m],
- λ – długość fali elektromagnetycznej w linii.

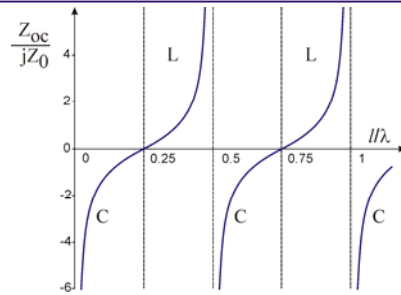
Dobierając dla danej częstotliwości odpowiednią długość linii możemy uzyskać żadaną wartość pojemności C lub indukcyjności L widzianą od wejścia.

W praktyce moduł reaktancji, $1/2\pi fC$ lub $2\pi fL$ może być do kilkunastu razy mniejszy lub większy od Z_0 .

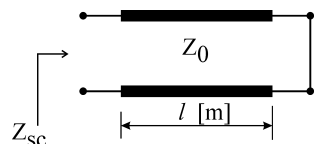
Dla bezstratnej linii transmisyjnej rozwartej na końcu, to jest gdy $Z_L \rightarrow \infty$



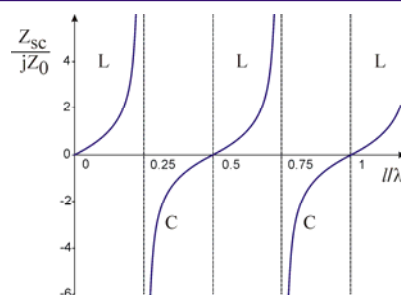
$$Z_{oc}(l) = -jZ_0 \cdot \text{ctg}(2\pi l / \lambda)$$



Dla bezstratnej linii transmisyjnej zwartej na końcu, to jest gdy $Z_L = 0$:

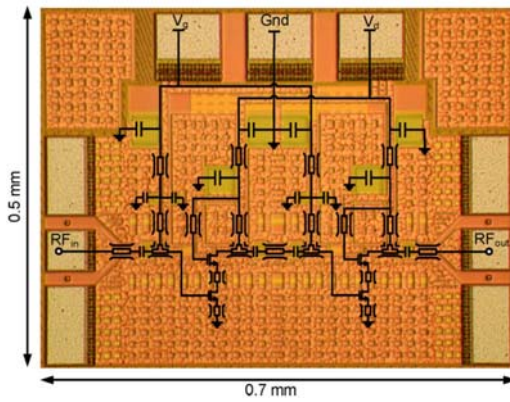


$$Z_{sc}(l) = jZ_0 \cdot \text{tg}(2\pi l / \lambda)$$

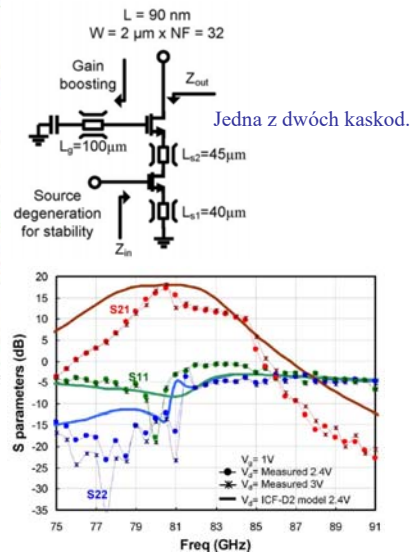


Przykład wzmacniacza MOS dla pasma W wykorzystującego impedancje linii transmisyjnych

99



Wzmacniacz złożony z dwóch kaskod – widok z góry z nałożonym schematem. Użyto 4 tranzystory nMOS o długości kanału 90 nm. Typowa technologia CMOS. Falowody koplanarne użyte jako elementy dopasowujące impedancje i do izolacji w. cz. doprowadzeń zasilania.

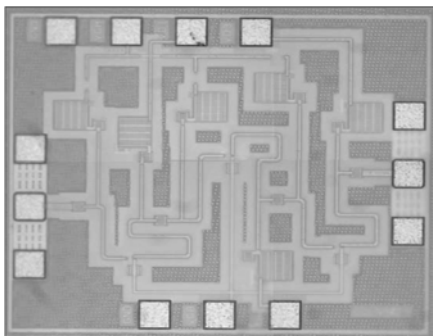


Parametry S w funkcji częstotliwości.

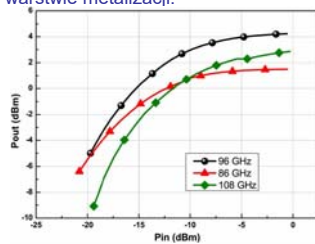
Chan, D.A.; Feng, M.; , "A Compact W-Band CMOS Power Amplifier With Gain Boosting and Short-Circuited Stub Matching for High Power and High Efficiency Operation," *IEEE MWCL* , vol.21, pp.98-100, 2011

Wzmacniacz 86-108 GHz w komercyjnej technologii 90 nm CMOS

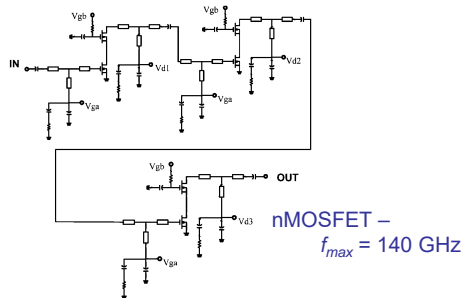
100



chip - 0,66 × 0,64 mm, elementy pasywne – linie mikropaskowe – wykonane w 7 i 8 warstwie metalizacji.



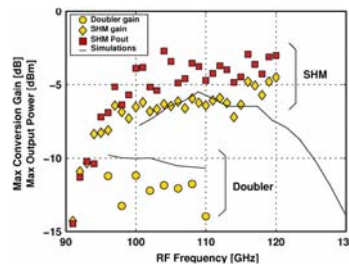
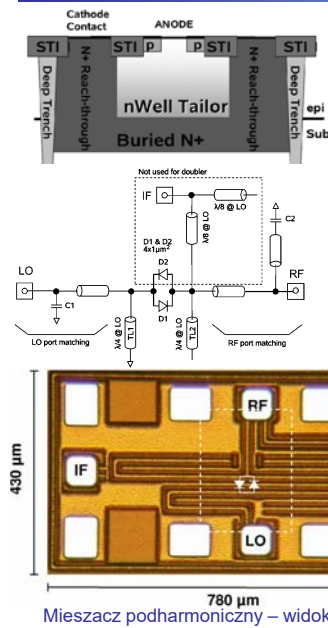
Taiwan U. - Y.Jiang i in. *IEEE MWCL* v18 124 2008



Komercyjna technologia 90 nm CMOS wystarczająca dla pasma W.

Układ i elementy paskowe muszą być starannie zaprojektowane.

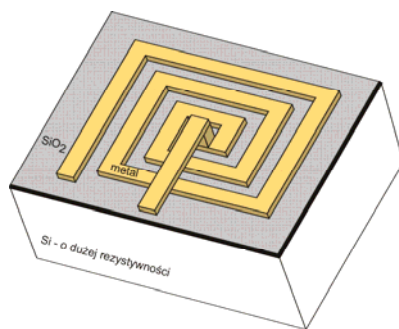
Linie paskowe – zajmują dużo miejsca.



IBM - U.R.Pfeiffer i in, IEEE MTT, v56 364 2008

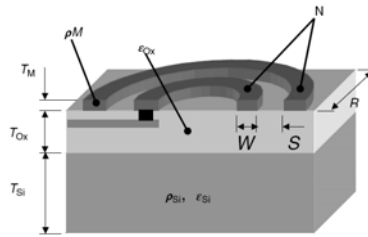
Tylko dwa elementy aktywne na tak dużym chipie?

Linie paskowe – zajmują dużo miejsca.



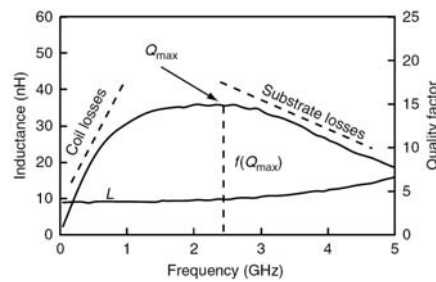
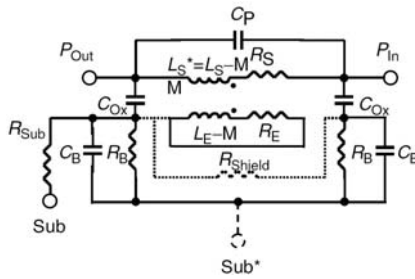
Spiralny element indukcyjny wykonany w dwóch warstwach metalizacji na powierzchni układu scalonego

- W układzie scalonym trudno wykonać uzwojenie w postaci cewki – stosowane spirale.
- Nie wykonuje się komercyjnie rdzeni ferromagnetycznych – małe indukcyjności, mała dobroć.
- Elementy spiralne stosowane w przedziale $1 \text{ GHz} < f < 50 \text{ GHz}$



J.D. Cressler, Fabrication of SiGe HBT BiCMOS Technology, CRC 2007

FIGURE 6.5 Cross section of a spiral inductor on silicon, defined by the width (W) and space (S) of the metal conductor, the number of turns (N), the outer radius of the coil (R), the metal resistivity (ρ_M), the metal thickness (T_M), the distance of the spiral coil from the silicon substrate (T_{Ox}), the oxide permittivity (ϵ_{Ox}), the thickness of the silicon substrate (T_{Si}), and the permittivity (ϵ_{Si}) and resistivity (ρ_{Si}) of the silicon. (From JN Burghartz and B Rejzci. *IEEE Transactions on Electron Devices* 50:718–729, 2003; JN Burghartz, M Soyuer, and KA Jenkins. *IEEE Transactions on Electron Devices* 43:1559–1570, 1996. With permission.)



Miniature Four-Way and Two-Way 24 GHz Wilkinson Power Dividers in 0.13 μm CMOS

Jeong-Geun Kim, Member, IEEE, and Gabriel M. Rebeiz, Fellow, IEEE

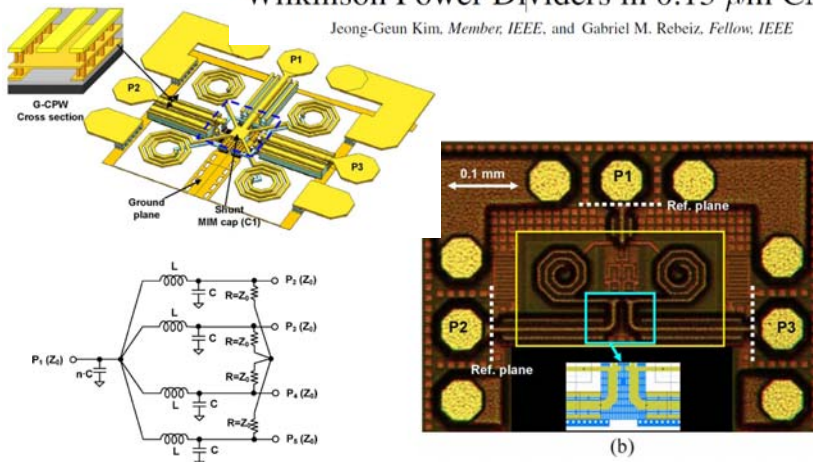


Fig. 3. Microphotograph of the fabricated (a) four-way ($0.33 \times 0.33 \text{ mm}^2$), and (b) two-way ($0.12 \times 0.29 \text{ mm}^2$) Wilkinson PDs.

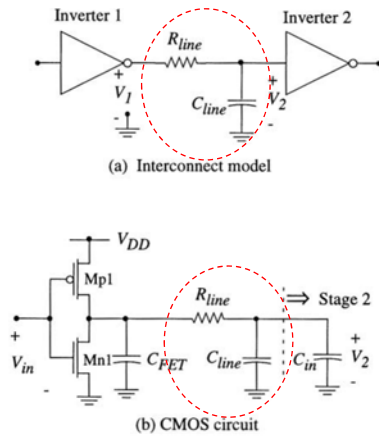


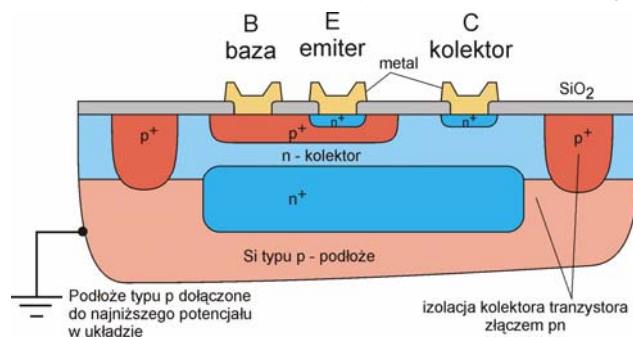
Figure 10.5 Lumped element modelling of the interconnect

- W najprostszym przypadku metalowe ścieżki połączeń modelujemy pojemnościami do masy – otwarta linia transmisyjna o małej długości, $l < \lambda/4$.
- Czasem trzeba uwzględnić rezystancję szeregową.
- Często trzeba uwzględnić pojemności do innych ścieżek i elementów - przesłuchy.
- Przy większych długościach ścieżek metalowych należy stosować model drabinowy zamiast pojedynczych C oraz R.
- Przy wysokich częstotliwościach gdy l porównywalne z λ trzeba stosować pełen model linii transmisyjnej.

Wiele pracy projektanta złożonych układów scalonych wymaga rozwiązania problemów wynikających z różnych wartości opóźnień impulsów przepływających ścieżkami przewodzącymi o różnych długościach.

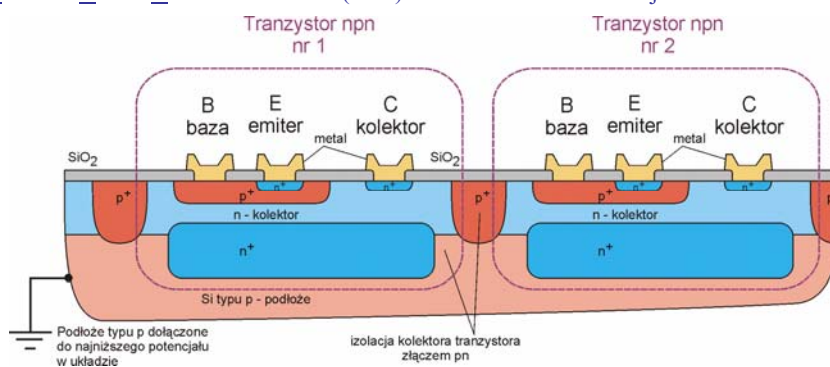
Monolityczne układy scalone z tranzystorami bipolarnymi

Standard Buried Collector transistor (SBC) - standardowa konstrukcja z lat 1960 - 1970



- Standardowe tranzystory npn wytwarza się na podłożu typu p z warstwą epitaksjalną typu n wykorzystywaną jako warstwa kolektora.
- Na granicy podłoża p i warstwy epitaksjalnej wytwarza się warstwę zagrzebaną typu n⁺ zmniejszającą oporność szeregową kolektora.
- Emiter i baza wytwarzane są dyfuzyjnie lub przez implantację jonów.
- Obszary kolektorów typu n poszczególnych tranzystorów są otoczone przez obszary typu p – przez podłoże oraz obszary izolacji typu p⁺.

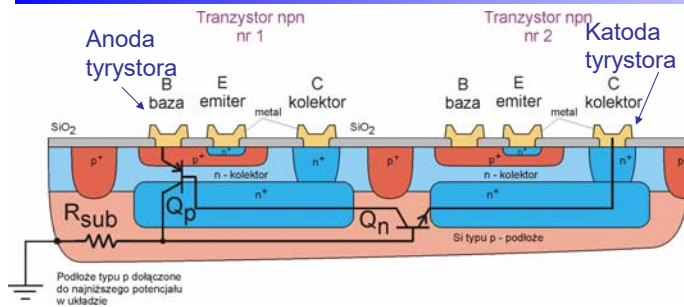
Standard Buried Collector transistor (SBC) - standardowa konstrukcja z lat 1960 - 1970



- Obszary kolektorów typu n poszczególnych tranzystorów są otoczone przez obszary typu p – przez podłoże oraz obszary izolacji typu p⁺.
- Te obszary typu p są spolaryzowane najniższym potencjałem w układzie.
- Złącza pn kolektor-podłoże i kolektor-p⁺ są zatem spolaryzowane nieprzewodząco. Poszczególne tranzystory są odizolowane.

Bipolarne układy scalone z izolacją złączową – tranzystory npn i podłoże tworzą pasożytniczy tyrystor

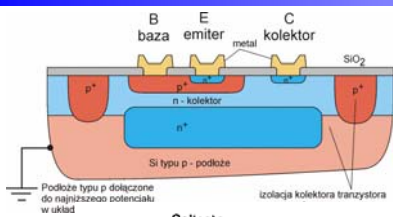
109



- Baza typu p⁺ i kolektor typu n tranzystora npn nr 1 tworzą emiter typu p i bazę typu n pasożytniczego tranzystora pnp Q_p. Kolektorem typu p tranzystora Q_p jest podłoże.
- Kolektor typu n tranzystora npn nr 1, podłoże typu p i kolektor typu n tranzystora npn nr 2 tworzą kolektor, bazę i emiter tranzystora pasożytniczego npn Q_n.
- Tranzystory Q_p oraz Q_n tworzą pasożytniczy tyrystor.
- Pasożytniczy tyrystor może się załączyć i zwierać układ gdy potencjał kolektora tranzystora npn nr 1 jest niższy niż bazy – gdy npn nr 1 wejdzie w stan nasycenia - a potencjał kolektora npn nr 2 jest niski.
- Układ może ulec uszkodzeniu, a jeżeli nie, to trzeba wyłączyć napięcie zasilania aby wyłączyć przepływ prądu przez pasożytniczy tyrystor.

Bipolarne układy scalone z izolacją złączową – tranzystory npn i podłoże tworzą pasożytniczy tyrystor

110



Pasożytnicze tyrystory mogą się też uaktywnić w obrębie pojedynczego tranzystora npn

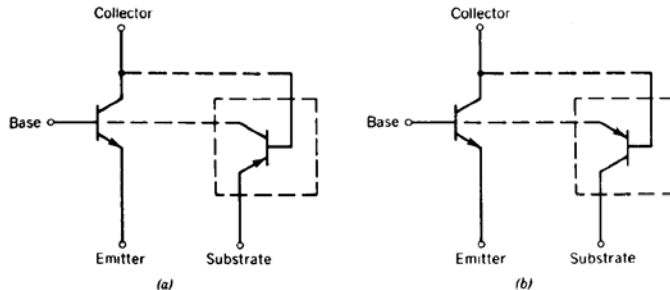
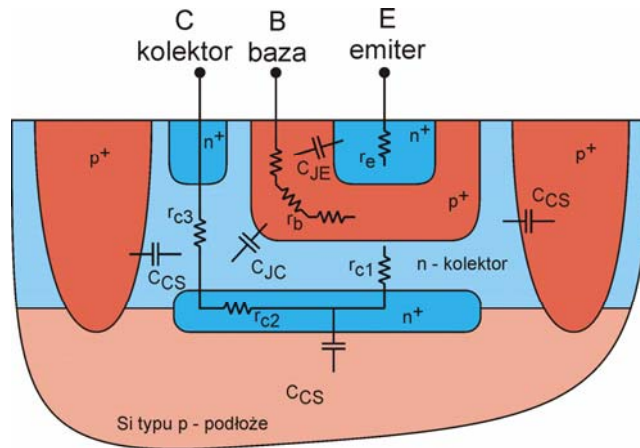


FIGURE 2.3. Two possible conditions where parasitic pnp action may result: (a) When the collector of the npn transistor is pulled to a voltage below substrate potential; (b) when the npn transistor is saturated so that its collector-base junction is forward biased, or when it is operated in the "inverted" mode with its emitter and collector reversed.

Wprowadzenie kolektora, izolacja i podłoże wprowadzają dodatkowe pasożytnicze pojemności i rezystancje do schematu zastępczego scalonego tranzystora bipolarnego npn

111

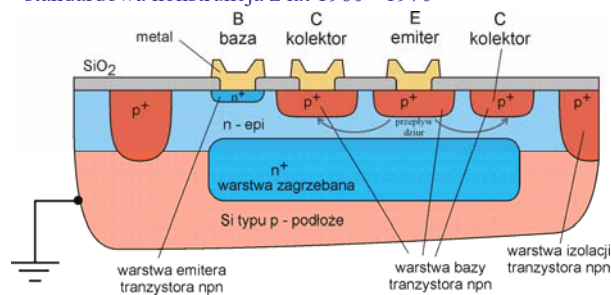


za: P.R.Gray, R.G.Meyer, Analysis and Design of Analog Integrated Circuits, Wiley 1977

Bipolarne układy scalone z izolacją złączową – tranzystor boczny pnp

112

SBC - standardowa konstrukcja z lat 1960 - 1970

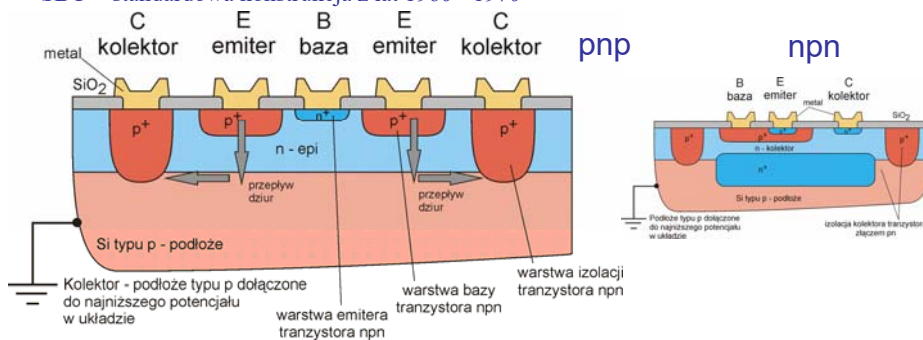


- W standardowych bipolarnych układach scalonych nie wytwarza się pionowych tranzystorów pnp o właściwościach podobnych do tranzystorów npn.
- Wynika to różnic w szybkości dyfuzji domieszek typu n i typu p.
- Tranzystory pnp można wykonać jako tranzystory boczne.
- Boczne tranzystory pnp mają długie jednorodne bazy, duże pojemności baza-kolektor i duże rezystancje szeregowe bazy.
- Boczne tranzystory pnp mają zatem małe częstotliwości graniczne f_T oraz f_{max} . Ich szybkości przełączania są niewielkie.
- Konstruktorzy unikają stosowania tranzystorów pnp o ile to możliwe.

SBC - standardowa konstrukcja z lat 1960 - 1970

- Tranzystory pnp można też wykonać jako tranzystory podłożowe.
- Warstwa bazy tranzystora npn wykorzystywana jest jako emiter tranzystora pnp.
- Warstwa epitaksjalna kolektora tranzystora npn wykorzystywana jest jako baza tranzystora podłożowego pnp.
- Podłoże typu p używane jest jako kolektor tranzystora pnp.
- Podłożowe tranzystory pnp mają długie jednorodne bazy i duże rezystancje szeregowe bazy.
- Podłożowe tranzystory pnp mają zatem małe częstotliwości graniczne f_T oraz f_{max} . Ich szybkości przełączania są niewielkie.
- Podłoże będące kolektorem musi mieć najniższy potencjał w układzie aby zapewnić prawidłowe działanie izolacji innych elementów - poważne ograniczenie zastosowań.
- Konstruktorzy unikają stosowania tranzystorów pnp o ile to możliwe.

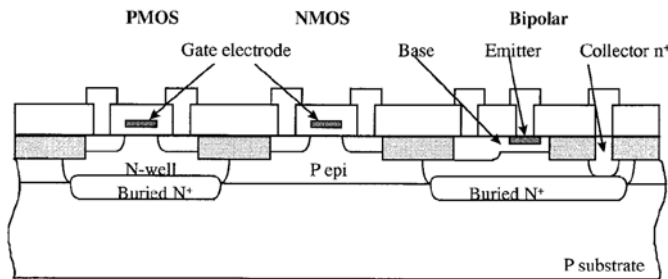
SBC - standardowa konstrukcja z lat 1960 - 1970



- Podłożowe tranzystory pnp mają długie jednorodne bazy i duże rezystancje szeregowe bazy.
- Podłożowe tranzystory pnp mają zatem małe częstotliwości graniczne f_T oraz f_{max} . Ich szybkości przełączania są niewielkie.
- Podłoże będące kolektorem musi mieć najniższy potencjał w układzie aby zapewnić prawidłowe działanie izolacji innych elementów - poważne ograniczenie zastosowań.
- Konstruktorzy unikają stosowania tranzystorów pnp o ile to możliwe.

- Rezystory tradycyjnie wykonuje się w warstwach dyfuzyjnych używanych w konstrukcji tranzystorów. W nowszych konstrukcjach – w krzemie polikrystalicznym. Właściwości podobne do przedstawionych dla rezystorów w technologiach MOS.
- Kondensatory tradycyjnie wykonuje się wykorzystując pojemności nieprzewodząco spolaryzowanych złącz pn. Są to w istocie linie RC o stałych rozłożonych i parametrach zależnych od napięcia polaryzującego. W nowszych konstrukcjach z wielowarstwową metalizacją wykonuje się też kondensatory metal-izolator-metal wykorzystując kolejne warstwy metalizacji i izolator między nimi. Uwaga na rezystancje szeregowe oraz pojemności pasożytnicze i sprzęgające z innymi elementami.
- Indukcyjności – ograniczone możliwości wykonania, podobnie jak w technologiach MOS.
- Ścieżki połączeń metalicznych – podobnie jak w technologiach MOS.

Monolityczne układy scalone z tranzystorami bipolarnymi i MOS BiCMOS



Cross-sectional view of BiCMOS structure.

Konstrukcja układów BiCMOS z 1997 r.

H.Iwai *et al.*, Int. Electron Device Meet. 1987, p.28

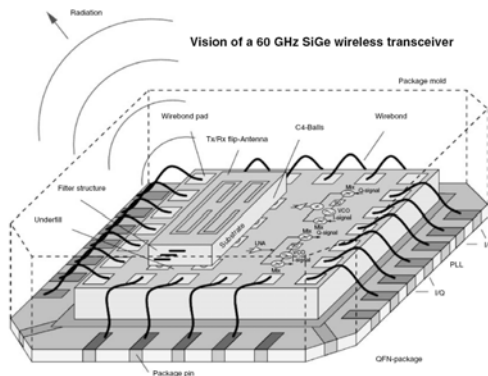
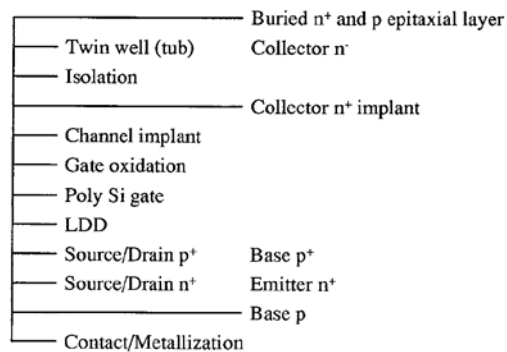
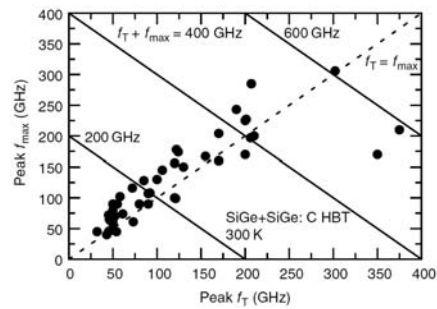


FIGURE 1.5 Vision for a single-chip SiGe mm-wave transceiver system. (Used with the permission of Ullrich Pfeiffer.)

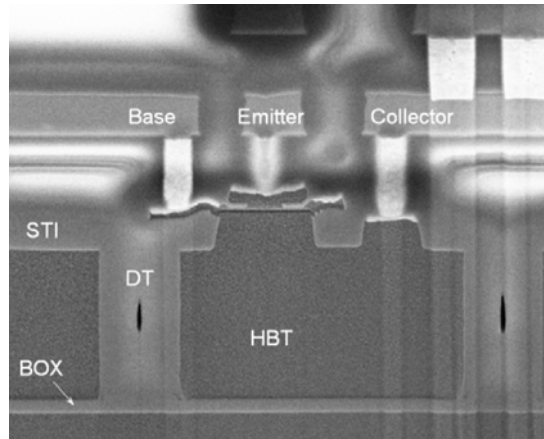


Częstotliwości graniczne heterozłączowych tranzystorów bipolarnych z SiGe w technologii BiCMOS

Przetwarzanie sygnałów niższej częstotliwości realizowane jest przez energooszczędne podukłady CMOS.

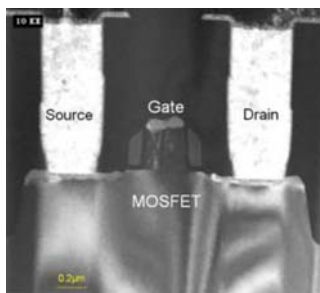
Przetwarzanie sygnałów wysokiej częstotliwości realizowane jest przez szybkie podukłady bipolarne.

J.D. Cressler, Fabrication of SiGe HBT BiCMOS Technology, CRC 2007



SEM cross-section showing an HBT with DT/STI isolation on SOI.

J.A. Babcock i in., A 0.25 μm SiGe-CBiCMOS technology platform on thick-film SOI for high-performance analog and RF IC design, BCTM 2010, pp.41-44



SEM cross-section showing a low-voltage MOSFET on SOI.

Table 1. Typical CBiCMOS device characteristics

Device	Parameter	Unit	LV NPN	HV NPN	HV PNP		
SiGe HBT	AE	μm^2	0.25x1	0.25x1	0.25x1		
	β_{DC}		300	300	200		
	VA	V	200	250	85		
	peak $f_T @ 1.5V$	GHz	57	34	38		
	peak $f_{max} @ 1.5V$	GHz	95	85	80		
	NFmin @ 2GHz	dB	0.7	0.7	0.8		
	BVCEO	V	3.0	5.2	5.2		
	BVCBO	V	12	19	11		
	$I_B = 1 \mu\text{A}$	1/f noise -Sib @1Hz	A^2/Hz	5×10^{-21}	6×10^{-21}	1.5×10^{-20}	
	CMOS			LV NMOS	HV NMOS	LV PMOS	HV PMOS
W/L			5.0.24	5.0.4	5.0.24	5.0.4	
VDD		V	2.5	3.3	2.5	3.3	
VT		V	0.60	0.70	0.65	0.70	
IDSAT		$\mu\text{A}/\mu\text{m}$	570	500	290	260	
Off Current <		$\text{pA}/\mu\text{m}$	1.0	1.0	1.0	1.0	
peak $f_T @ VDD/2$		GHz	28	17	13	8	
peak $f_T @ VDD$		GHz	30	18	17.5	10	
Capacitors			MIM Cap	LV Sinker	HV Sinker	Stacked Cap	
	Capacitance	fF/ μm	1.0	5.2	2.9	6.0 or 3.7	
	VCC	% Linear	99.97	-	-	-	
Inductor	Measured at 5 GHz		L= 1.5 nH	Q > 15	M5 L=1.5nH	M5 Q = 5.6	

J.A. Babcock i in., A 0.25 μm SiGe-CBiCMOS technology platform on thick-film SOI for high-performance analog and RF IC design, BCTM 2010, pp.41-44

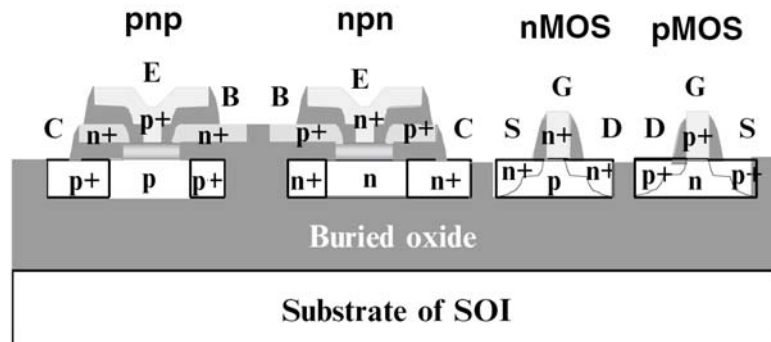
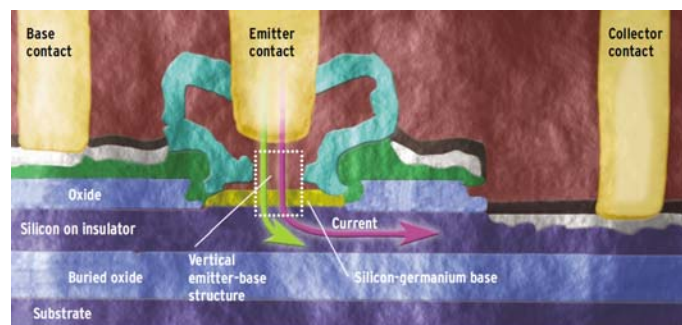


Illustration of an SOI complementary bipolar and CMOS technology.

J.D. Cressler, Fabrication of SiGe HBT BiCMOS Technology, CRC 2007

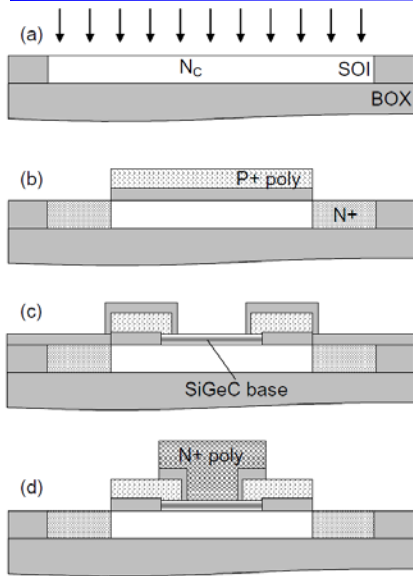
SiGe HBT on thin-film SOI for BiCMOS



The vertical emitter-base structure [box, center] of this bipolar transistor permits the base to be doped with germanium. It is the first structure to allow high-speed, low-power bipolar transistors on the same chip with the fastest, lowest-power CMOS circuits.

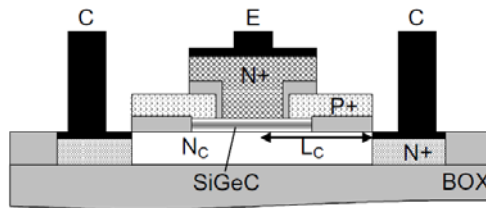
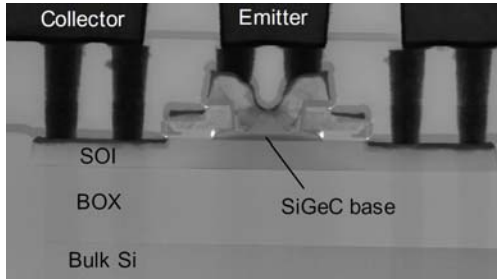
Konstrukcja pionowego tranzystora bipolarnego z zagiętym kolektorem umożliwia wykonanie go na cienkiej warstwie Si na SiO₂, odpowiedniej dla tranzystorów CMOS.

Ghavam Shahidi, IBM,
L.Geppert, IEEE Spectrum, Dec. 2003, p. 20

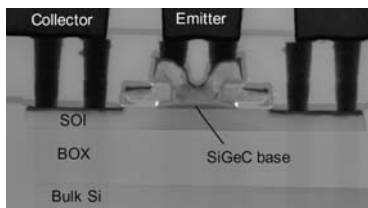


Simplified process flow showing 4 specific steps

TEM cross-section of the SOI SiGeC HBT



G. Avenier i in., "Investigation of fully- and partially-depleted self-aligned SiGeC HBTs on thin film SOI," ESSDERC 2005, pp.133- 136



TEM cross-section of the SOI SiGeC HBT

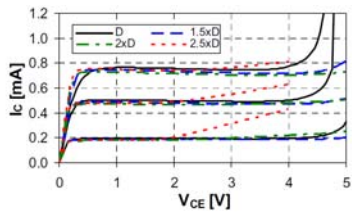


Figure 5: Common-emitter output characteristics for SOI HBTs with collector doses D , $1.5 \times D$, $2 \times D$ and $2.5 \times D$

G. Avenier i in., ESSDERC 2005, pp.133- 136

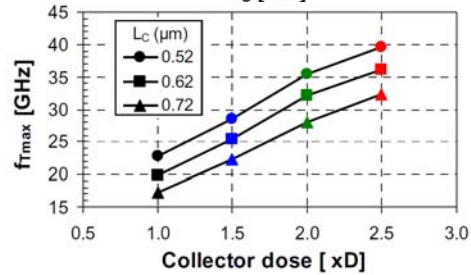
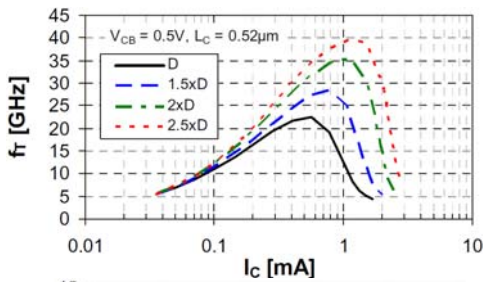
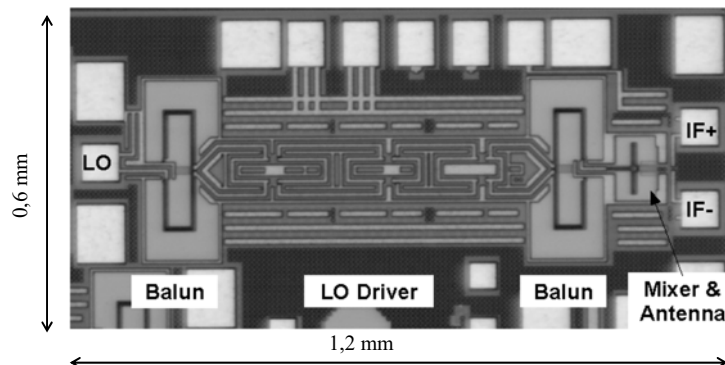


Figure 10: f_{Tmax} data for SOI SiGeC HBTs with all combinations of collector doping and geometry



Układ scalony mieszacza wejściowego odbiornika na 650 GHz.

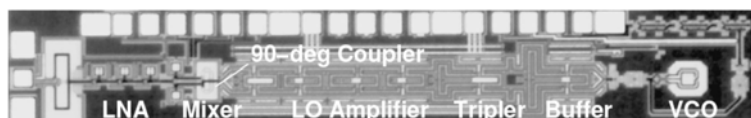
Zawiera tranzystory, diody metal-półprzewodnik z SiGe oraz linie transmisyjne, sprzęgacze i dipol anteny sygnału wielkiej częstotliwości.

Heterozłączone tranzystory bipolarne z SiGe o częstotliwościach granicznych $f_T = 260$ GHz, $f_{max} = 380$ GHz wzmacniają sygnał LO o częstotliwości $f_{LO} = 162,5$ GHz.

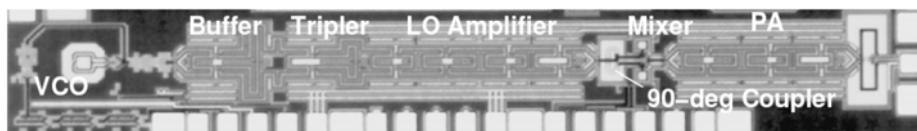
Częstotliwość $f = 650$ GHz jest przetwarzana przez mieszacz z diodą metal-półprzewodnik.

Układ wykonano w technologii BiCMOS 130 nm na podłożu Si.

E. Öjefors et al., ISSCS 2010



Układ scalony odbiornika na 160 GHz.



Układ scalony nadajnika na 160 GHz – w technologii BiCMOS na podłożu Si.

Sygnały o częstotliwości 160 GHz są przetwarzane przez heterozłączone tranzystory bipolarne z SiGe o częstotliwościach granicznych $f_T = 260$ GHz, $f_{max} = 380$ GHz.

Tranzystory wykonane w technologii 130 nm.

U.R.Pfeiffer et al., ISSCS 2010