

Kapitel 5

Taktsignale und Taktverteilung

Ausgabestand 1.1

- Nur zur Information -

5. Taktsignale und Taktverteilung

5.1. Taktsysteme im Überblick

Taktsignale bestimmen die Zeitabläufe, namentlich die Zustandswechsel, in sequentiellen Schaltungen. Mit dem Begriff "Taktsystem" bezeichnet man sowohl die konkrete Auslegung der Taktsteuerung als auch die zugrundeliegende Entwurfsphilosophie. Taktsysteme unterscheidet man u. a. nach:

- der Erzeugung der Taktsignale (abgeleiteter Takt, durchlaufender Takt),
- der Anzahl an zeitlich gegeneinander versetzten Taktsignalen bzw. Taktphasen (Einquasentakt, Mehrphasentakt),
- der zeitlichen Lage der Taktphasen beim Mehrphasentakt (überlappend, nicht überlappend),
- danach, welche Abschnitte des Signalverlaufs Wirkungen ausüben (Vorderflanke, Rückflanke, beide Flanken, Taktdach),
- der Taktsteuerung (ungesteuerter Takt, gesteuerter Takt),
- der Takterzeugung (variabel, konstant, 1:1, Frequenzteilung, Frequenzvervielfachung).

Taktsysteme in sequentiellen Schaltungen

In die Feinheiten des Systementwurfs wollen (und können) wir hier nicht eindringen. Wir müssen deshalb ohne nähere Begründung von folgenden Sätzen ausgehen:

1. Der ungesteuerte Einphasentakt ist aus theoretischer Sicht die Ideallösung.
2. Dieses Prinzip ist in der Praxis nicht immer wirtschaftlich realisierbar.
3. Die Wahl eines Taktsystems hängt unmittelbar zusammen mit der Wahl der elementaren Speicherkreise (Latches, Flipflops der verschiedenen Typen). Beide Entwurfsentscheidungen bedingen einander.

Der ungesteuerte Einphasentakt, mit einer Flanke (z. B. der Low-High-Flanke) wirkend, ist aus Sicht der Theorie deshalb ideal, weil er es ermöglicht, automatentheoretische Konzepte unmittelbar anzuwenden (strikte Trennung zwischen Kombinatorik und Speicherkreisen; Stichworte: Register-Transfer-Ebene und State Machines). Das Prinzip hat auch einen ganz wichtigen Vorteil in der Schaltungspraxis: nur im zeitlichen Umfeld der wirksamen Taktflanke (Stichworte: Setup- und Haltezeiten) müssen die aus der Kombinatorik gelieferten Flipflop-Eingangssignale "eingeschwungen" - also (1) gültig und (2) frei von Störungen sein; nach der Taktflanke dürfen Kombinatorik-Signale zunächst einmal "klappern" (Wettlauferscheinungen (Hazards) und anderweitig bedingte Störimpulse (Glitches) schaden nicht, sofern sie - in Hinsicht auf den Taktzyklus - zeitig genug abklingen). Abbildung 5.1 veranschaulicht die beschriebenen Verhältnisse.

In moderner Hochleistungshardware wird der ungesteuerte Einphasentakt auf Funktionseinheiten- bzw. Systemebene (also zwischen den Schaltkreisen) nahezu ausschließlich verwendet.

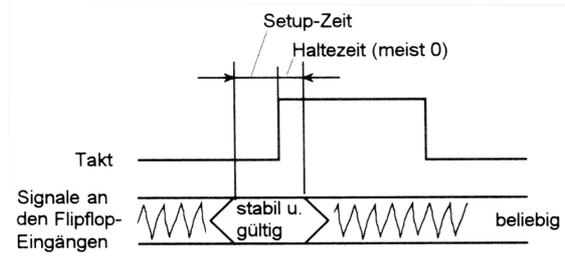


Abbildung 5.1 Störsicherheit - ein Vorzug des ungesteuerten Einphasentaktes

Das Grundproblem: Takttoleranzen

Im Idealfall würde ein Taktsignal, vom Taktgenerator erzeugt, genau gleichzeitig an allen zu steuernden Schaltmitteln (Flipflops, Registern, Zählern usw.) anliegen. Dies ist aber nur in kleinen Schaltungskomplexen praktikabel. Zumeist ist der Takt einer Vielzahl von Verbrauchern zuzuleiten. Stellen Sie sich beispielsweise die Arithmetik-Logik-Einheit eines 64-Bit-Prozessors vor. Im der Auslegung nach Abbildung 1.47 wäre der Takt auf 3 64-Bit-Register zu führen (von Flagbits und anderen Spitzfindigkeiten wollen wir hier absehen), also auf 192 Flipflops. 192 "Verbraucher" kann man aber nicht mit einem einzigen Signal versorgen (Belastung zu hoch, Leitung zu lang). Deshalb müssen entkoppelnde Baustufen (Takttreiber) zwischengeschaltet werden. Zudem ist mit Laufzeiten auf den Leitungswegen zu rechnen. Die Folge: Das Taktsignal erscheint an einigen Flipflops eher, an anderen später. Abbildung 5.2 veranschaulicht das Problem anhand einer nach dem Prinzip "ungesteuerter Einphasentakt" entworfenen Schaltung. Diese enthält D-Flipflop-Register, deren Ausgänge über kombinatorische Netzwerke auf die Eingänge zurückgeführt sind. Dabei nehmen wir an, daß alle Flipflop-Eingänge über die Kombinatorik von allen Flipflop-Ausgängen abhängen.

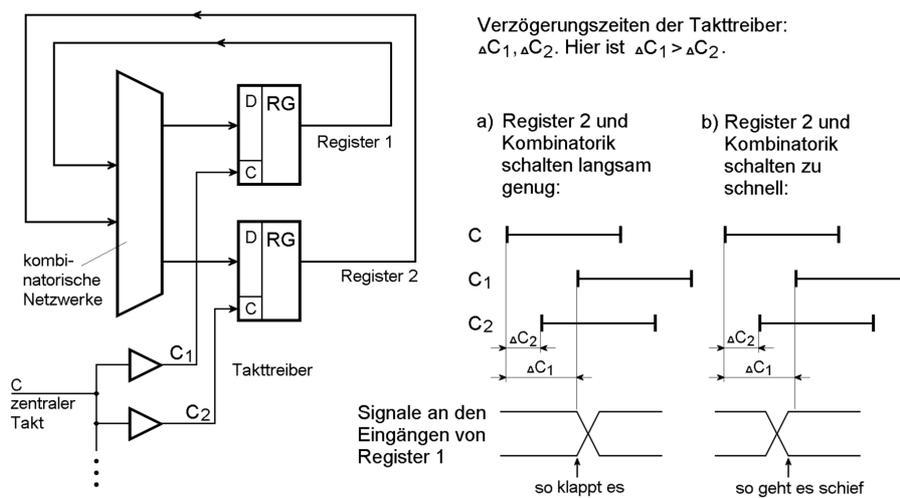


Abbildung 5.2 Takttoleranz-Problem bei Flankensteuerung

Erklärung zu Abbildung 5.2:

An einigen Flipflops kommt die Taktflanke eher an, an einigen später (hier: an Register 2 eher, an Register 1 später).

- obwohl der Takt an Register 2 sehr zeitig wirksam wird, bleibt die bisherige Eingangsbelegung an Register 1 lange genug erhalten - nämlich wenigstens bis zur Vorderflanke des Taktes an Register 1: es funktioniert.
- der zeitige Takt an Register 2 bewirkt, daß sich auch die Eingangsbelegung an Register 1 schnell ändert - noch bevor der Takt an Register 1 wirksam werden konnte: so wird es nichts.

Der Ausweg: zwei Registerstufen

Rückgekoppelte Schaltungen mit einer Vielzahl von Flipflops sind - wie soeben gezeigt - bei Einphasentakt nicht ohne weiteres beherrschbar. 5.3 zeigt einen Ausweg: zwei Registeranordnungen, die zu verschiedenen Zeitpunkten schalten.

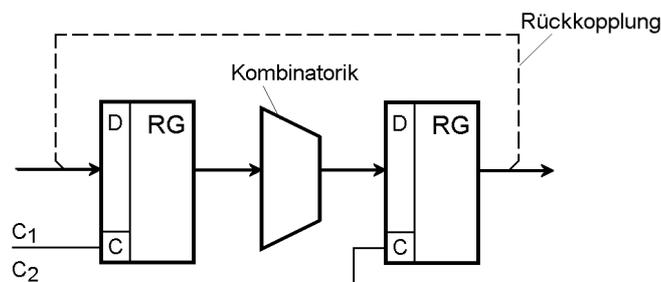


Abbildung 5.3 Anordnung mit zwei Registerstufen

D-Flipflops oder Latches?

Es liegt nahe, sich mit einem einzigen Taktsignal zu begnügen, aber beide Taktflanken auszunutzen, also die eine Registerstufe mit der Vorderflanke und die andere mit der Rückflanke des Taktsignals anzusteuern. Zumeist geht man aber einen anderen Weg: man verwendet transparente Latches und steuert diese mit einem Zweiphasentakt an (Abbildung 5.4). Der Vorteil: Bei einem vorgegebenen Taktzyklus wird der Zeitanteil, der zum Durchlaufen der Kombinatorik zur Verfügung steht, maximiert (anders herum: bei gegebener Schaltungstiefe der Kombinatorik kann man die Anordnung mit einem schnelleren Taktzyklus betreiben).

Deshalb ist dies seit langem die bevorzugte Auslegung der Verarbeitungsschaltungen in Prozessoren. Beispielsweise werden in einer Arithmetik-Logik-Einheit gemäß Abbildung 1.47 die Operandenregister mit der ersten und das Ergebnisregister mit der zweiten Taktphase angesteuert.

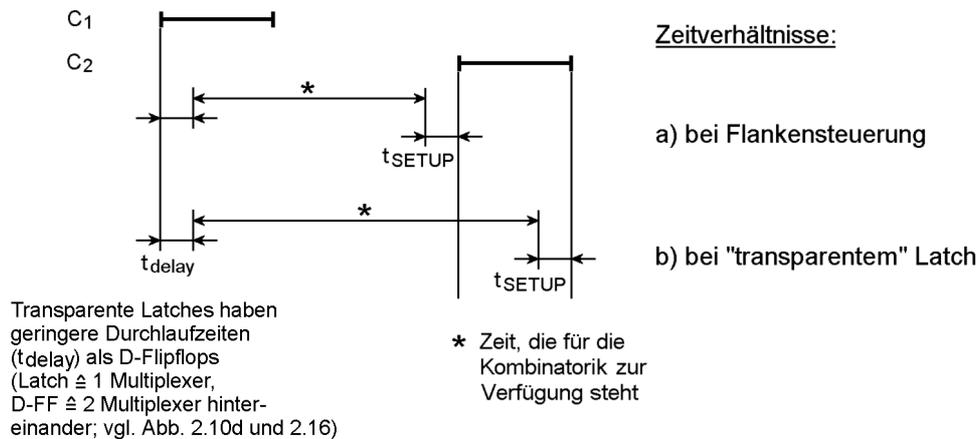


Abbildung 5.4 Maximierung der verfügbaren Durchlaufzeiten für die Kombinatorik

Ein- und Mehrphasentaktsysteme

Abbildung 5.5 zeigt die Unterschiede. Zeitversetzte Taktphasen werden beispielsweise über Laufzeitketten oder mittels rückgekoppelter Schieberegister (Ringzähler; vgl. Abschnitt 2.5.1.) erzeugt.

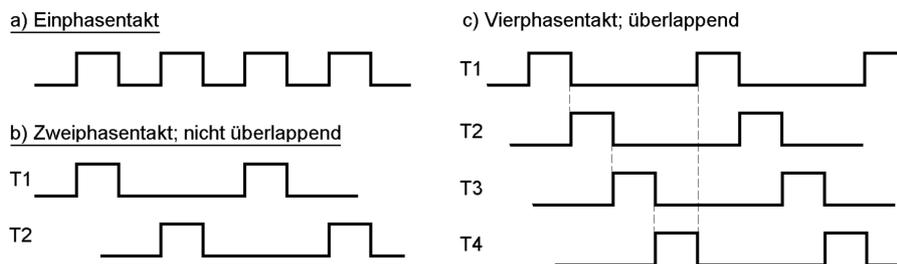


Abbildung 5.5 Ein- und Mehrphasentaktsysteme

Hinweise:

1. Ein Mehrphasentakt ist nur dann "nicht überlappend", wenn zwischen den Impulsen der einzelnen Taktphasen definierte Abstände vorgesehen sind. Wenn hingegen beispielsweise Phase T1 ausschaltet und gleichzeitig T2 einschaltet, ist stets mit Überschneidungen zu rechnen.
2. Ist in allen Phasen nur ein und dieselbe Flanke (z. B. die Vorderflanke) wirksam, so ist das Problem bedeutungslos (dann wäre auch das Taktschema gemäß Abbildung 5.5c nicht überlappend).

Systeme mit abgeleiteten Taktsignalen

Unter diesem Begriff wollen wir alle Schaltungen zusammenfassen, in denen nicht sämtliche taktgesteuerten Elemente (wie Flipflops, Zähler usw.) einheitlich von einem zentralen Taktgenerator aus mit zeitstarrten Taktimpulsen versorgt werden. Steuerschaltungen (auch Interface-Anschlußsteuerungen), Buskoppelschaltungen und Mikroprozessorsysteme werden oft so ausgelegt. Eines der einfachsten Beispiele ist der asynchrone Binärzähler (vgl. Abschnitt 2.5.3.): hier dienen die Flipflop-Ausgänge als Takte der nachfolgenden Flipflops. In der Praxis

finden wir die tollsten Schaltungen: über Kombinatorik abgeleitete Strobe-Impulse, Zeitglieder (auch analog wirkende Verzögerungsschaltungen), Single-Shot-Schaltungen, trickreiche Rückführungen usw. Die Vorteile: wenige Funktionselemente, also geringe Kosten. Ein wesentlicher Nachteil: schlechte Prüfbarkeit.

Die wirksamen Abschnitte des Taktsignalverlaufs

Folgende Abschnitte des Signalverlaufs können Wirkungen ausüben:

- die ansteigende Flanke (Vorderflanke) allein,
- die abfallende Flanke (Rückflanke) allein,
- beide Flanken (Stichwort: doppelte Datenrate),
- einer der beiden logischen Pegel (Low, High) des Taktimpulses.

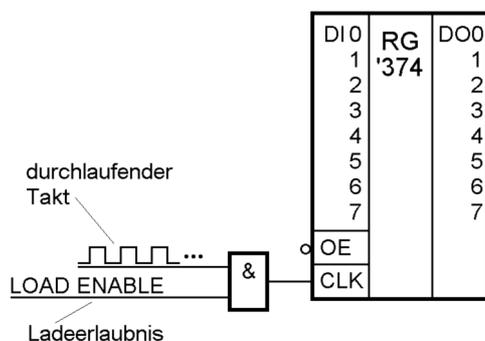
Es hängt von der Wahl der Speicherelemente ab, welche Abschnitte des Taktsignalverlaufs wirksam sind und welche nicht. Beispiele:

- D-Latches reichen die Dateneingangsbelegung zum Ausgang durch, solange das Taktsignal High-Pegel führt,
- typische D-Flipflops übernehmen die Dateneingangsbelegung mit der Low-High-Flanke des Taktes.

Gesteuerter und ungesteuerter Takt

Die Unterscheidung betrifft die Takteingänge der Schaltkreise. Es gibt Schaltkreise, bei denen ein am Takteingang ankommender Impuls sofort die jeweilige Wirkung ausübt (z. B. das Laden eines Registers oder das Weiterzählen eines Zählers). Will man die Wirkung eines durchlaufenden Taktes steuern, muß man dem Takteingang z. B. eine UND-Verknüpfung mit entsprechenden Steuersignalen vorschalten. Andere Schaltkreise haben synchron wirkende Steuereingänge, und der Takt kann ständig am Takteingang anliegen. Ist kein Steuereingang aktiv, so befindet sich - trotz des durchlaufenden Taktes - der Schaltkreis in Ruhe. Abbildung 5.6 veranschaulicht beide Auslegungen anhand von Beispielen.

a) Gesteuerter Takt (8-Bit-Register 74 x 374)



b) Ungesteuerter Takt (Binärzähler 74 x 163)

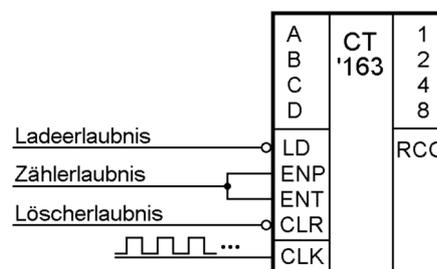


Abbildung 5.6 Gesteuerter und ungesteuerter Takt

Funktionsentscheidend: saubere Taktsignale

Es ist offensichtlich, daß Taktsignale (nahezu) vollkommen frei von Störungen sein müssen; jeder Glitch an einem CLK-Eingang kann Schaden anrichten (auch Nadeln von nur wenigen ns Breite bringen Flipflops zum Schalten oder veranlassen die Datenübernahme in ein Latch - wenn sie es nicht gar veranlassen, Schwingungen abzugeben ...). In dieser Hinsicht gibt es Unterschiede zwischen beiden Auslegungen:

- gesteuerter Takt: die Steuer- bzw. Erlaubnissignale (z. B. LOAD ENABLE in Abbildung 5.6a) dürfen nur dann umschalten, wenn das Taktsignal inaktiv ist; es darf nicht vorkommen, daß solche Signale sozusagen mitten im Takt ihren Pegel ändern. Zum einen ist das im Entwurf zu berücksichtigen (vgl. Abschnitt 2.3.5.). Zum anderen ist aber auch an Störungen zu denken, die von außen eingekoppelt werden können. Das heißt: die Steuerleitungen sind ebenso sorgfältig zu verlegen (auf der Leiterplatte oder im Schaltkreis) wie die Taktleitungen.
- ungesteuerter Takt (vollsynchrone Betrieb): die Steuersignale wirken nicht auf CLK-Eingänge, sondern auf kombinatorische Netzwerke. Sie dürfen deshalb so schalten, wie in Abbildung 5.1 dargestellt. Somit genügt es, nur die eigentlichen Taktleitungen ausgesprochen störsicher zu verlegen.

Taktsteuerung zum Stromsparen (Clock Gating)

Eine neumodische Sache. Die Schaltungen werden zwar typischerweise vollsynchron ausgelegt, man schaltet aber den Takt vor jenen Funktionseinheiten ab, die gerade nichts zu tun haben. Auch hier müssen die Anforderungen an solche Steuersignale erfüllt werden (kein Schalten bei aktivem Takt, kein Einkoppeln von Störungen). Es gibt u. a. FPGA-Schaltkreise, die derartige Schaltungslösungen unterstützen (Abbildung 5.7).

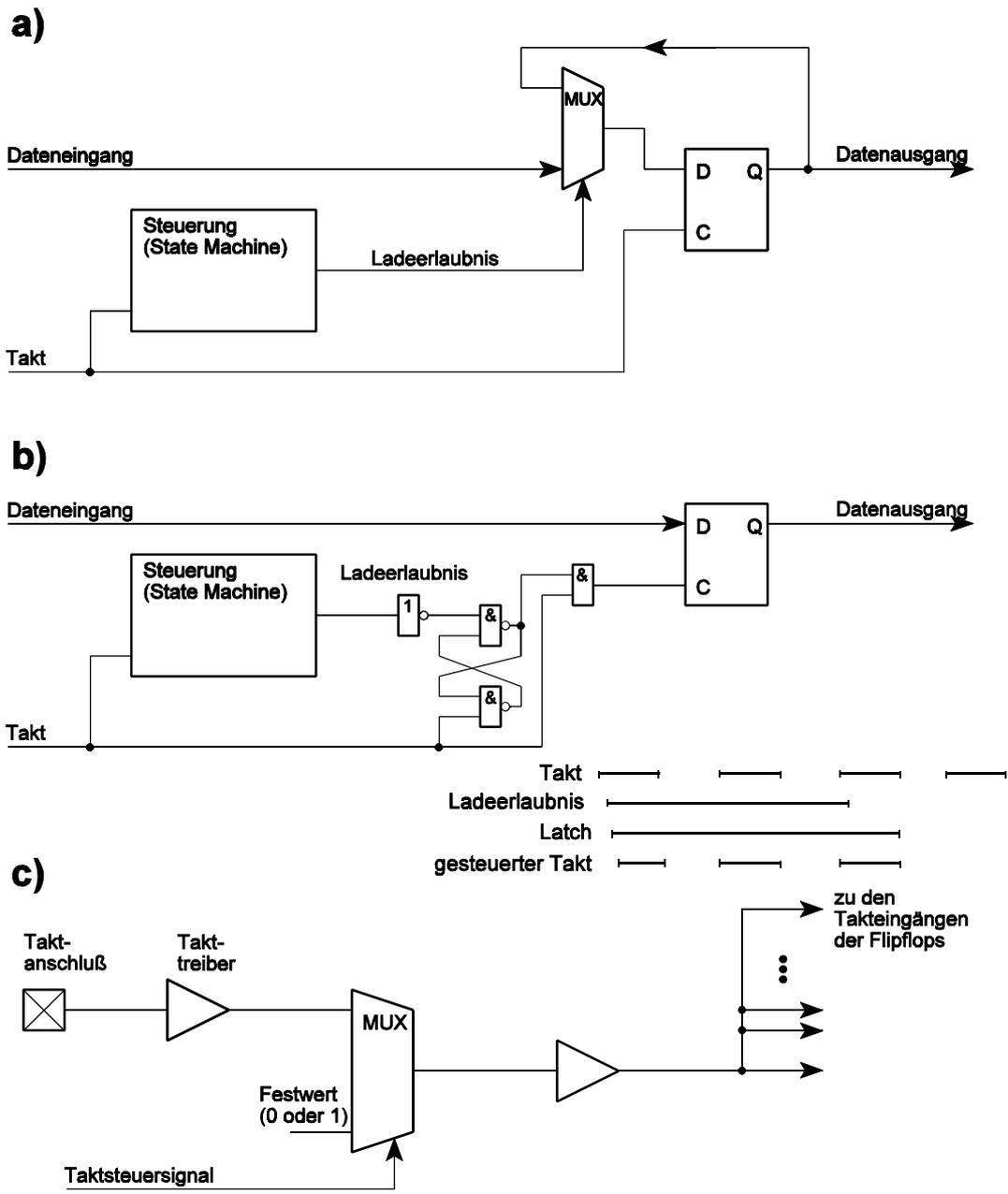


Abbildung 5.7 Taktsteuerung zum Stromsparen (nach: Actel)

Erklärung:

- a) herkömmliche vollsynchroner Steuerung eines Flipflops bei durchlaufendem Takt durch Umschaltung zwischen Datenübernahme und Selbsthaltung. Die durchlaufenden Taktsignale sind aber für einen beachtlichen Strombedarf verantwortlich (bis zu ca. 30 % des bei Schaltvorgängen auftretenden Strombedarfs (dynamische Stromaufnahme) sind durch Taktsignale bedingt).

- b) damit dann, wenn nichts zu tun ist, an den Flipflops auch wirklich nichts mehr schaltet, wird der Takt abgestellt. Das muß aber glitchfrei geschehen. In Abschnitt 2.3.5. haben wir bereits eine Lösung gezeigt. Hier sorgt ein Latch dafür, daß der Takt nur dann abgestellt werden kann, wenn er gerade Low-Pegel führt*).
- c) eine Alternative zum UND-Gatter, das den Takt durchläßt oder sperrt: ein Multiplexer, der die Takteingänge der Flipflops zwischen dem Taktsignal und einem Festwert umschaltet.

*) die steuernde State Machine schaltet mit dem gleichen Takt. Ist das Ladeerlaubnissignal aktiv (High), so wird über den Negator das obere NAND des Latches stets auf High gehalten (Takt wird durchgelassen). Wird das Ladeerlaubnissignal inaktiv, so hält das Latch so lange seine Stellung, bis der Takt auf Low geht.

Takte und Rücksetzen

Die meisten komplexen Schaltkreise erwarten, daß sie nach dem Einschalten eine gewisse Zeit in einem Rücksetzzustand (Reset State) gehalten werden. Dieser Zustand darf vielfach erst dann aufgehoben werden, wenn die Taktversorgung stabil anliegt (in den Datenblättern ist die Mindestzeit oder die Mindestzahl der Taktimpulse vorgeschrieben)*).

*) da die Rücksetzwirkungen in manchen Bauelementen und Schaltungen erst dann eintreten, wenn Taktimpulse anliegen.

Variabler Takt

Oft steht der Entwickler vor der Aufgabe, verschieden schnelle Funktionskomplexe miteinander zu koppeln, beispielsweise einen Prozessor mit einem Speicher, dessen Zugriffszeit länger ist, als es der Buszyklus des Prozessors eigentlich zuläßt. Wir kennen die gängigen Abhilfen: (1) irgendeine Form des Ineinandergreifens von Steuersignalen (Interlocking, Handshaking), (2) das Einführen von Wartezuständen (Wait States), (3) transaktionsorientierte Protokolle.

Grundsätzlich gibt es eine weitere Möglichkeit: den Takt kurzzeitig anhalten bzw. die Dauer des Taktzyklus passend verlängern (Clock Stretching). Der Vorteil: eine "saugende" Anpassung der Zeitverhältnisse. Es werden genau so viele ns zugegeben wie jeweils erforderlich. Demgegenüber erfordert jeder Wartezustand einen ganzen zusätzlichen Taktzyklus, auch wenn man beispielsweise mit einer Verlängerung um $\frac{1}{3}$ Taktperiode auskommen würde. Bei den heutzutage üblichen Taktfrequenzen ist das Prinzip nicht mehr beherrschbar. Nostalgische Beispiele:

- manche (ältere) Mikroprozessoren (mit Taktfrequenzen bis zu etwa 10 MHz),
- die Dehnung des Bustaktes in EISA-Systemen (BCLK Stretching) zwecks Unterstützung des Zusammenwirkens von EISA- und ISA-Karten.

5.2. Anforderungen an Taktsysteme

Hochleistungssysteme stellen beachtliche Anforderungen an die Taktversorgung. Das betrifft neben der Frequenz auch die zu treibenden Lasten und die zeitlichen Parameter. Es ist nicht nur der Prozessor mit dem Takt zu versorgen. Vielmehr benötigen u. a. Steuerschaltkreise, Bussysteme und Speichersubsysteme ebenfalls Taktsignale. In Multiprozessorsystemen wird der Takt an noch mehr Stellen benötigt (Abbildung 5.8).

Hinweise:

1. Im Interesse höchster Leistung legt man Wert auf eine durchgehend vollsynchrone Arbeitsweise (über alle Funktionseinheiten hinweg), da nur so eine Leistungsminderung als Folge von Eintaktierungs-Zeitverlusten vermieden werden kann.
2. Moderne Computer haben keinen universellen Bus, sondern mehrere zweckgebundene Interfaces (Prozessorbus, Arbeitsspeicherinterface, AGP, PCI, Spezialinterfaces zwischen den Steuerschaltkreisen, USB usw.). Jede dieser Schnittstellen wird mit ihrem eigenen Takt betrieben. Es geht also nicht nur um eine bloße Taktverteilung, sondern darum, die unterschiedlichen Taktsignale bereitzustellen.
3. Weitere Anforderungen betreffen u. a. das Verlangsamen oder Anhalten von Takten zwecks Stromsparen sowie das Bestehen der EMV-Prüfung durch Variieren der Taktfrequenz (Spread Spectrum Clocking).

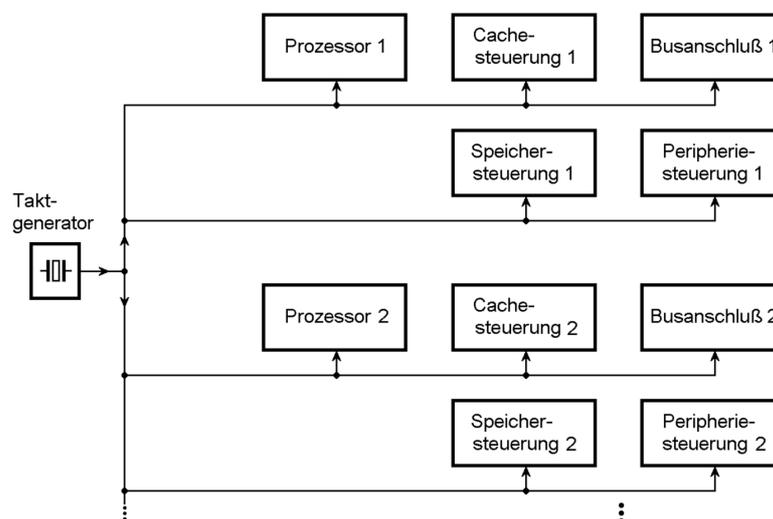


Abbildung 5.8 Taktverteilung in einem typischen Hochleistungssystem

Zu den wichtigsten Kennwerten gehören:

- die Frequenzgenauigkeit,
- die Frequenzkonstanz (in Abhängigkeit von der Umgebungstemperatur, von der Betriebsdauer usw.),
- der Flankenversatz (Edge Skew oder kurz Skew),

- die zeitlichen Schwankungen (Jitter),
- das Tastverhältnis (Duty Cycle).

Frequenzkennwerte betreffen den eigentlichen Taktgenerator.

Skew

Der Skew ist hier der Zeitversatz zwischen gleichen Flanken *verschiedener Taktsignale*, die an sich gleichzeitig schalten sollten (Abbildung 5.9).

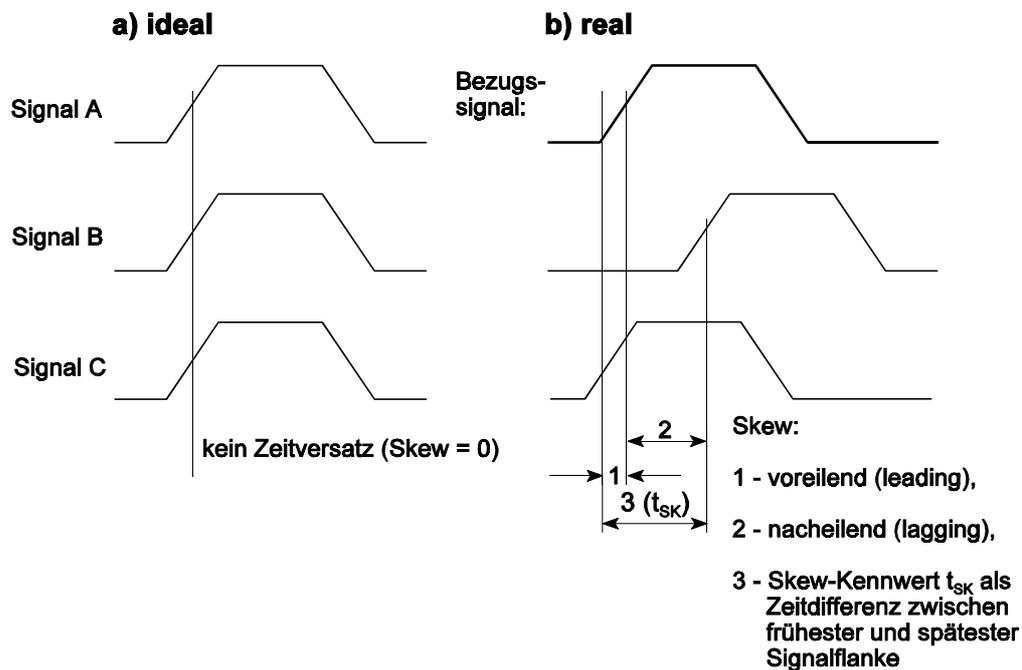


Abbildung 5.9 Skew

Zeitversatz in den Takttreiberschaltkreisen (Intrinsic Skew)

Betrachten wir ein Taktsignal, das über mehrere Treiberschaltkreise verteilt wird (Abbildung 5.10).

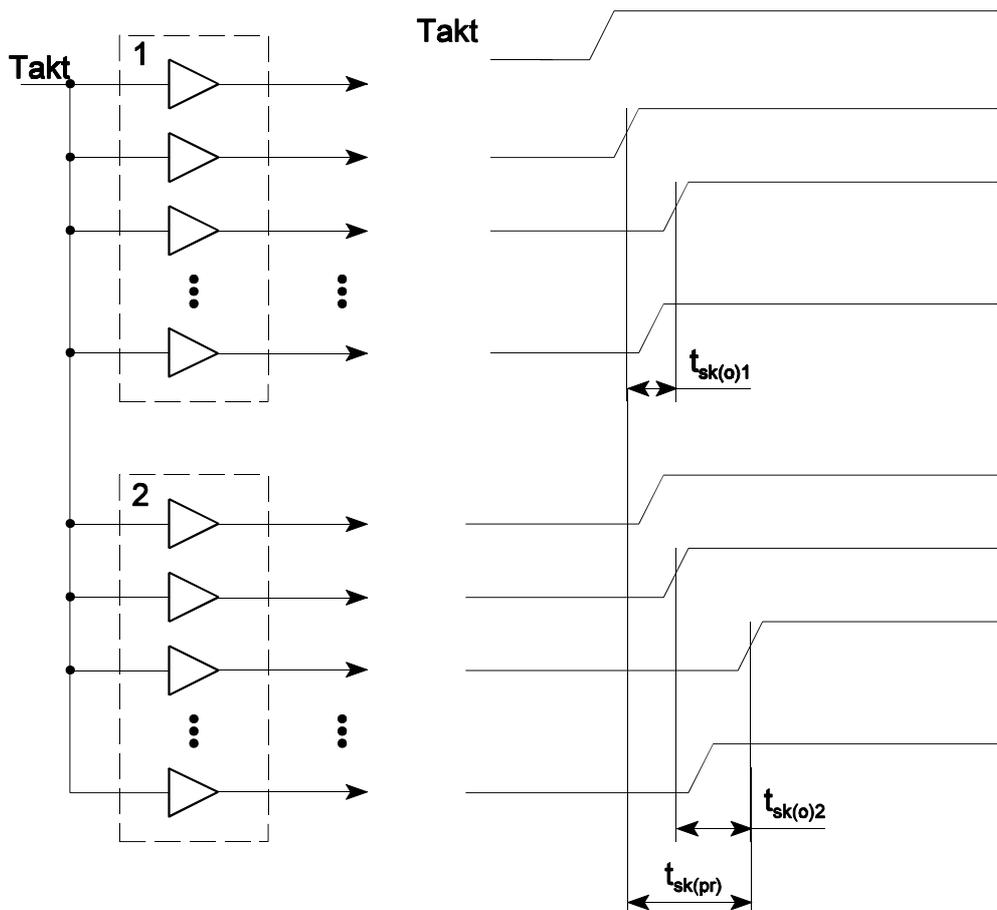


Abbildung 5.10 Zeitversatz (Skew) in Takttreiberschaltkreisen (nach: Texas Instruments)

Erklärung:

Ein Taktsignal ist an mehrere Takttreiberschaltkreise angeschlossen, die jeweils mehrere Treiberstufen enthalten. Jede Stufe verzögert die Signalflanken um eine gewisse Zeit (die Abbildung veranschaulicht dies anhand der Verzögerung einer Low-High-Flanke). In diesem Zusammenhang sind vor allem folgende Kennwerte von Bedeutung:

1. Output Skew $tsk(o)$

Das ist der Zeitversatz zwischen zwei Ausgängen desselben Schaltkreises (unter der Bedingung, daß beide Ausgänge gleiche Lasten treiben und in die gleiche Richtung schalten).

2. Process Skew $tsk(pr)$ (auch: Device-to-Device Skew)

Das ist der Zeitversatz zwischen zwei Ausgängen verschiedener, aber gleichartiger Schaltkreise (gleicher Typ, gleicher Hersteller, gleiche Bauform) unter gleichen Betriebsbedingungen (Temperatur, Speisespannung, Belastung).

3. Part-to-Part Skew $tsk(pp)$

Das ist der Zeitversatz zwischen zwei Ausgängen verschiedener, aber weitgehend gleichartiger Schaltkreise (gleicher Typ, gleiche Bauform) unter gleichen Betriebsbedingungen (Temperatur, Speisespannung, Belastung). Gegenüber dem Process Skew entfällt hier die Bedingung "gleicher Hersteller".

Typischerweise gilt: Output Skew < Process Skew < Part-to-Part Skew.

Es leuchtet ein, daß der einzelne Hersteller nur jene Kennwerte garantieren kann, die er selbst unter Kontrolle hat. Das betrifft hier den Output Skew und den Process Skew. Eigens als Takttreiber vorgesehene Schaltkreise werden mit besonders geringem Process Skew angeboten (von etwa 2 ns bis hin zu 1 ns und weniger). Werden einzelne Schaltkreise durch gleichartige Typen anderer Hersteller ersetzt, ist damit zu rechnen, daß der Part-to-Part Skew den Process Skew übertrifft.

Der Limit Skew $tsk(l)$ - eine Faustregel:

Sind keine solchen Kennwerte angegeben, so setzt man die Differenz zwischen der höchsten und der geringsten Verzögerungszeit vom Eingang zum Ausgang^{*)} als Skew an (gelegentlich als Limit Skew $tsk(l)$ bezeichnet). Das betrifft vor allem Schaltkreise, die nicht ausdrücklich als Takttreiber gefertigt, gelegentlich aber - aus Kostengründen - als solche genutzt werden (Negatoren, Bustreiber usw.).

*) : Datenblattwerte.

Hinweis:

Die Differenz der Verzögerungszeiten laut Datenblatt ist eine pessimistische Rechnung, da die Minimal- und Maximalwerte unter den jeweils günstigsten bzw. ungünstigsten Betriebsbedingungen gemessen werden. Nebeneinander auf einer Leiterplatte angeordnete Schaltkreise sind hingegen nahezu denselben Betriebsbedingungen unterworfen, so daß es in der Praxis nicht so schlimm aussieht. Echte (teure) Takttreiber haben Skew-Werte von 2 ns an abwärts. Bei Wald- und Wiesen-Schaltkreisen ist hingegen durchaus mit 5 ns und mehr zu rechnen.

Pulse Skew $tsk(p)$

Dies ist ein Datenblattwert, der die maximale Differenz der Verzögerung von Low-High- und High-Low-Flanke angibt (Abbildung 5.11). Seine Bedeutung: sind beide Verzögerungszeiten nicht gleich, so verändert dies den Duty Cycle des Taktsignals. Es gibt aber Einsatzfälle, in denen ein bestimmter Duty Cycle ziemlich genau eingehalten werden muß.

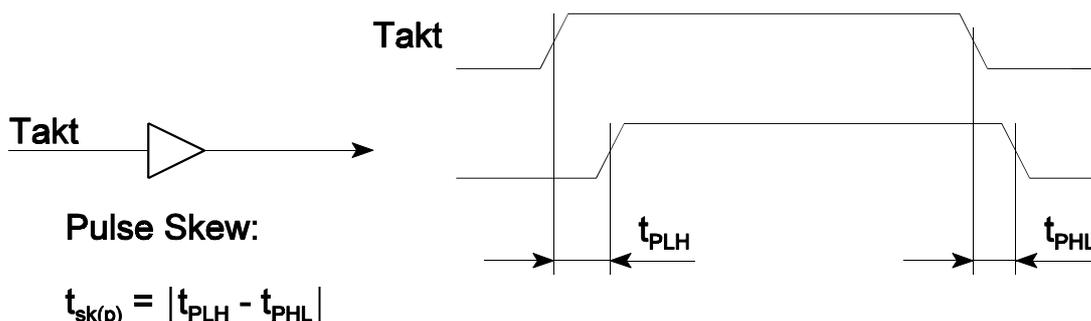


Abbildung 5.11 Pulse Skew (nach: Texas Instruments)

Der Zeitversatz auf der Leiterplatte (Extrinsic Skew)

Die verschiedenen Taktsignalwege auf der Leiterplatte haben unterschiedliche Verzögerungszeiten. Dies ist vor allem bedingt durch Unterschiede in den Leitungslängen, in den Schwellwerten der empfangenden Schaltkreise, in der kapazitiven Belastung und im Leitungsabschluß. Bei extremen Taktfrequenzen ist es deshalb notwendig, für weitgehende Gleichheit zu sorgen. Typische Maßnahmen: gleich lange Leitungen, präzise Schwellwerte durch Vergleich des Signals mit einer Referenzspannung, gleiche kapazitive Belastung (wobei notfalls mit Kondensatoren nachgeholfen wird).

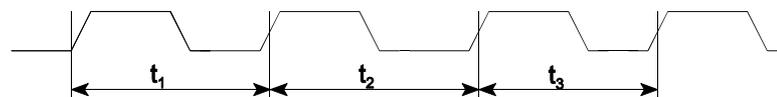
Wie kann man den Skew messen?

Am einfachsten mit einem hinreichend leistungsfähigen Zweikanaloszilloskop. Mit dem einen Kanal das Bezugssignal (z. B. einen der Ausgänge) darstellen, mit dem anderen die weiteren Signale (jeweils eines nach dem anderen). Der Zeitversatz kann direkt abgelesen werden.

Jitter

Mit Jitter bezeichnet man Schwankungen der zeitlichen Lage aufeinanderfolgender gleichartiger Flanken *ein und desselben Signals*. Übliche Zeitangaben: \pm ns oder \pm ps. Typischerweise werden drei Arten des Jitter voneinander unterschieden (Abbildung 5.12).

a) Cycle-Cycle Jitter

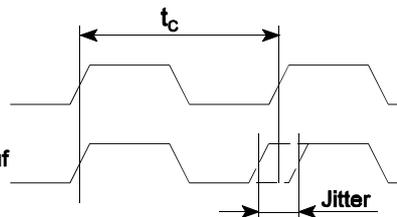


$$\text{Jitter } J_1 = |t_2 - t_1|; \text{ Jitter } J_2 = |t_3 - t_2|; \dots$$

b) Period Jitter

der ideale Zyklus

der tatsächliche Verlauf



c) Long Term Jitter

1. Zyklus (ideal)

Zyklus n (nacheilend)

Zyklus m (voreilend)

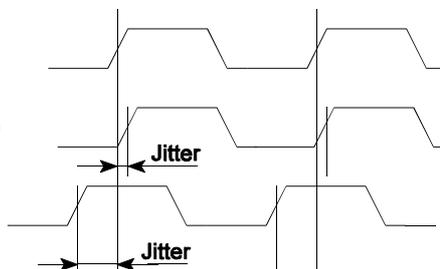


Abbildung 5.12 Jitter (nach: Cypress)

Erklärung zu Abbildung 5.12:

- Jitter zwischen aufeinanderfolgenden Zyklen (Cycle-Cycle Jitter). Die Periodendauern aufeinanderfolgender Zyklen werden gemessen und miteinander verglichen. Der höchste Wert dieser Differenzen (bei Messung über längere Zeit) ergibt die entsprechende Zahlenangabe.
- Kurzzeitjitter (Period oder Short-Term Jitter). Es wird gemessen, wie weit die Signalfanken in aufeinanderfolgenden Zyklen von ihrer idealen Lage abweichen. Der Maximalwert ergibt die entsprechende Zahlenangabe. Der Unterschied zum Cycle-Cycle Jitter: man bezieht sich auf die ideale Periodendauer, also nicht auf die Dauer des jeweils vorhergehenden Zyklus.
- Langzeitjitter (Long Term Jitter). Die Messung entspricht der des Kurzzeitjitters, es wird aber über vergleichsweise viele Zyklen hinweg gemessen (Richtwert: bei Motherboards und Graphikkarten typischerweise über 10...20 μ s).

Hinweis:

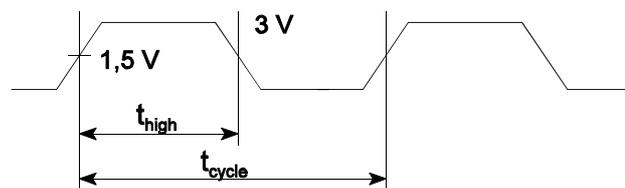
Jitter-Messungen erfordern hochwertige Meßmittel (z. B. Frequenz- und Zeitbereichsanalysatoren).

Duty Cycle

Den Begriff kennen wir aus der Einführung (Abschnitt 2.3.3.). Abbildung 5.13 veranschaulicht die Meßbedingungen. Viele Taktsysteme fordern einen Duty Cycle von 50 %. Herkömmlicherweise sind manchmal größere Abweichungen tragbar (Richtwert: Duty Cycle im Bereich von 40... 60 %) ^{*}). Werden beide Taktflanken ausgenutzt (doppelte Datenrate), so ist ein Duty Cycle von 50 % mit großer Genauigkeit einzuhalten.

^{*}): es gab aber auch schon vor Jahrzehnten Prozessoren, die einen von 50 % merklich abweichenden Duty Cycle wirklich übelgenommen haben (z. B. der legendäre Z 80).

a) TTL-Pegel



$$\text{Duty Cycle} = (t_{\text{high}} : t_{\text{cycle}}) \cdot 100\%$$

b) CMOS-Pegel

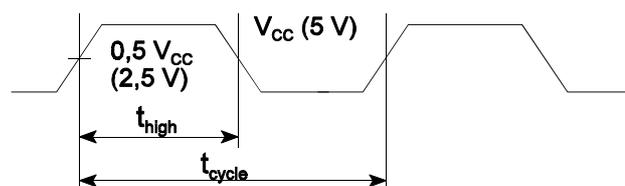


Abbildung 5.13 Duty Cycle (nach: Cypress)

Erklärung zu Abbildung 5.13:

Typischerweise wird bei 50 % des Signalhubbs gemessen, gelegentlich aber auch bei anderen Signalpegeln (siehe Datenblatt).

- a) TTL-Taktsignal. Der Signalhub wird zumeist mit 3 V angenommen. Also wird bei 1,5 V gemessen.
- b) CMOS-Taktsignal. Der Signalhub entspricht typischerweise der Speisespannung (V_{DD} bzw. V_{CC}). Also wird bei $\frac{1}{2} V_{CC}$ gemessen ($\approx 2,5$ V bei 5-V-CMOS).

Das ideale Taktsystem

Die Anforderungen an ein ideales Taktsystem können wir folgendermaßen zusammenfassen:

- Taktfrequenz stets = Nennwert (keine Schwankungen, keine Alterung usw.),
- kein Skew,
- kein Jitter,
- keine Störungen und Signalverformungen,
- genaue Einhaltung des geforderten Duty Cycle (zumeist 50 %),
- Unabhängigkeit von der Taktfrequenz,
- Unabhängigkeit von Leitungslängen, kapazitiver Belastung usw.

5.3. Takterzeugung

Taktgeneratoren

Moderne Generatorschaltungen für Taktsignale arbeiten zumeist mit Schwingquarzen, bei geringeren Ansprüchen an die Frequenzgenauigkeit mit keramischen Resonatoren (wenn es gar nicht darauf ankommt, auch mit Widerständen und Kondensatoren). Die Entwicklungsgeschichte im Kurzüberblick:

- diskret aufgebaute Generatorschaltungen,
- spezielle Generatorschaltkreise,
- verkapselte Taktgeneratoren, die Impulse mit Logikpegeln liefern,
- der Schaltkreis, der das Taktsignal braucht, wird so ausgelegt, daß es genügt, einen Quarz - und gegebenenfalls einige wenige passive Bauelemente - nach Kochbuch mit bestimmten Anschlüssen zu verbinden.

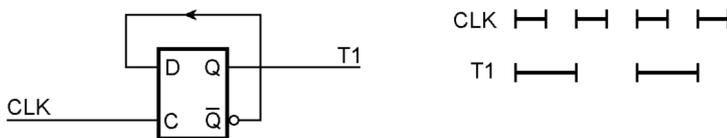
1:1-Takt

Dies ist das einfachste Prinzip: das vom Generator kommende Taktsignal wird unmittelbar (erforderlichenfalls unter Zwischenschaltung von Treibern) zu den einzelnen Schaltkreisen geführt.

Frequenzteilung

Meist wird von den Taktimpulsen ein bestimmtes Tastverhältnis verlangt (am häufigsten eines von 1:1 bzw. 50 % Duty Cycle). Eine Generatorschaltung kann dies nicht ohne weiteres garantieren. Es gibt aber ein ganz einfaches Mittel, 50 % Duty Cycle zu gewährleisten: die 2:1-Teilung mittels Teiler-Flipflop. Deshalb wird oftmals vom Generator ein "Muttertakt" doppelter Frequenz gefordert. Aber auch andere Tastverhältnisse, zeitlich versetzte Taktphasen usw. lassen sich einfach ableiten, wenn ein entsprechend schnellerer Muttertakt zur Verfügung steht, aus dem mittels Frequenzteilung, über Schieberegister usw. die jeweiligen Taktsignale abgeleitet werden können (Abbildung 5.14).

a) Teilung 2:1 (50% Duty Cycle)



b) Teilung 3:1 (33,3% Duty Cycle)

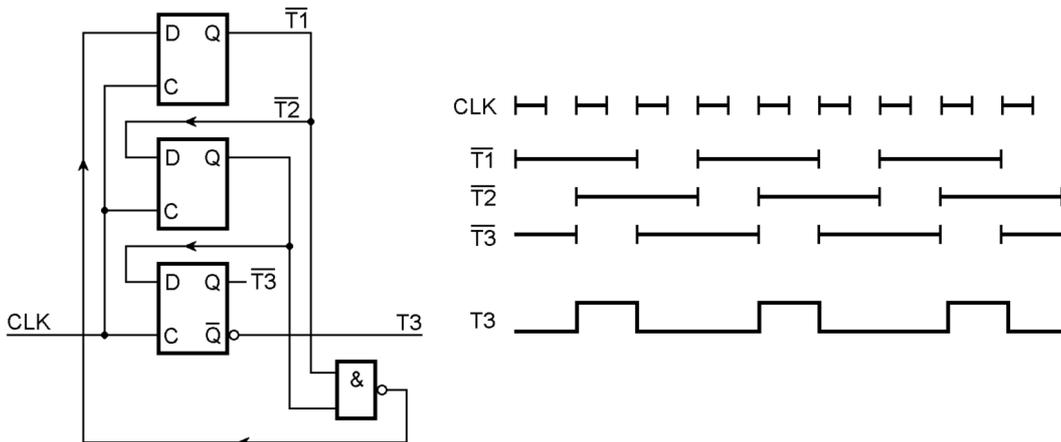


Abbildung 5.14 Taktsignalerzeugung mittels Frequenzteilung (Beispiele)

Frequenzvervielfachung

Der Muttertakt hat eine geringere Frequenz. Jeweils an Ort und Stelle (z. B. im Prozessorschaltkreis) wird die Frequenz mit einer PLL-Schaltung (Phase Locked Loop; Phasenregelschleife) entsprechend vervielfacht (Abbildungen 5.15, 5.16).

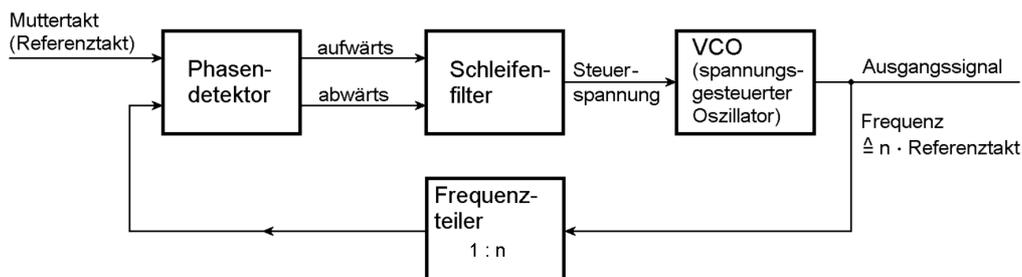


Abbildung 5.15 Takterzeugung durch Frequenzvervielfachung (PLL). Grundschiung

Erklärung zu Abbildung 5.15:

Der Takt, den wir brauchen, wird vom spannungsgesteuerten Oszillator (VCO) gebildet. Die Taktimpulse werden auf einen Zähler gegeben, der als Frequenzteiler wirkt. Das Teilerverhältnis: $1 : n$; die Impulsfolgefrequenz an seinem Ausgang ist also $1/n$ -tel ($1/n$) der erzeugten Taktfrequenz. Dieses Signal wird mit dem Referenztakt (Muttertakt) verglichen. Die Regelanordnung aus Phasendetektor und Schleifenfilter steuert den VCO so, daß das Ausgangssignal des Frequenzteilers in Frequenz und Phasenlage exakt dem Referenztakt entspricht. Demzufolge hat das Ausgangssignal des VCOs die n -fache Frequenz des Referenztaktes. Mehr zur PLL in Abschnitt 6.1.3.

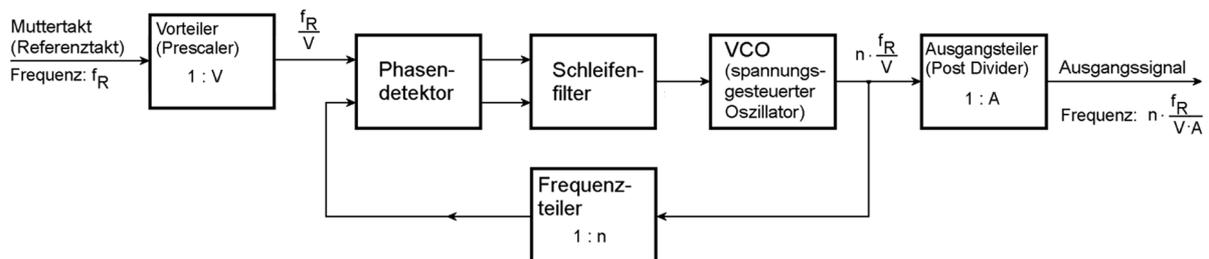


Abbildung 5.16 Um zusätzliche Frequenzteiler erweiterte PLL

Erklärung:

Grundsätzlich kann man beliebige ganzzahlige Verhältnisse zwischen dem eingangsseitigen Takt (Referenztakt) und dem ausgangsseitigen Takt realisieren. Hierzu dienen die zusätzlichen vor- und nachgeschalteten Frequenzteiler mit den Teilerverhältnissen $1 : V$ und $1 : A$. (Ist ein Teilerverhältnis = $1:1$, so wird der betreffende Teiler weggelassen.)

$$f_{\text{VCO}} = n \cdot \frac{f_{\text{R}}}{V}$$

$$\text{Ausgangsfrequenz } f_{\text{out}} = n \cdot \frac{f_{\text{R}}}{V \cdot A}$$

Anwendung im PC-Bereich

Die weitaus meisten Takte werden auf diese Weise gebildet. Beim Prozessor heißt der einschlägige Kennwert Core-to-Bus Clock Speed Ratio .

Beispiel: wie muß die PLL ausgelegt werden, um ein Teilerverhältnis (Core-to-Bus Clock Speed Ratio) von $7 : 2$ zu erreichen? - Es gibt viele Möglichkeiten, z . B.

- $n = 7, V = 1$ (also: kein Vorteiler), $A = 2$,
- $n = 7, V = 2, A = 1$ (also: kein Ausgangsteiler),
- $n = 14, V = 2, A = 2$ usw.

Die Auswahl ist Sache der Schaltungsoptimierung (Wissenschaft für sich).

Denksportaufgabe: welchen Vorteil hat die erste Auslegung gegenüber der zweiten?

Die 2:1-Teilung am Ausgang gewährleistet ohne weiteres einen Duty Cycle von 50 % (vgl. Abbildung 5.14a).

Die Taktfrequenz sachte ändern: Spread Spectrum Clocking (SSC)

Eine neumodische Angelegenheit. Die Rede ist davon, die Störabstrahlung zu verringern. Worum es aber tatsächlich geht: die Bedingungen der EMV-Prüfung auf kostengünstige Weise zu erfüllen (Abbildungen 5.17 bis 5.20).

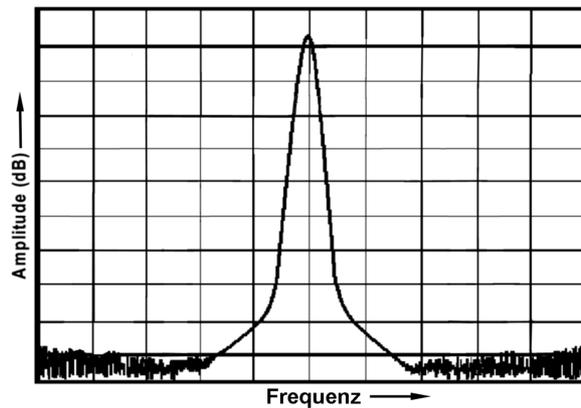


Abbildung 5.17 Störabstrahlung (1): Meßbeispiel bei fester Taktfrequenz (nach: Cypress).
1 Rastereinheit = 5 dB

Erklärung:

So wird die abgestrahlte Energie meßtechnisch dargestellt, und zwar als Störampplitude (senkrecht) über der Frequenz (waagrecht). Ist die Taktfrequenz fest, so ergeben sich typische Spitzen bei der Taktfrequenz selbst und bei deren Vielfachen (Harmonischen). Nehmen wir eine Taktfrequenz von 100 MHz an (um einen runden Wert zu haben), so erscheinen solche Spitzen (unterschiedlicher Höhe) bei 100, 200, 300 usw. MHz.

Die Prüfbehörden prüfen nun ausgerechnet auf solche Spitzenwerte, nicht aber auf Durchschnitts- bzw. Mittelwerte. Die Hersteller sind deshalb darauf verfallen, das Störspektrum gleichsam breitzutreten - die Kurve wird breiter, aber dafür flacher (Abbildung 5.18). Die technische Lösung dafür: die Taktfrequenz wird in gewissem Maße zyklisch verändert (Abbildung 5.19).

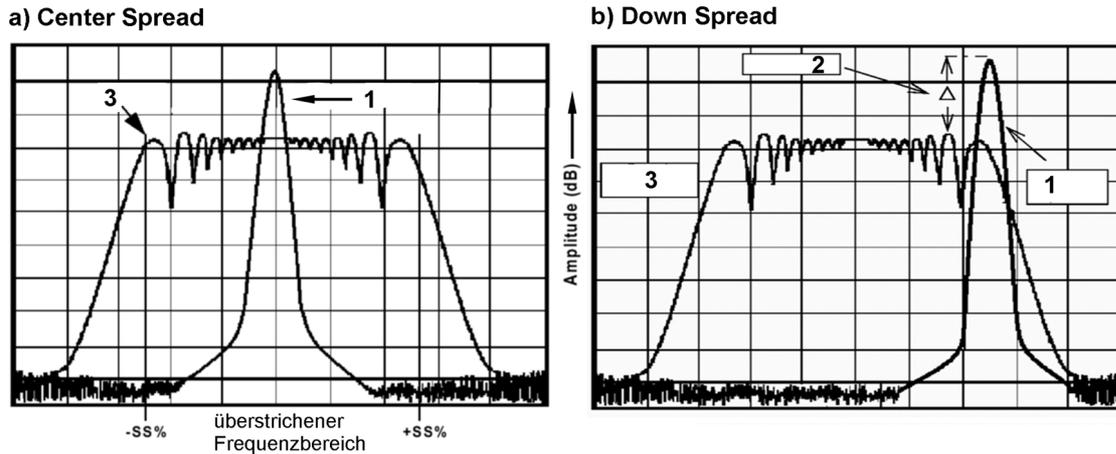


Abbildung 5.18 Störabstrahlung (2) Meßbeispiele mit Spread Spectrum Clocking (nach: Cypress)

Erklärung:

1 - Spitze der Störstrahlung ohne Spread Spectrum Clocking; 2 - die erreichte Verminderung der Störabstrahlung (EMI Reduction); 3 - so verteilt sich die Störabstrahlung über den Frequenzbereich.

Die Frequenzveränderung ist gering, z. B. $\pm 0,5\%$ vom Nennwert. Der Frequenzbereich wird seinerseits mit einer Frequenz von typischerweise 25...100 kHz zyklisch durchfahren. Dies ergibt die Verteilung der Störenergie (3); die Spitze (1) ist gleichsam abgeschnitten. Entsprechende Taktgeneratoren sind typischerweise zwischen den beiden hier gezeigten Betriebsarten umschaltbar:

- a) Center Spread. Die Nennfrequenz (z. B. 100 MHz) liegt in der Mitte des Bereichs. Beispiel: Frequenzveränderung um $\pm 0,5\%$. $-0,5\%$ entsprechen 99,5 MHz, $+0,5\%$ entsprechen 100,5 MHz. Typische Werte der Frequenzveränderung: $\pm 0,125\%$, $\pm 0,25\%$, $\pm 0,35\%$, $\pm 0,5\%$.
- b) Down Spread. Center Spread bedeutet, daß die Nennfrequenz zeitweise überschritten wird - es handelt sich um eine bescheidene Form des Übertaktens. Dabei kann es aber bereits knapp zugehen - die 100,5 MHz unseres Beispiels sind manchmal schon zuviel (es gibt eben auch vorsichtige Hersteller...). Deshalb legt man die Nennfrequenz um den halben Betrag der Frequenzänderung tiefer. Typische Werte der Frequenzänderung: $-0,25\%$, $-0,5\%$, $-0,7\%$. Nehmen wir $-0,5\%$ als Beispiel. Die Nennfrequenz wird dann von 100 MHz auf 99,75 MHz herabgesetzt. Somit ergibt sich ein Frequenzbereich von 99,5 bis 100 MHz; die maximale Nennfrequenz wird also nie überschritten.

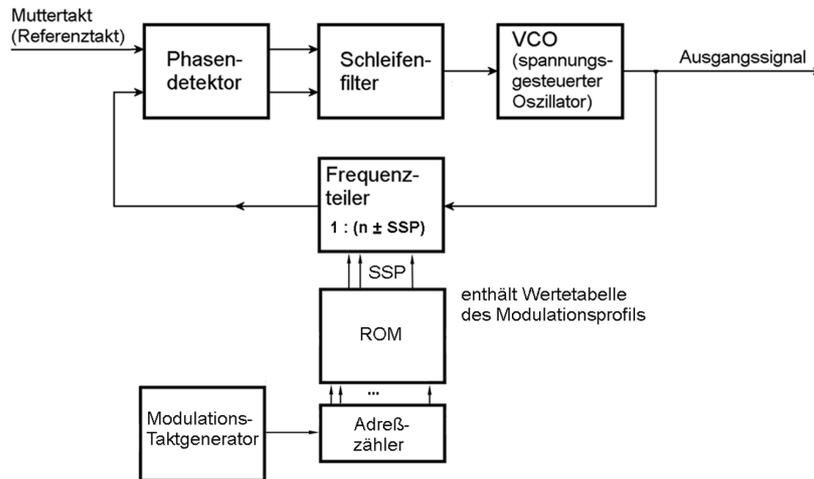


Abbildung 5.19 Taktgenerator für Spread Spectrum Clocking

Erklärung:

Es handelt sich um eine PLL-Schaltung (hier: gemäß Abbildung 5.15), die mit einem zusätzlichen zyklischen Signal moduliert wird (hier: durch Eingriff am Frequenzteiler)*), so daß sich ausgangsseitig die gewünschte Frequenzänderung ergibt. Wie soll aber die Frequenzänderung über die Zeit ablaufen? - Der Fachbegriff: *Modulationsprofil*. Hierbei haben sich bestimmte Verläufe als besonders günstig erwiesen (Abbildung 5.20).

*) wir zeigen eine naheliegende Lösung: das Teilerverhältnis des Frequenzteilers wird zyklisch verändert. Hierzu ist ein ROM vorgesehen, der die Wertetabelle der Modulationsfunktion enthält. Er wird im Rhythmus des Modulationstaktes fortlaufend adressiert.

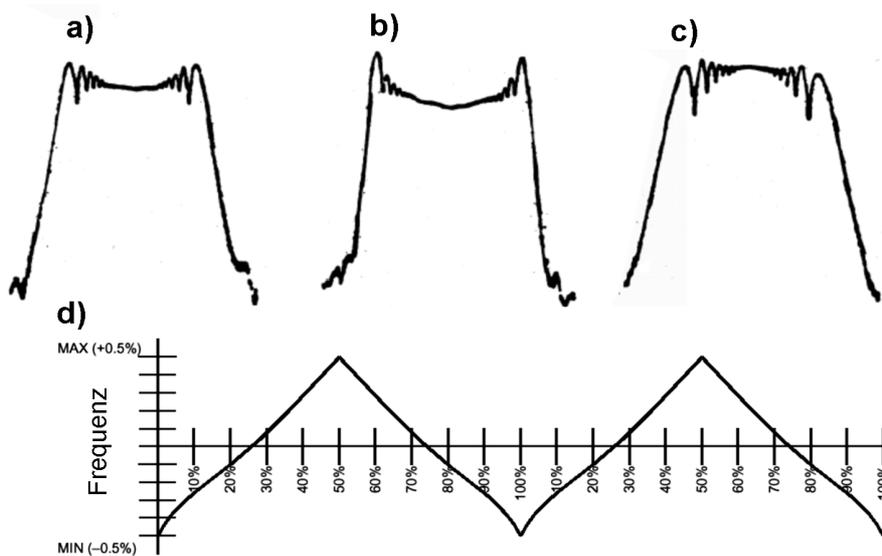


Abbildung 5.20 Typische Modulationsprofile (nach: Cypress)

Erklärung zu Abbildung 5.20:

- a) Störabstrahlung bei linearer Modulation (Frequenzänderung gemäß Dreieckfunktion),
- b) Störabstrahlung bei sinusförmiger Modulation (Frequenzänderung gemäß Sinusfunktion),
- c) Störabstrahlung bei Frequenzänderung gemäß einem optimierten Modulationsprofil,
- d) ein optimiertes Modulationsprofil (Frequenzänderung in % (senkrecht) über der Zeit (waagrecht)).

Hinweise:

1. Ein derart getakteter Apparat strahlt nicht weniger ab als bei Betrieb mit festem Takt. Nur wandern die Spitzen durch den Frequenzbereich - die Spitze gemäß Abbildung 5.17 ist bei jedem einzelnen Frequenzwert innerhalb des Bereichs kurze Zeit zu sehen. Das amtliche Meßgerät mißt aber viel langsamer (um es einfach auszudrücken), als sich die Frequenz ändert. Deshalb bildet es Mittelwerte; auf seinem Bildschirm erscheinen die abgeflachten, breiten Kurven gemäß Abbildung 5.18 - und jeder PC-Fabrikant hofft, daß sie unterhalb der zulässigen Grenzwerte liegen
2. Nachgeordnete PLLs, die (beispielsweise im Prozessor) mit einem derart frequenzmodulierten Taktsignal (als Referenztakt) gespeist werden, müssen den Änderungen folgen können (manche PLLs können das^{*)}, manche nicht).
3. Die Spread-Spectrum-Funktion läßt sich im Taktgeneratorschaltkreis typischerweise programmseitig ein- und ausschalten.

*) : neuere Entwicklungen werden eigens so ausgelegt und entsprechend bezeichnet (Beispiel eines Handelsnamens : Spread Aware (Cypress)).

Takterzeugung für herkömmliche Intel-Prozessoren (x86/IA-32)

Die "klassischen" 8088- und 8086-Prozessoren erfordern einen Muttertakt (vom Quarz) mit 3-facher Frequenz; der Prozessor-Taktimpuls muß $\frac{1}{3}$ High-Anteil und $\frac{2}{3}$ Low-Anteil haben (also 33,3 % Duty Cycle; vgl. T3 in Abbildung 5.14b)). Der 80C186 erfordert einen Quarz doppelter Frequenz, der direkt an den Prozessorschaltkreis angeschlossen werden kann. Der 80286-Prozessor benötigt einen Prozessortakt mit 50 % Duty Cycle, abgeleitet von einem Muttertakt doppelter Frequenz. Auch der 386 arbeitet intern mit einem 2:1 geteiltem Prozessortakt. Die Prozessortakte der Prozessoren 8086/88 und 80286 werden über systemspezifische Taktgeneratoren erzeugt (8086/88: 8284; 80286: 82C284). Der 386 erhält den Muttertakt doppelter Frequenz direkt zugeführt (Eingang CLK2).

Hinweise:

1. Die gängigen Taktfrequenz-Angaben, z. B. "33-MHz-386" betreffen stets den *Prozessor*takt; als Ersatzteil wäre im Beispiel ein 66-MHz-Quarz erforderlich.
2. Moderne, für Embedded Systems vorgesehene x86- und IA-32-Prozessoren haben auch eine moderne Takterzeugung.

Takterzeugung in modernen PCs

Die verschiedenen Taktsignale werden in einem speziellen Schaltkreis (Taktgenerator, Clock Synthesizer) aus einem einzigen Muttertakt (typischerweise 14,31818 MHz) abgeleitet. Einzelheiten erklären wir im folgenden anhand mehrere Beispiele (Abbildungen 5.21 bis 5.24). Solche Schaltkreise werden in vielfältigen Abwandlungen gefertigt. Sie sind auf bestimmte Prozessortypen, Schaltkreissätze und Motherboard-Konfigurationen abgestimmt.

Die Intel-Taktspezifikationen

Seit einiger Zeit gibt Intel Entwicklungsrichtlinien (Design Guidelines) für Taktgenerator- und Taktverteilungsschaltkreise heraus (Tabelle 5.1). Viele Hersteller halten sich daran.

Spezifikation	typische Taktfrequenzen	typische Merkmale
CK25	<ul style="list-style-type: none"> ▪ Referenztakt: 14,31818 MHz, ▪ APIC-Takt = Referenztakt, ▪ Prozessortakt: 60 oder 66,6 MHz, ▪ SDRAM-Takt = Prozessortakt, ▪ PCI-Takt 30 oder 33,33 MHz (= Prozessortakt : 2), ▪ Takt für E-A-Schaltungen (Super I/O usw.) und USB: 24 MHz und 48 MHz 	<p>FSB 60, 66 oder 100 MHz. SDRAM, PCI, APIC.</p> <p>FSB und APIC 2,5 V, Rest 3,3 V.</p> <p>Für herkömmliche Schaltkreissätze (400er-Typenreihe; Brückenprinzip).</p>
CK97	<ul style="list-style-type: none"> ▪ Referenztakt: 14,31818 MHz, ▪ APIC-Takt = Referenztakt, ▪ Prozessortakt: 66 oder 100 MHz, ▪ SDRAM-Takt = Prozessortakt, ▪ PCI-Takt 33 MHz (= 66 MHz : 2 oder 100 MHz : 3), ▪ Takt für E-A-Schaltungen (Super I/O usw.) und USB: 48 MHz 	<p>Steuerung über I²C-Bus. Spread-Spectrum-Clocking, Stromsparsteuerung.</p> <p>Alle Signale gegen Masse (Single Ended).</p>
CK98	<ul style="list-style-type: none"> ▪ Referenztakt: 14,31818 MHz, ▪ APIC-Takt = 16,667 MHz (100 MHz : 6 oder 133 MHz : 8), ▪ Prozessortakt: 100 oder 133 MHz, ▪ Bezugstakt für Speichersubsystem = Prozessortakt : 2, ▪ 66-MHz-Takt (AGP, Privatinterfaces), ▪ PCI-Takt: 33 MHz (= 100 MHz : 3 oder 133 MHz : 4), ▪ Takt für USB und E-A-Schaltungen: 48 MHz 	<p>ähnlich CK97, aber FSB 100 oder 133 MHz. USB und AGP.</p> <p>Speichersubsystem vorzugsweise DirectRambus.</p> <p>Für Schaltkreissätze der 800er-Typenreihe (Verteilerschaltkreise mit Privat-Interfaces).</p>

Spezifikation	typische Taktfrequenzen	typische Merkmale
CK00	<ul style="list-style-type: none"> ▪ Referenztakt: 14,31818 MHz, ▪ Prozessortakt: 100 MHz, 4 Signalpaare (differentielle Signalübertragung) ▪ Bezugstakte für Speichersubsystem = Prozessortakt, aber Signal gegen Masse (Signale um 180° gegeneinander phasenverschoben), ▪ 66-MHz-Takt (AGP, Privatinterfaces zwischen Verteilerschaltkreisen), ▪ PCI-Takt 33 MHz; ▪ Takt für USB und E-A-Schaltungen: 48 MHz 	<p>Für Pentium 4 oder Xeon.</p> <p>Differentielle Taktsignalübertragung zum Prozessor.</p>

Tabelle 5.1 Ausgewählte Taktspezifikationen im Überblick (nach: Intel)

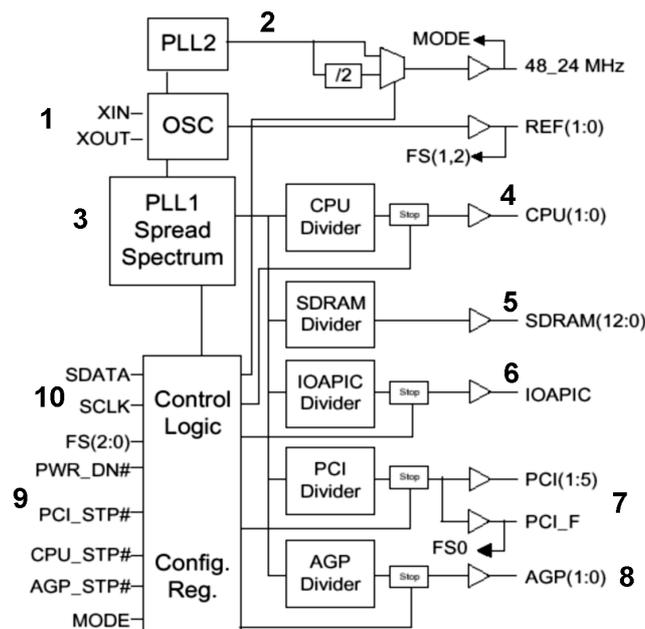


Abbildung 5.21 Taktgeneratorschaltkreis für P6-Prozessoren und den Schaltkreissatz Ali1641 (Cypress)

Erklärung:

1 - Quarzanschlüsse; 2 - PLL und zuschaltbarer 2:1-Teiler für Hilfstakt 48/24 MHz (kein Spread Spectrum); PLL für Prozessor-, Bus- und Speichertakte (Spread Spectrum wählbar); 4 - Prozessortakt (2 Anschlüsse); 5 - SDRAM-Takte (13 Anschlüsse); 6 - APIC-Takt; 7 - PCI-Takte (5 Anschlüsse); 8 - AGP-Takte (2 Anschlüsse); 9 - diverse Steuersignale; 10 - Anschluß an den Systemverwaltungsbus (SMBus).

Wichtige Merkmale im Überblick:

- Quarztakt: 14,318 MHz, AGP-Takt: 66,8 MHz, PCI-Takt: 33,4 MHz,
- Taktfrequenzkombinationen für Prozessor und SDRAM sowie typische Teilverhältnisse der PLLs: siehe Tabelle 5.2,
- 24/48 MHz: der Schaltkreis kam auf, als der USB noch nicht in Mode war. Nutzung dieses Taktsignals: zur E-A-Steuerung (z. B. im Super-I/O-Schaltkreis)*),
- APIC-Takt: 14,318 MHz, 2,5 V.
- Frequenz- und Betriebsartensteuerung: eine trickreiche Sache. Bestimmte Betriebsarten (z. B. der Prozessortakt) müssen offensichtlich sofort nach dem Einschalten wirksam werden. Hierzu sind die Steuereingänge 9 vorgesehen. Manche Anschlüsse dienen während des Hochlaufens der Speisespannung als Steuereingänge und dann als Taktausgänge. Die Festwerteingabe erfolgt durch entsprechendes Beschalten mit einem Pull-up- oder mit einem Pull-down-Widerstand (wird die Taktausgabe dann aktiv, so stören die Widerstände nicht - die Takttreiber sind kräftig genug, um den zusätzlichen Strom aufzubringen).
- Feinheiten werden programmseitig eingestellt, und zwar über den SMBus-Anschluß.
- weitere wichtige funktionelle Eigenschaften:
 - Bestehen von EMV-Prüfungen, wirkliches Verringern der Störabstrahlung: Spread Spectrum Clocking, Abschalten nicht genutzter Taktsignale,
 - Stromsparen: Abschalten nicht genutzter Taktsignale, zeitweiliges Verlangsamen oder Anhalten einzelner Takte (solche Vorkehrungen werden mit jeder neuen Schaltkreisgeneration weiter verfeinert).

*) typische Taktfrequenzen: Floppy-Disk-Controller: 24 MHz, Tastaturcontroller: 12 MHz.

Prozessor	SDRAM	Prozessor	SDRAM
66,82	100,23	66,82	133,64
100,23	100,23	100,23	133,64
66,82	66,82	100,23	66,72
133,64	100,23	133,64	133,64
Teilverhältnisse zur Ableitung der Takte aus 14,318 MHz			
33,4 MHz	7 : 3	100,23 MHz	7 : 1
66,82 MHz	14 : 3	133,64 MHz	28 : 3
48 MHz	57 : 17	Rechengang: Ausgangsfrequenz = Eingangsfrequenz · Teilverhältnis	

Tabelle 5.2 Taktfrequenzkombinationen (in MHz) für Prozessor und SDRAM (Beispiele anhand des Schaltkreises von Abbildung 5.21). Darunter: typische Teilverhältnisse

Denksportaufgabe: wir erkennen in Abbildung 5.21 nur eine PLL (3), aber mehrere Teiler (Divider). Auf welche Teilverhältnisse sind die PLL und die Teiler eingestellt?

(Die 48 MHz werden mit der anderen PLL (2) erzeugt.)

- 133 MHz: Teiler 1 : 3.
- 100 MHz: Teiler 1 : 4 (7 : 1 = 28 : 4),
- 66 MHz: Teiler 1 : 6 (14 : 3 = 28 : 6),
- 33 MHz: Teiler 1 : 12 (7 : 3 = 28 : 12),
- PLL: 28 : 1. Die Ausgangsfrequenz der PLL ist das 28fache von 14,318 MHz. Die folgenden Teilverhältnisse beziehen sich auf diese Ausgangsfrequenz.

Wir beschränken uns auf die naheliegende Lösung:

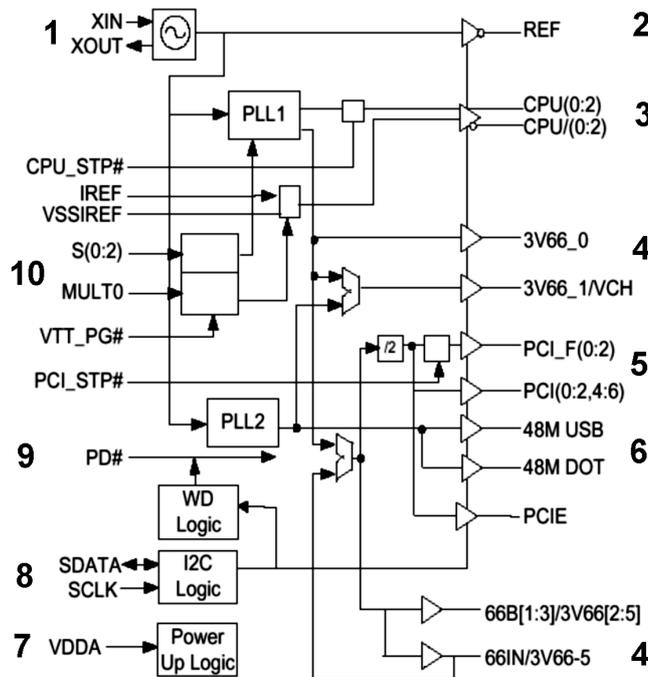


Abbildung 5.22 Taktgeneratorschaltkreis für Pentium 4 (Cypress)

Erklärung:

1 - Quarzanschlüsse (14,318 MHz); 2 - Referenztaktausgang; 3 - differentielle Taktausgänge zu den Prozessoren; 4 - 66-MHz-Takte (für die Verteilerschaltkreise); 5 - PCI-Takte; 6 - 48-MHz-Takte für USB und E-A-Steuerung; 7 - Speisespannung für Anlogschaltungen (PLLs usw.); 8 - SMBus-Anschluß; 9 - Stromsparsteuerung (Power Down); 10 - diverse Steuereingänge. Nichts grundsätzlich Neues im Vergleich zu Abbildung 5.21.

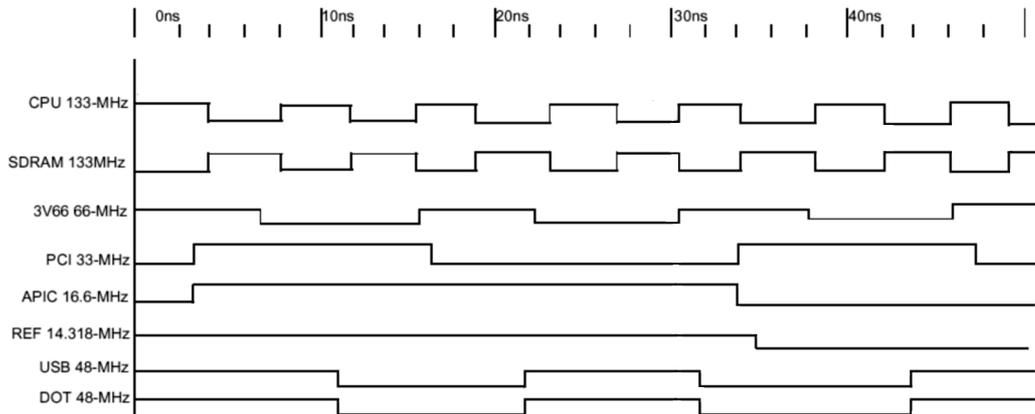


Abbildung 5.23 Typische Taktsignale (Cypress)

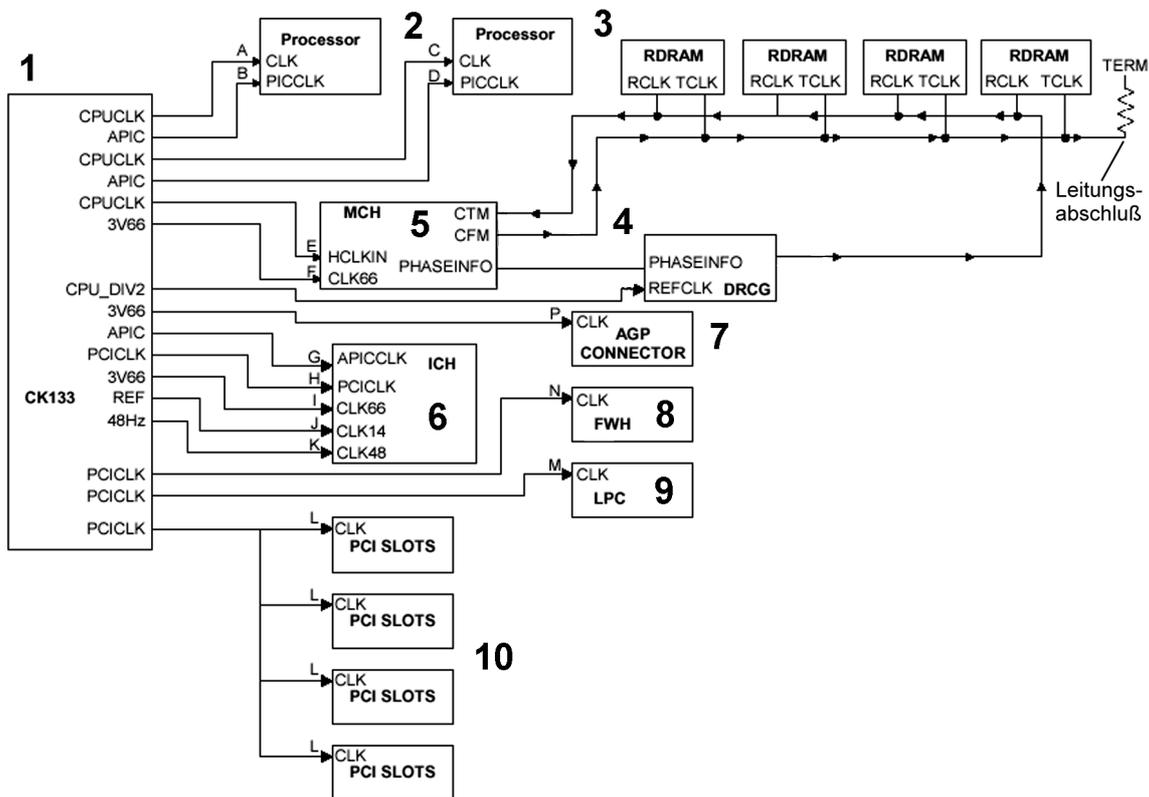


Abbildung 5.24 Die Taktverteilung auf einem Motherboard. Hier: mit Schaltkreissatz 820E (Intel)

Erklärung:

1 - Taktgeneratorschaltkreis; 2 - bis zu zwei Prozessoren; 3 - Rambus-Speichersubsystem; 4 - Rambus-Taktsignale; 5 - Speichersteuerschaltkreis; 6 - E-A-Steuerschaltkreis; 7 - AGP-Slot; 8 - BIOS-Festwertspeicher (Firmware Hub FWH); 9 - an die LPC-Schnittstelle angeschlossene Schaltkreise; 10 - PCI-Slots. Näheres zu den Taktsignalen in Tabelle 5.3.

Signalbezeichner	Anwendung	Taktfrequenz	Bemerkungen
CPUCLK	Systembus- bzw- Prozessortakt	100 oder 133 MHz	2,5 V (P6) oder differentiell (Pentium 4; 0,7 V oder 1 V)
APIC, PICCLK, APICCLK	APIC-Bustakt	33 MHz (auch: 16,6 oder 14,3 MHz)	2,5 V
PCICLK, CLK	PCI-Bustakt, LPC, FWH	33 MHz	3,3 V
3V66, AGPCLK, CLK66, CLK	AGP-Bustakt, Schaltkreisschnittstellen (Hub Interfaces)	66 MHz	3,3 V
REF, CLK14	für E-A-Steuerschaltkreis	14,318 MHz	3,3 V
CLK48	USB, E-A-Steuerung (Super I/O)	48 MHz	Takt für Super I/O herstellerspezifisch, typisch 24 oder 48 MHz
CPU_DIV2, REFCLK	Rambus-Referenztakt	50 oder 66 MHz	2,5 V

Table 5.3 Taktsignale auf Motherboards (Intel 800er-Schaltkreissätze; Taktspezifikation CK98)

5.4. Taktverteilung

Taktverteilungshardware muß so ausgelegt werden, daß bei akzeptablen Kosten die idealen Anforderungen (vgl. S. 247, 248) näherungsweise erfüllt werden.

Herkömmliche Taktverteilung

Seit den Anfängen der Digitaltechnik haben viele Entwickler auf den hohen Störspannungsabstand vertraut (Prinzip: es gibt nur zwei Signalwerte, also kommt es gar nicht darauf an). Bei höheren Frequenzen (spätestens von 50...66 MHz an aufwärts) funktioniert das aber nicht mehr - Fragen der elementaren Elektrotechnik spielen bei der Auslegung moderner Funktionseinheiten und Geräte eine entscheidende Rolle. An die zeitbestimmenden Taktsignale werden in dieser Hinsicht die schärfsten Anforderungen gestellt. Die Abbildungen 5.25 bis 5.27 veranschaulichen herkömmliche Formen der Taktverteilung.

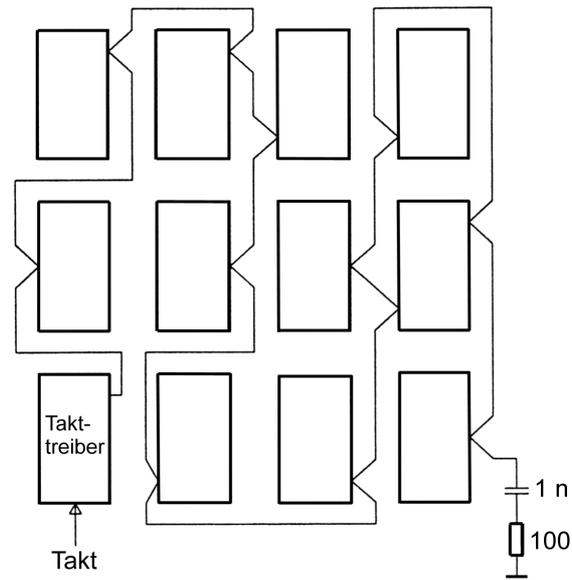


Abbildung 5.25 Taktverteilung (1): serielle Leitungsführung (Texas Instruments)

Erklärung:

Die Laufzeit des Taktes vom Treiber zu den einzelnen Verbrauchern ist nicht gleich, aber eindeutig vorhersagbar, und der Entwickler kann mit der Zeitverzögerung tricksen, beispielsweise die - mit Bezug auf den Datenfluß - am ehesten schaltenden Bauelemente am Ende der Taktleitungs-Kette anordnen (vgl. Abbildung 2.36b: Taktversorgung eines Schieberegisters im "Gegenstrom"). Der Vorteil: es ergibt sich ein nahezu konstanter Wellenwiderstand über die gesamte Leitungslänge (Richtwert: 30...50 Ω ; Signallaufzeit 10...20 ns/m).

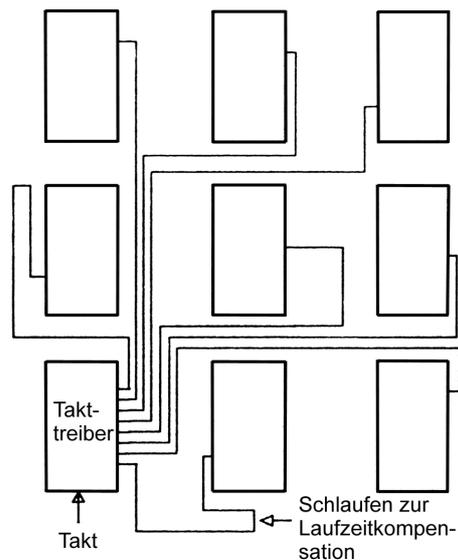


Abbildung 5.26 Taktverteilung (2): sternförmige Leitungsführung (Texas Instruments)

Erklärung zu Abbildung 5.26:

Dies ist die herkömmliche Lösung, wenn man auf geringste Toleranzen der Taktlaufzeiten angewiesen ist. Minimale Toleranzen erreicht man durch gleich lange Leiterzüge oder Kabel (Laufzeitkompensation). Leitungsanpassung (in der Abbildung nicht dargestellt): Serienwiderstände an den Treiberausgängen; bei Kabeln auch parallele Abschlußwiderstände.

Ausgedehnte Systeme erfordern zwischengeschaltete Treiberstufen (Abbildung 5.27). Früher hatte man - wenn es ganz genau darauf ankam - sogar justierbare LC-Laufzeitketten vorgesehen (die reinste Freude für die Fertigungsleute und Servicetechniker ...).

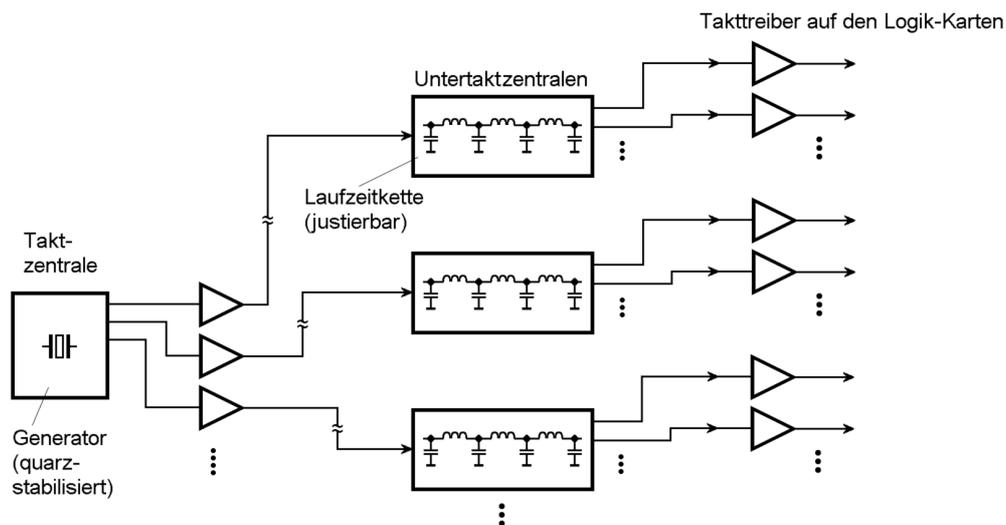


Abbildung 5.27 Sternförmige Taktverteilung in größeren Systemen

Taktverteilung in moderner Hardware

Wir wollen zunächst einige Grundlagen kurz ansprechen und dann Einzelheiten anhand von Beispielen kennenlernen (Abbildungen 5.28 bis 5.38).

Das Prinzip der Taktverteilung ähnelt zumeist den Abbildungen 5.26 und 5.27, nur spielt sich alles auf einer einzigen Leiterplatte ab (z. B. auf einem Motherboard). Man sorgt hier für (näherungsweise) gleiche Laufzeiten, indem die einzelnen Leiterzüge gleich lang ausgeführt werden. Einschlägige Tricks: Verlegen in Schleifen, Beschalten mit Kondensatoren usw.. Damit das in der Massenfertigung auch klappt, wird ausgiebig simuliert und experimentiert. Hierbei haben sich bestimmte Verlegungsmuster als besonders günstig erwiesen.

Herkömmliche Treiberschaltkreise

Grundsätzlich kann man jede kombinatorisch wirkende Schaltung mit hinreichender Treibfähigkeit als Takttreiber verwenden. Hierfür bieten sich Negatoren, Leistungsgatter, Buskoppelstufen usw. besonders an. Da solche Schaltkreise preisgünstig sind, werden sie auch oft eingesetzt. Wo haben sie ihre Grenzen?

- Skew. Die Bauelemente werden nicht auf minimalen Skew hin entwickelt, gefertigt und geprüft. Schlimmstenfalls ist mit dem sog. Limit Skew (Seite 244) zu rechnen, der sich aus der Differenz von maximaler und minimaler Verzögerungszeit ergibt (Beispiele:

74ABT245: $4,6 - 1 = 3,6$ ns; 74ALS245: $10 - 3 = 7$ ns). Innerhalb des Schaltkreises (der beispielsweise 8 Bustreiber enthält) ist Laufzeitdifferenz geringer, deren Wert wird aber vom Hersteller nicht geprüft.

- Verlustleistung. Hohe Frequenzen bedingen (vor allem bei CMOS) eine beträchtliche Verlustleistung. Die Konsequenz: Man kann in einem solchen Betriebsfall nicht immer alle Baustufen im Schaltkreis ausnutzen. Zwei Praxisbeispiele: in einem 74x04-Negator werden nur 3, in einem 74x244-Bustreiber nur 4 Stufen als Takttreiber verwendet, die anderen werden durch Beschaltung mit einem Festwert totgelegt.

Moderne Takttreiberschaltkreise

Das wichtigste Entwicklungsziel: ein geringer Output-to-Output Skew. Manche Typen werden zudem auf einen besonders geringen Part-to-Part-Skew hin ausgelegt. Infolge der Prüf- und Abgleichvorgänge sind solche Schaltkreise vergleichsweise teuer. Weitere Vorkehrungen betreffen u. a.:

- das Abstellen von Taktsignalen (Stromsparen, Verminderung der Störabstrahlung),
- das Hochohmig-Schalten von Tri-State-Ausgängen. Anwendung: hauptsächlich zu Prüfzwecken in der Fertigung (freigeschaltete Taktleitungen können vom Prüfautomaten mit eigenen Taktimpulsen belegt werden).

Takttreiber mit Frequenzteilung

Manche Treiberschaltkreise enthalten Teiler-Flipflops. Typische Teilverhältnisse: 1 : 2 oder 1 : 4 (manchmal über Steuereingang wählbar).

ECL-Taktverteilung

Wenn es um 100 MHz und mehr geht, bietet sich die ECL-Technologie an (vgl. Abschnitt 3.3.). In manchen Hochleistungssystemen ist die Taktverteilung mit ECL aufgebaut, wobei die symmetrische (differentielle) Übertragung über jeweils zwei komplementär zueinander erregte Signalleitungen bevorzugt wird. Diese Art der Taktverteilung kommt auch in Systemen zum Einsatz, deren Verarbeitungsschaltungen in CMOS- oder TTL-Technologie aufgebaut sind. Heutzutage bevorzugt man ECL mit niedrigen Signalpegeln und positiver Versorgungsspannung (LVPECL)*). Entsprechende Takttreiber enthalten auch die Signalwandlung, z. B. auf LVCMOS. Besonders vorteilhaft: der sehr geringe Skew solcher Schaltkreise (Richtwerte: Output-to-Output < 100 ps, Part-to-Part wenige hundert ps).

*) die Alternative: LVDS.

PLL-Untertaktzentralen

PLL-Schaltungen können ein intern erzeugtes Taktsignal mit einem von außen kommenden Bezugstakt (Referenztakt) geringerer Frequenz exakt synchronisieren. Es liegt deshalb nahe, Takttreiber mit PLL-Schaltungen auszustatten.

Die grundsätzlichen Vorteile:

- sehr geringer Skew (theoretisch kann eine PLL ein Ausgangssignal erzeugen, dessen Flanken zu jenen des Referenzsignals gar keinen Versatz haben; praktisch ist der Skew weniger von Temperatur- und Spannungsschwankungen abhängig als bei herkömmlichen Treibern),
- 50 % Duty Cycle können ohne weiteres garantiert werden (durch entsprechendes Vervielfachen und nachfolgende 2:1-Teilung),
- zeitliche Schwankungen (Jitter) des ankommenden (Referenz-) Taktes werden weitgehend ausgeglichen,
- der zu verteilende Takt (Referenz- oder Muttertakt) kann eine niedrigere Frequenz haben (weniger Störstrahlung, leichter beherrschbar),
- es handelt sich um eine echte Taktzentrale, die das Taktsignal neu erzeugt (regeneriert), nicht nur um einen simplen Treiber, der ein geliefertes Signal lediglich verstärkt und weiterreicht,
- man kann komplexe Taktverteilungen aufbauen, ohne daß Leitungslängen genau einzuhalten sind; ebenso entfallen jegliche Justagevorgänge. Es gibt sogar Schaltkreise, die Taktsignale mit einstellbarem - programmierbarem - Skew abgeben können (Programmable Skew Clock Buffers).

Die grundsätzlichen Nachteile:

- vergleichsweise teuer,
- PLLs sind anfällig gegen allgemeine Störungen; solche Störungen können, wenn nicht sorgfältig genug abgeschirmt, Jitter erzeugen (in der Praxis: es gibt keine PLL, die 100 % jitterfreie Ausgangssignale liefert),
- schwierige Funktionsprüfung. Viele PLL-Schaltkreise haben zwar Prüfbetriebsarten, in denen vom PLL-Takt auf ein von außen zugeführtes Taktsignal umgeschaltet wird. Dies ist aber vor allem für die Fertigung gedacht (Anwender und Servicetechniker haben nichts davon).
- enge Frequenztoleranzen. Das heißt: die Referenzfrequenz darf nur in einem geringen Bereich (Fangbereich) schwanken. Und das bedeutet in der Meßpraxis: solche Schaltungen kann man nicht einfach an einen beliebigen externen Taktgenerator anschließen - das beim Prüfen und Fehlersuchen seit jeher beliebte Verlangsamen scheidet aus.

Taktverteilung und Takterzeugung in hochintegrierten Schaltkreisen

Prozessoren, Videocontroller usw., ja sogar moderne DRAMs erzeugen sich ihre internen Takte selbst und nutzen von außen zugeführte Taktsignale nur noch zu Synchronisations- und Abgleichzwecken. Die technischen Mittel: eingebaute PLLs und DLLs^{*)}. Beispiele: DDR-DRAMs, Rambus-DRAMs, manche FPGA-Baureihen.

*) : DLL = Delay Locked Loop. Ähnelt der PLL, hat aber keinen frei schwingenden Oszillator, sondern eine in einen Regelkreis geschaltete einstellbare Verzögerungskette.

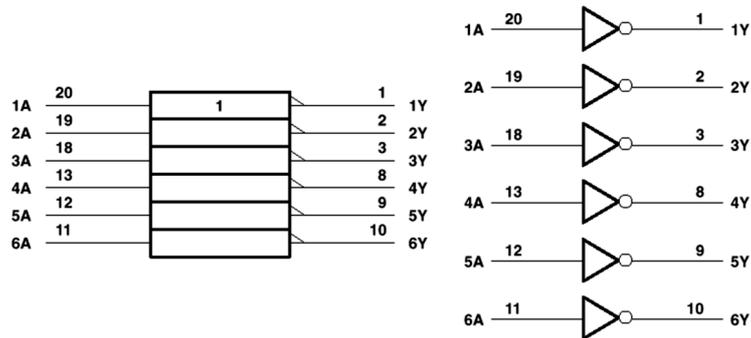


Abbildung 5.28 Einer der einfachsten Takttrieberschaltkreise (Texas Instruments)

Erklärung:

Der Schaltkreis enthält nur 6 Negatoren. Es wird aber ein Output Skew von 0,7... 1 ns garantiert.

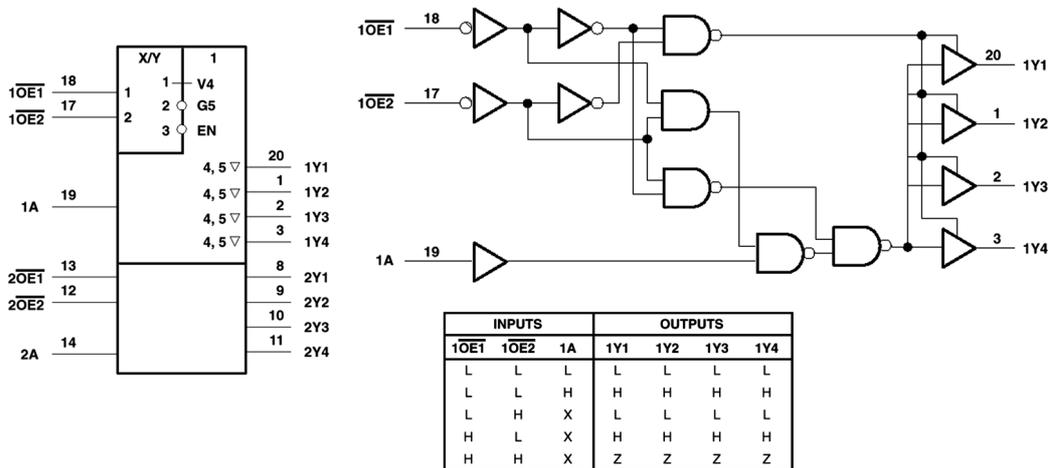


Abbildung 5.29 Steuerbarer Takttreiber (Texas Instruments)

Erklärung:

Der Schaltkreis enthält zwei der dargestellten Treiberanordnungen, die voneinander unabhängig sind. Ein am Eingang A anliegendes Taktsignal wird auf 4 Ausgänge verteilt. Die Ausgänge können über zwei Erlaubniseingänge OE1, OE2 folgendermaßen gesteuert werden:

- Taktsignal wird durchgereicht,
- feste Nullbelegung,
- feste Einsbelegung,
- Ausgänge hochohmig.

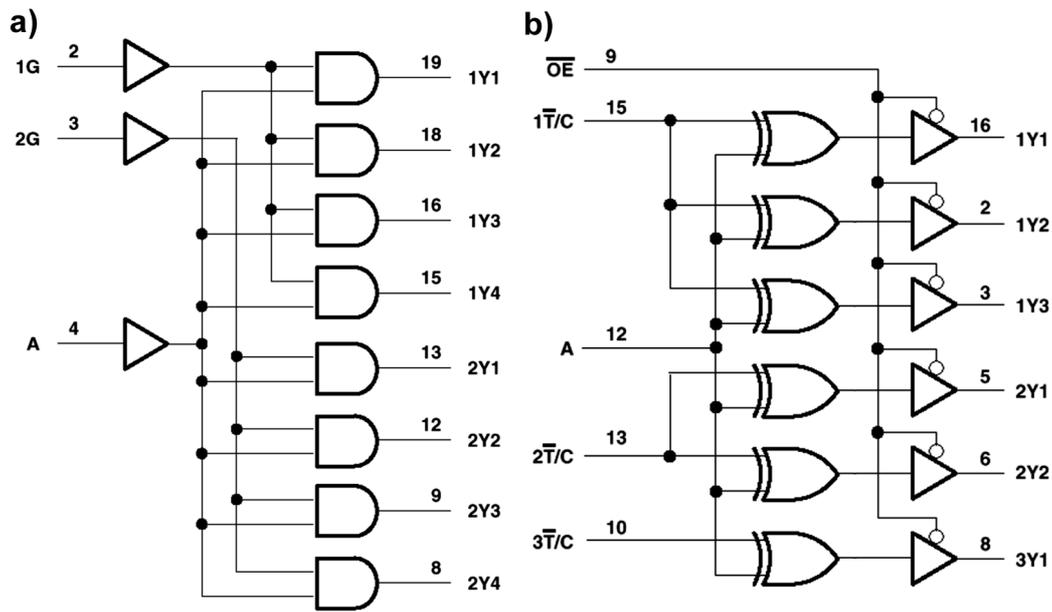


Abbildung 5.30 Einfache Takttreiber (Texas Instruments)

Erklärung:

- a) steuerbarer Takttreiber. Taktsignal an Eingang A wird an insgesamt 8 Ausgänge verteilt. Jeweils 4 Ausgänge können über ein Steuersignal (1G, 2G) ruhiggestellt werden (Ausgänge fest auf Null).
- b) Takttreiber mit wählbarer Polarität und Tri-State-Ausgängen. Taktsignal an Eingang A wird an insgesamt 6 Ausgänge verteilt.

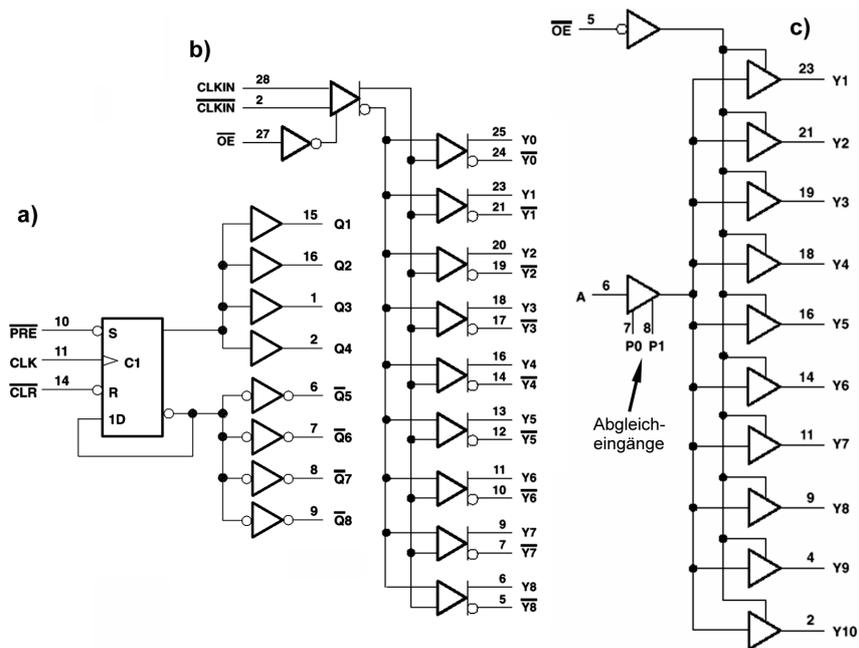


Abbildung 5.31 Verschiedene Takttreiber (Texas Instruments)

Erklärung zu Abbildung 5.31:

- Takttreiber mit Frequenzteilung 2:1. 2 Gruppen zu 4 Ausgängen, die zueinander invers schalten. Sie können durch Setzen oder Rücksetzen des Teiler-Flipflops fest mit Null oder mit Eins belegt werden.
- Takttreiber für differentielle Taktsignale. Signalpegel: LVPECL (Abschnitt 3.3.). Die Taktsignale an den Ausgängen können über den Steuereingang OE abgestellt werden. Output-to-Output Skew: ca. 50 ps, Part-to-Part Skew ca. 150 ps.
- Takttreiber mit 10 Ausgängen. Die Ausgänge können über den Erlaubniseingang OE hochohmig geschaltet werden. Garantierter Part-to-Part Skew ca. 1 ns. Die Anschlüsse P0, P1 (Pfeil) dienen zum Verzögerungszeitabgleich beim Hersteller.

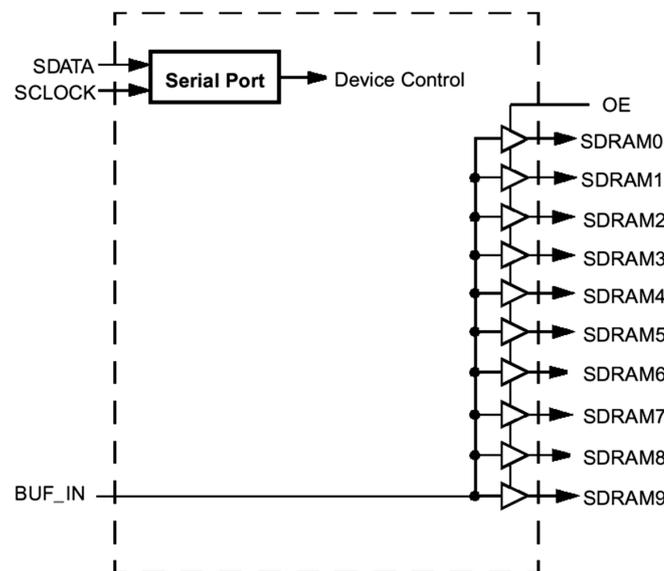


Abbildung 5.32 Programmseitig steuerbare Takttreiber (Cypress)

Erklärung:

Der Takt am Eingang BUF_IN wird an 10 Ausgänge verteilt, die sich über den Erlaubniseingang OE gemeinsam hochohmig schalten lassen. Output-to-Output Skew ca. 250 ps^{*)}. Der Schaltkreis hat einen SMBus-Anschluß (SDATA, SCLOCK). Hierüber können die Ausgänge einzeln gesteuert werden. Der wichtigste Anwendungsfall: Speichersubsysteme auf Motherboards (im Interesse einer geringen Störabstrahlung werden nur jene Steckfassungen mit Takten versorgt, in denen tatsächlich Speichermoduln stecken).

^{*)}: für DDR-DRAMs bestimmte Schaltkreise haben ca. 100 ps.

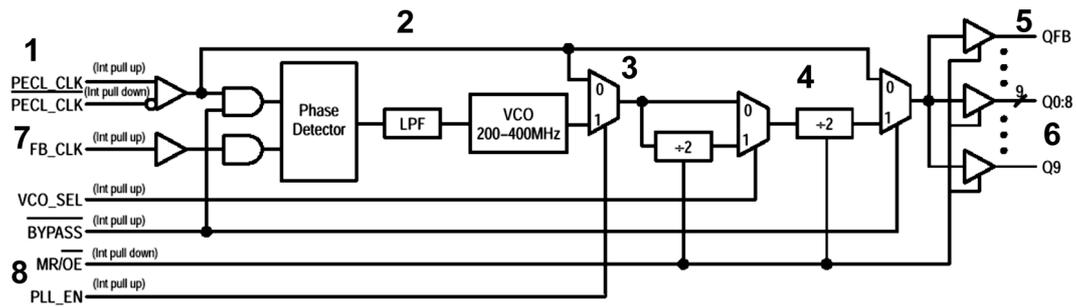


Abbildung 5.33 Takttreiber (Untertaktzentrale) mit PLL (Motorola)

Erklärung:

1 - differentielle Takteingänge (LVPECL); 2 - PLL; 3 - Teilerwahl (1 : 2, 1: 4); 4 - Taktauswahl zu Prüfzwecken; 5 - Taktausgang für Rückkopplung; 6 - Taktausgänge (insgesamt 10); 7 - Rückkopplungseingang; 8 - diverse Steuereingänge. Taktfrequenz bis zu 200 MHz, Cycle-to-Cycle Jitter ca. 100 ps, Output-to-Output Skew ca. 200 ps. Ausgangspegel: LVCMOS (3,3 V). Durch entsprechende Rückführung von Ausgang 5 auf Eingang 7 kann die Verzögerung zwischen Eingang und Ausgang automatisch kompensiert werden (Zero Delay Buffer). Wichtig: die PLL ist zu Prüfzwecken umgehbar (Bypass); über den Multiplexer 4 kann der Takteingang direkt zu den Ausgängen durchgeschaltet werden.

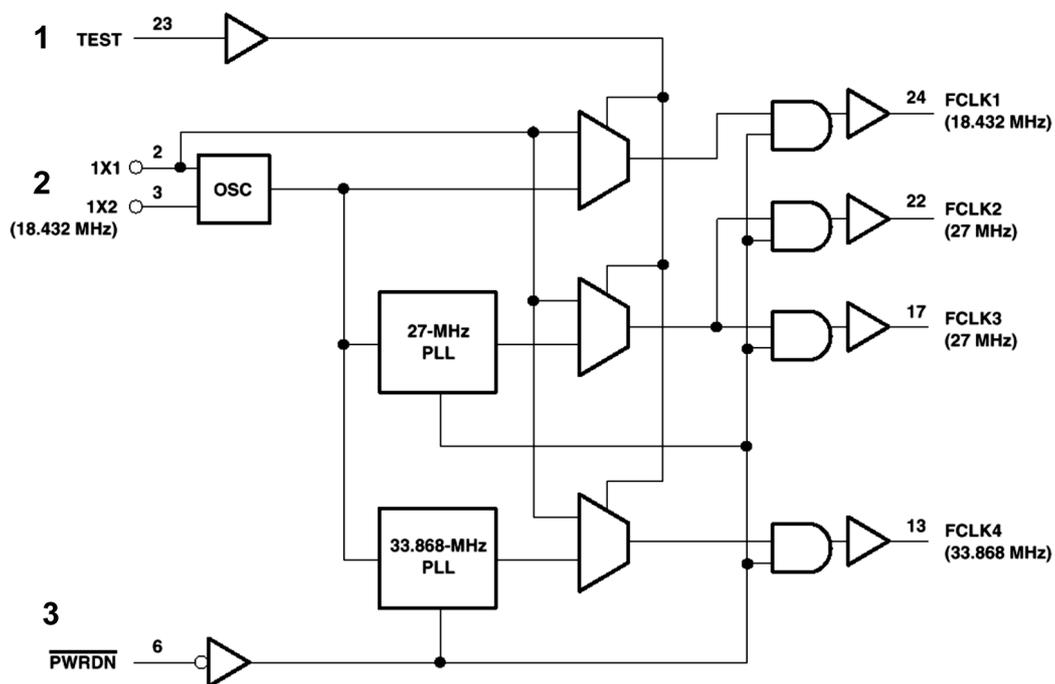


Abbildung 5.34 PLL-Taktzentralen werden nicht nur für PCs gebaut - hier ein Schaltkreis für DVD-Laufwerke (Texas Instruments)

Erklärung:

1 - Testeingang (schaltet Eingang 1X1 über die Multiplexer direkt zu den Ausgängen durch); 2 - Quarzanschlüsse (18,432 MHz); 3 - Stromsparsteuereingang (schaltet Taktausgänge ab).

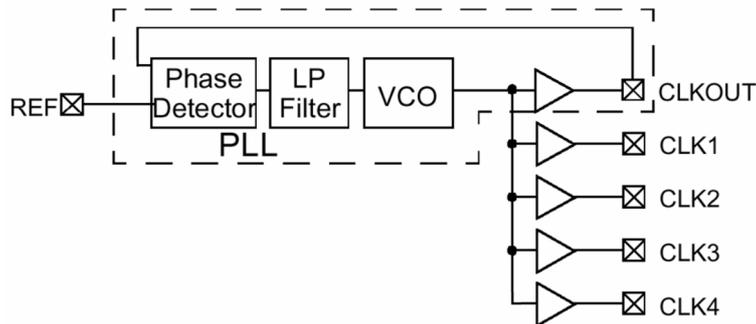


Abbildung 5.35 Einfache PLL-Untertaktzentrale (Zero Delay Buffer) vor allem für PCs (Cypress)

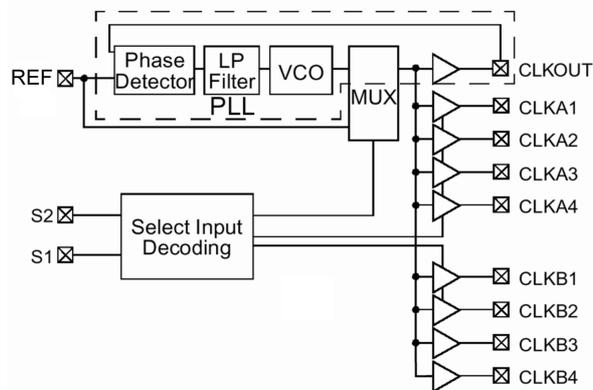


Abbildung 5.36 PLL-Untertaktzentrale (Zero Delay Buffer) mit steuerbaren Taktausgängen (Cypress)

Erklärung:

Die Anordnung nach Abbildung 5.35 ist um eine Gruppe von 4 Ausgängen erweitert. Die Ausgänge sind über die Steuereingänge S1, S2 steuerbar:

- alle Ausgänge aus (totales Stromsparen),
- PLL treibt Ausgänge CLKA1...4, CLKB1...4 sind ausgeschaltet (Stromsparen, Verminderung der Störstrahlung),
- PLL treibt alle Ausgänge (Normalbetrieb),
- PLL aus, Takteingang REF wirkt direkt auf alle Ausgänge (Testbetrieb).

Wichtige Kennwerte im Überblick: Taktfrequenz 10 MHz... 133 MHz, Output-to-Output Skew ca. 200 ns, Part-to-Part Skew ca. 500 ps; Cycle-to-Cycle Jitter ca. 200 ps.

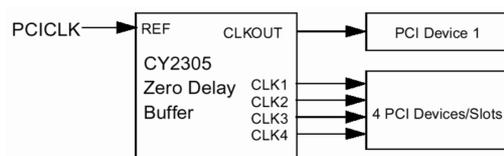


Abbildung 5.37 PLL-Untertaktzentralen als PCI-Takttreiber (Cypress)

Erklärung zu Abbildung 5.37:

Der Zweck der in den Abbildungen 5.35 und 5.36 gezeigten Schaltkreise besteht darin, Taktsignale abzugeben, die gegenüber dem eingangsseitigen Taktsignal keine Verzögerung aufweisen (Zero Delay Buffer). Hierzu wird die Regelwirkung der PLL ausgenutzt (der VCO in der PLL wird derart beeinflußt, daß das rückgekoppelte Signal die gleiche Phasenlage hat wie das Eingangs- bzw. Referenzsignal). Hier ist der Ausgang CLKOUT auf den Phasendetektor der PLL zurückgeführt. Der Zeitversatz zwischen CLKOUT und den anderen Ausgängen hängt von der kapazitiven Belastung ab. Wird CLKOUT stärker belastet, eilen die Takte an den anderen Ausgängen dem CLKOUT-Signal vor, wird CLKOUT geringer belastet, eilen sie nach. Das dient zum Tricksen. Werden sämtliche Ausgänge gleich belastet, so gibt es kein Vor- oder Nachteile, also praktisch keinen Skew. Der Trick hier: an CLKOUT hängt immer eine PCI-Einrichtung (typischerweise in einem Schaltkreis auf dem Motherboard). Werden nun die Slots mit Steckeinheiten bestückt, so steigt deren kapazitive Belastung gegenüber CLKOUT, so daß sich deren Taktsignale etwas verzögern (damit gleicht sich der Takt der geringfügigen Verlangsamung der anderen Bussignale an - da die Anstiegszeiten der anderen Signale geringfügig zunehmen, kommt der Takt etwas später).

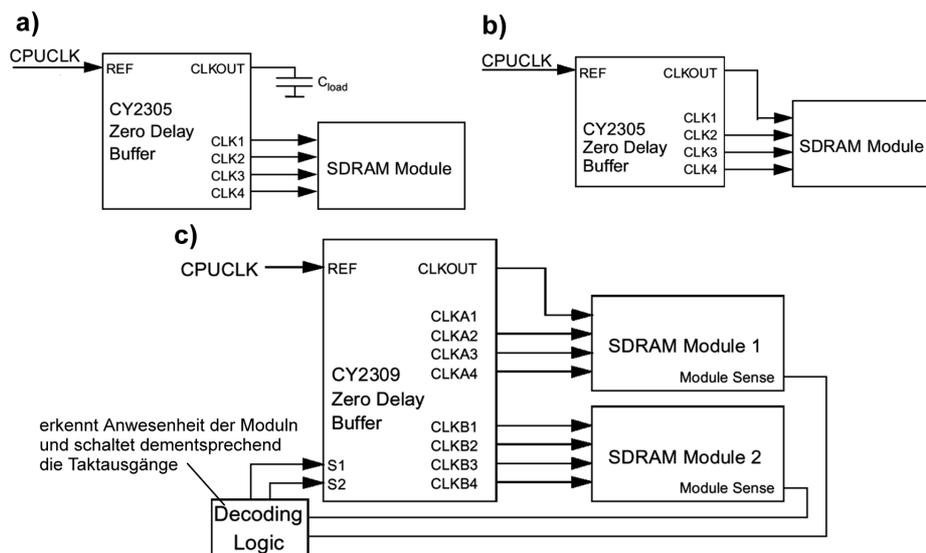


Abbildung 5.38 PLL-Untertaktzentralen als SDRAM-Takttreiber (Cypress)

Erklärung:

- nur ein Speichermodul. Ausgleich der kapazitiven Belastung durch Kondensator an CLKOUT. Welche kapazitive Belastung ein Modul darstellt, ist ziemlich genau bekannt. Der Kondensator kann also so dimensioniert werden - unter Berücksichtigung der Eigenschaften des Motherboards - daß sich die erforderliche Verzögerung des Taktes gegenüber dem Prozessortakt (CPUCLK) ergibt.
- nur ein Speichermodul, automatische Kompensation. Ein Takteingang wird direkt an CLKOUT angeschlossen, so daß sich dessen kapazitive Belastung dort auswirkt. Haben alle anderen Eingänge des Speichermoduls die gleiche kapazitive Belastung^{*)}, so haben die Taktsignale praktisch keinen Skew gegeneinander.

c) zwei Speichermoduln, automatische Kompensation. In dieser Konfiguration muß das erste (hier: obere) Modul stets bestückt sein^{**}). Fehlt das zweite Modul, so werden die CLKB-Ausgänge abgeschaltet.

*): hierfür wird durch entsprechende Beschaltung gesorgt.

**): mit anderen Worten: solche Motherboards verlangen, daß eine bestimmte Steckfassung unbedingt bestückt wird - sonst funktioniert gar nichts.