

Electrónica Digital

Tema 3

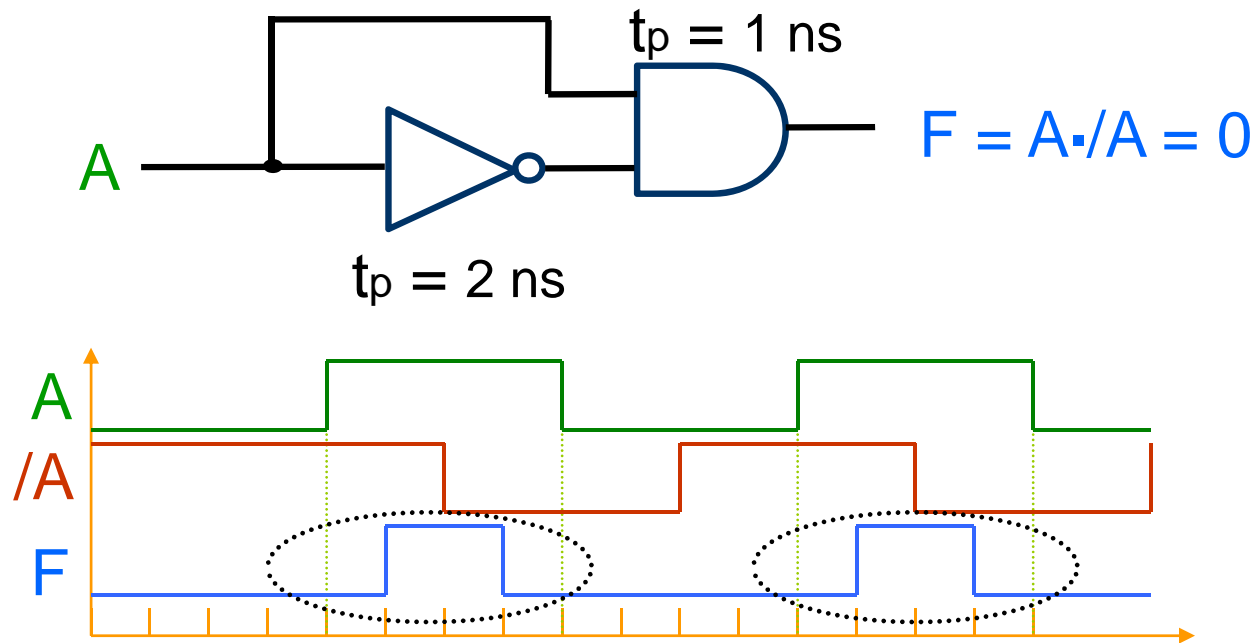
Diseño Síncrono

Diseño Síncrono

- Régimen transitorio en los circuitos digitales
 - Concepto de espurio. Clasificación
 - Alternativas para evitarlos
- Diseño síncrono de Sistemas Digitales
 - Estructura de un sistema síncrono
 - Principio de funcionamiento
 - El reloj. Skew. Habilidad de reloj
 - Reset y preset funcionales
 - Sincronización de entradas asíncronas. La Metaestabilidad
- Ejemplos

Régimen Transitorio en Circuitos Digitales

En los circuitos combinatoriales sin realimentación pueden darse valores transitorios anómalos en las salidas debido a la existencia de retardos en los dispositivos lógicos.



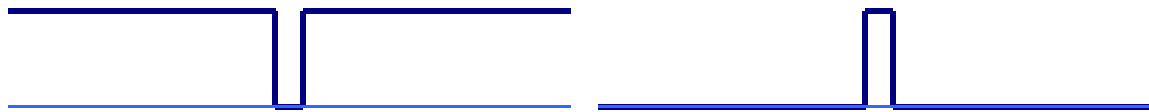
Régimen Transitorio en Circuitos Digitales

- Dependiendo del uso que se vaya a hacer de las salidas, la aparición de pulsos espurios puede ser irrelevante o catastrófica.
- Si el circuito combinacional tiene realimentaciones, los valores transitorios pueden dar lugar a oscilaciones en las salidas.
- Los valores espurios en las salidas se denominan *glitches* o riesgos.

Régimen Transitorio en Circuitos Digitales

Clasificación de los riesgos en Circuitos Digitales

- **Riesgos estáticos:** Son pulsos espurios que aparecen al producirse un cambio en las entradas que no produce un cambio en el estado de la salida.



- **Riesgos dinámicos:** Son pulsos espurios que aparecen al producirse un cambio en las entradas que debe producir un cambio en el estado de la salida.



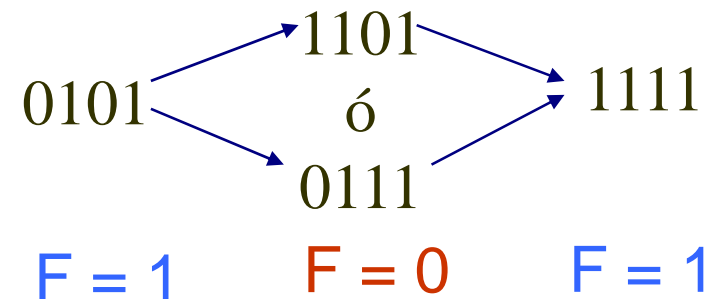
Régimen Transitorio en Circuitos Digitales

Clasificación de los riesgos en Circuitos Digitales

- **Riesgos funcionales:** Son *glitches* que sólo aparecen cuando se producen cambios en más de una variable de entrada

cd \ ab	00	01	11	10
00	1			
01		1		1
11			1	
10		1		

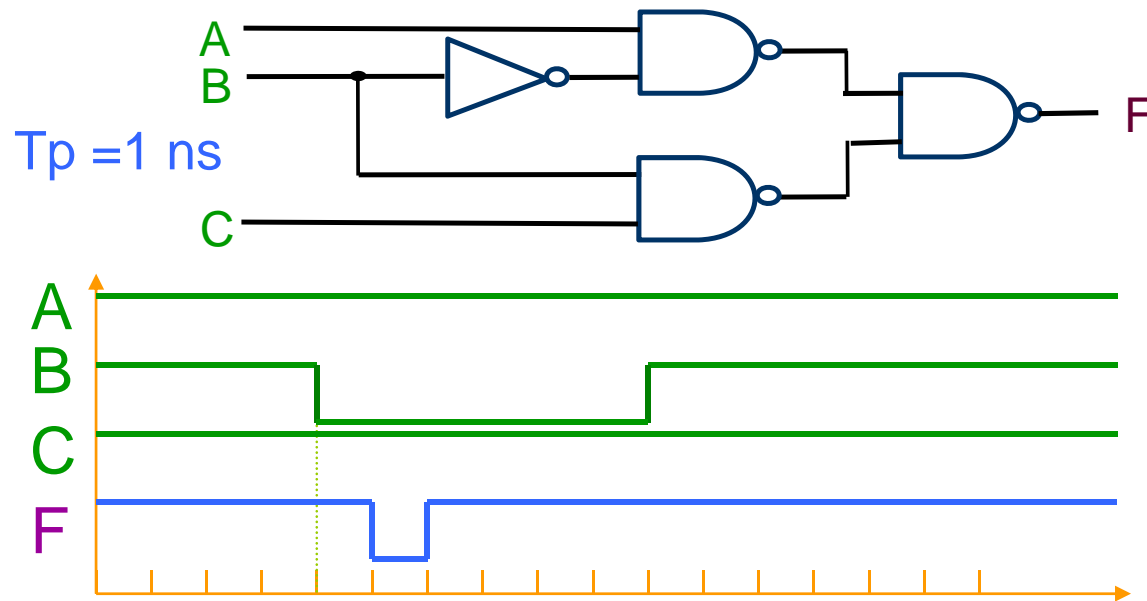
$abcd(t) \longrightarrow abcd(t+t_0)$



Régimen Transitorio en Circuitos Digitales

Clasificación de los riesgos en Circuitos Digitales

- **Riesgos lógicos:** Son debidos a la realización hardware del circuito y pueden producirse aunque sólo cambie de estado una entrada.



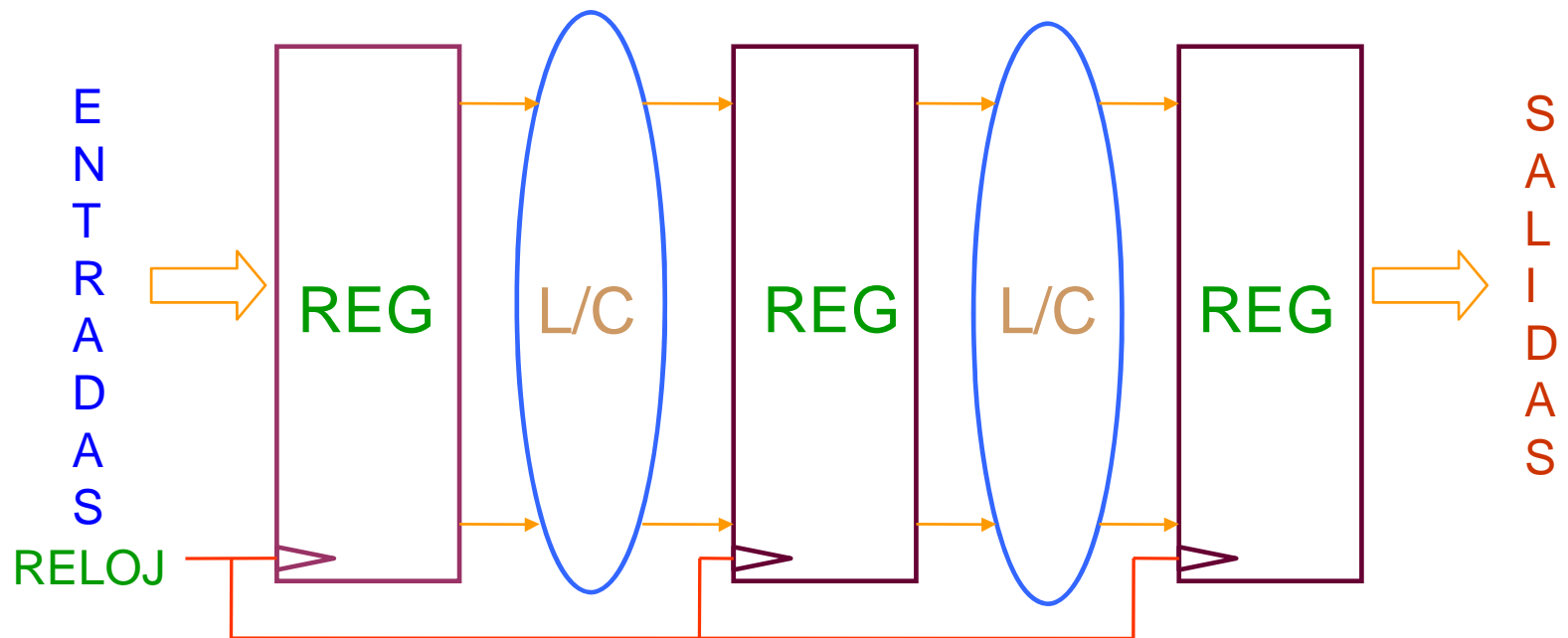
Régimen Transitorio en Circuitos Digitales

Alternativas para evitar los riesgos

- **Inserción de retardos hardware:** Su valor es difícilmente controlable y varía con las condiciones de funcionamiento, pudiendo dar lugar a nuevos riesgos.
- **Inserción de lógica redundante:** Permite eliminar únicamente los riesgos lógicos.
- **Inserción de lógica registrada:** No elimina los riesgos, sino su efecto. Consiste en muestrear la lógica cuando ha finalizado el régimen transitorio -y por tanto ya no existen *glitches*- almacenando los estados de salida en *flip-flops*. Esta solución es la más ampliamente utilizada tanto para el diseño de ASICs como para circuitos realizados con lógica programable o TTL. Se denomina **Metodología de diseño Síncrono**.

Diseño síncrono de circuitos digitales

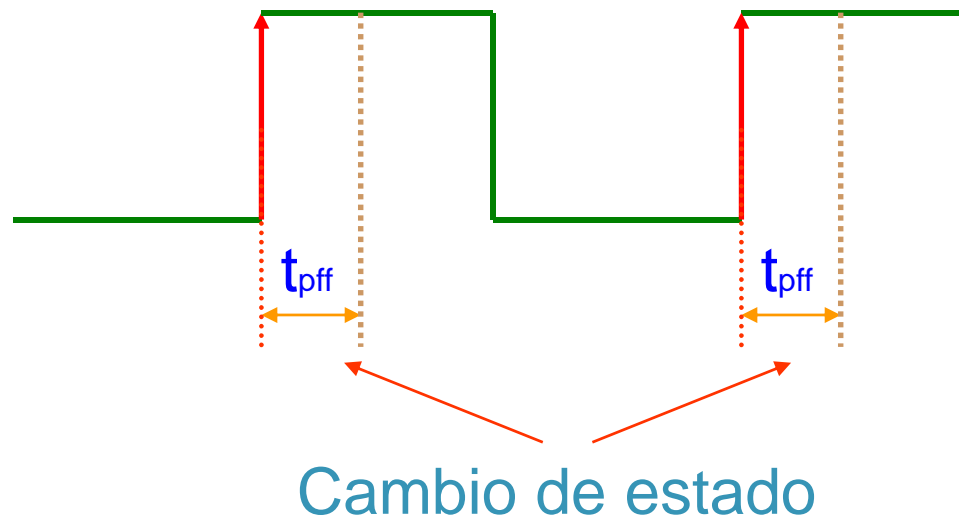
Estructura de un Sistema Digital Síncrono



Diseño síncrono de circuitos digitales

Bases de funcionamiento

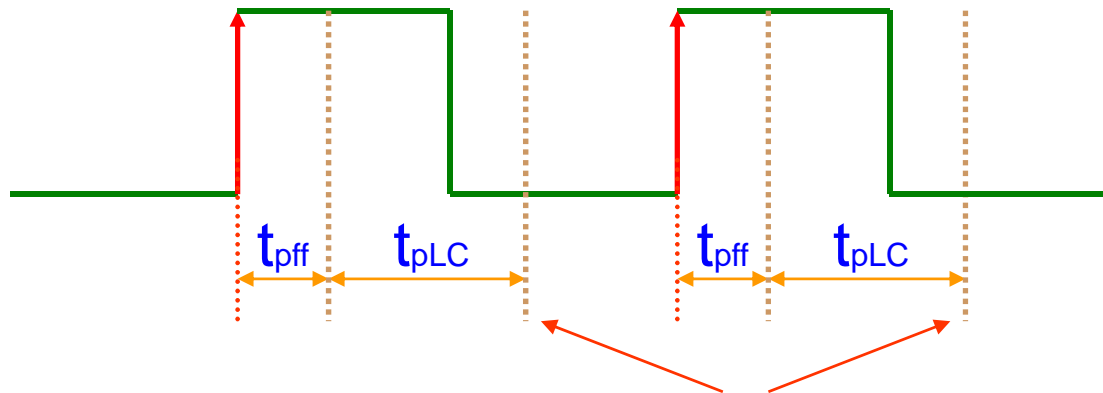
- Todas las entradas de los circuitos combinacionales están registradas, luego sólo pueden cambiar de estado en los flancos activos de reloj



Diseño síncrono de circuitos digitales

Bases de funcionamiento

- El régimen transitorio de los circuitos combinacionales sin realimentación finaliza cuando ha transcurrido el tiempo de propagación máximo del circuito desde el último cambio en una entrada.

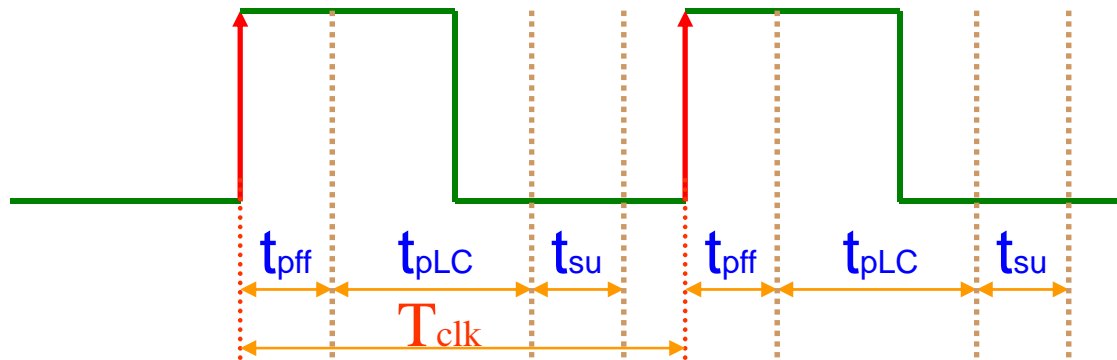


Fin del Régimen Transitorio

Diseño síncrono de circuitos digitales

Bases de funcionamiento

- Para que las salidas de los circuitos combinacionales puedan registrarse correctamente deberán ser estables un tiempo antes del flanco activo de reloj, el tiempo de *set-up* de los *flip-flops*.



$$\text{Por tanto: } T_{clk} > t_{pff} + t_{pLC} + t_{su}$$

Diseño síncrono de circuitos digitales

Bases de funcionamiento

- La **frecuencia máxima** de la señal de reloj en un circuito secuencial síncrono viene dada por la expresión:

$$f_{clk \max} = \frac{1}{t_{pff \max} + t_{pLC \max} + t_{su \min}}$$

donde $t_{pLC \max}$ es el tiempo de propagación del bloque combinacional mas lento de los existentes en el circuito.

Diseño síncrono de circuitos digitales

Bases de funcionamiento

- Un circuito digital síncrono funcionando con una frecuencia de reloj menor o igual a la dada por la expresión anterior funcionará correctamente si:
 - Se emplean *flip-flops* activos en el mismo tipo de flanco como elementos de memoria del sistema.
 - A todos los *flip-flops* les llega de manera simultánea la señal de reloj del circuito.
 - No se activan, durante la operación normal del sistema, las entradas asíncronas de los *flip-flops*.
 - No existe lógica combinatorial realimentada.
 - Todas las entradas de los circuitos combinatoriales, incluso las externas al sistema, están registradas.

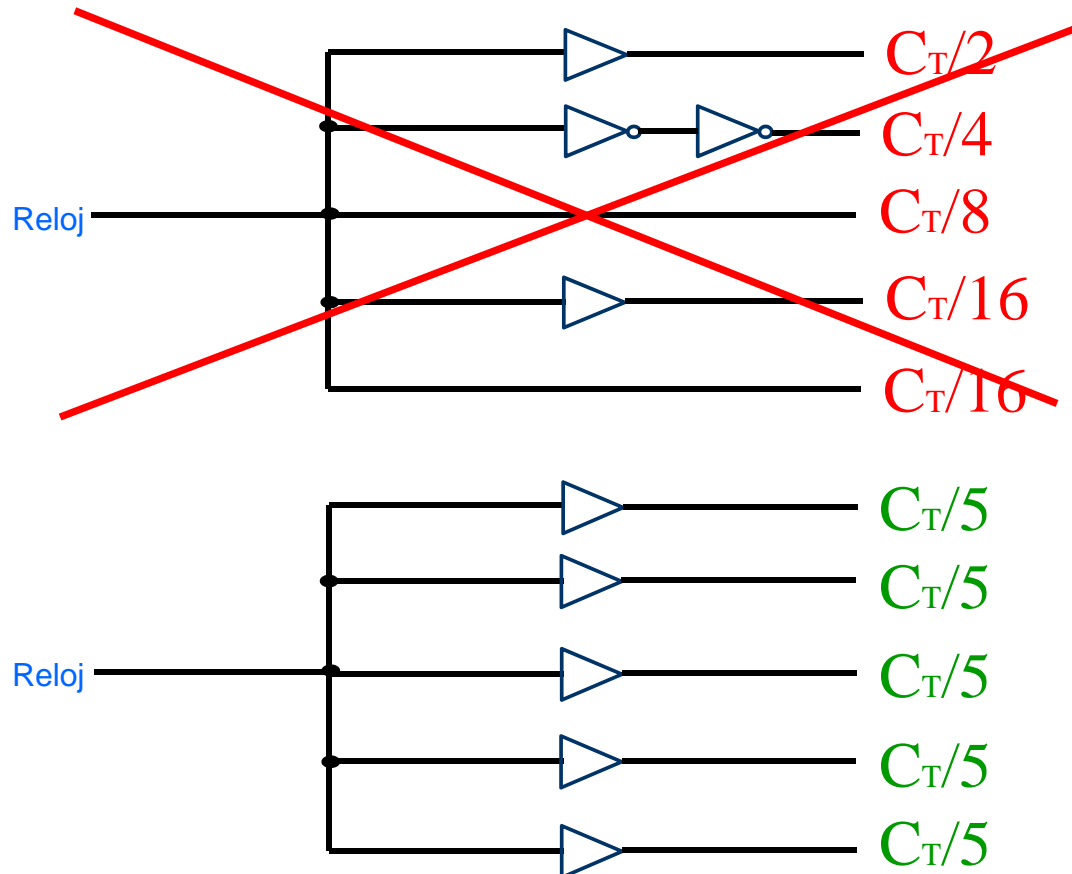
Diseño síncrono de circuitos digitales

Distribución del reloj

- A todos los *flip-flops* del circuito debe llegarles de manera simultánea los flancos de la señal de reloj.
- Esto, en general, no es posible que se verifique de manera estricta; el reloj llegará con cierto desfase a las entradas de los *flip-flops* debido a las distintas longitudes de las pistas y a las distintas cargas que soportan los *buffers* del árbol de reloj.
- El desfase en la llegada del reloj a los *flip-flops* de un circuito se denomina **skew** del reloj.
- Un circuito síncrono puede admitir un valor máximo de *skew* en la señal de reloj.

Diseño síncrono de circuitos digitales

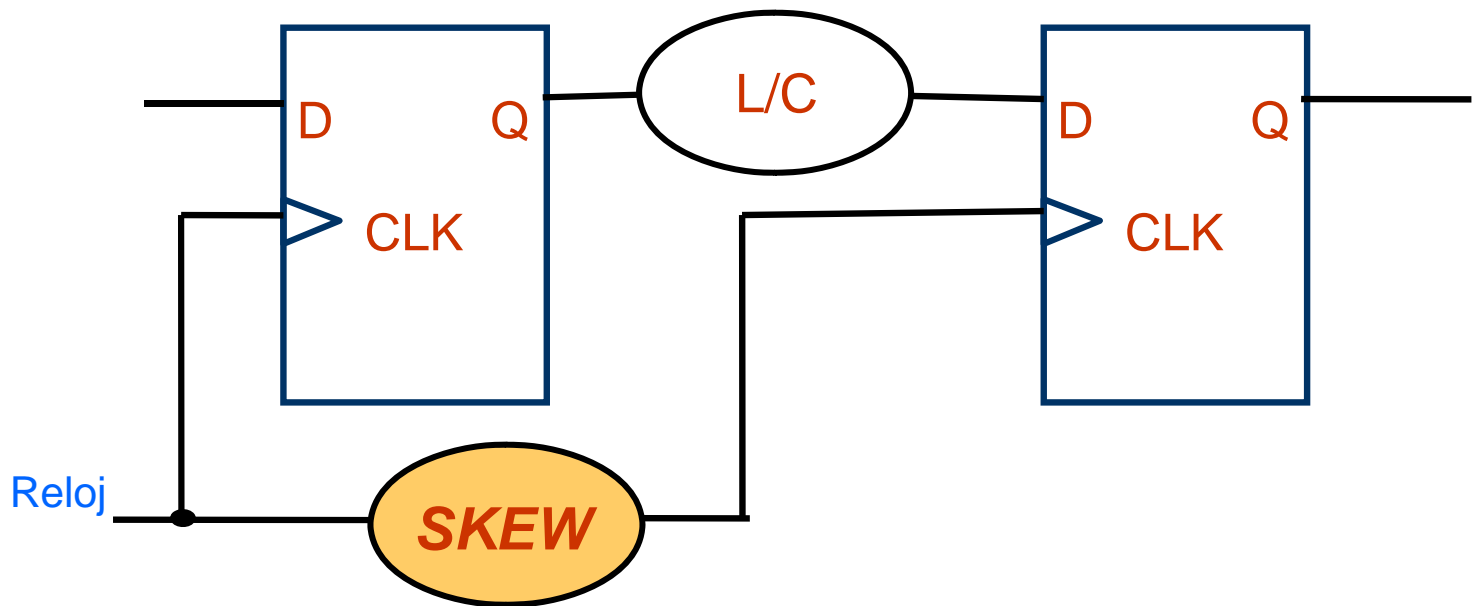
Distribución del reloj



Diseño síncrono de circuitos digitales

El skew.

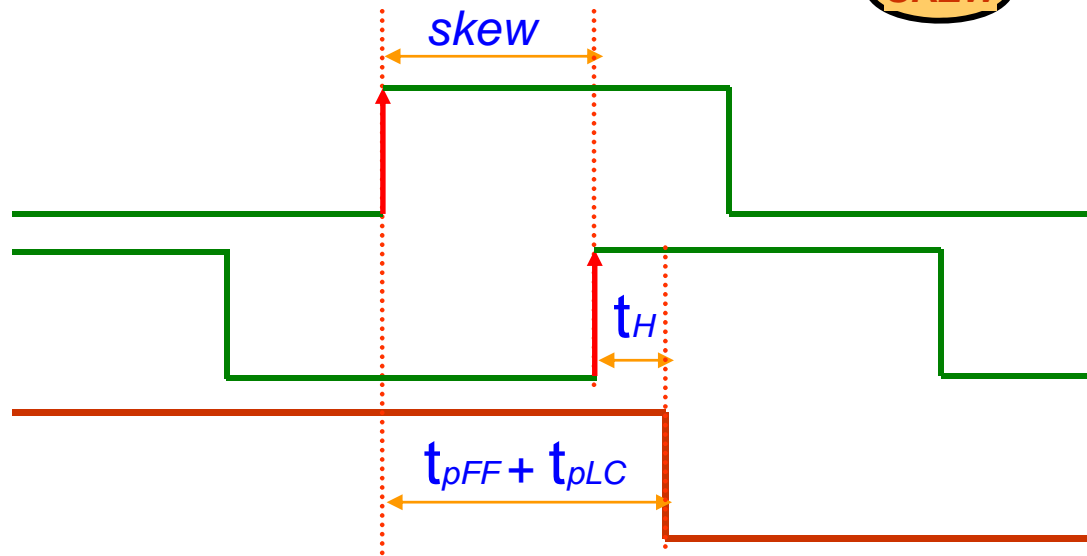
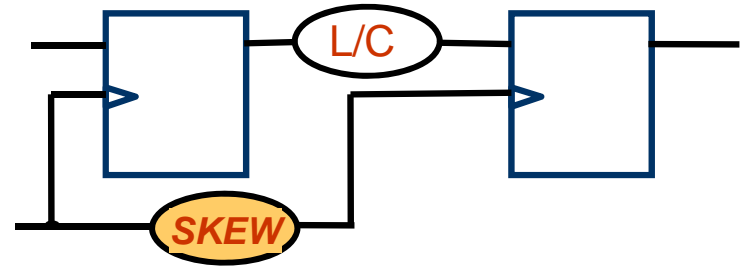
Modelo general:



Diseño síncrono de circuitos digitales

El *skew*.

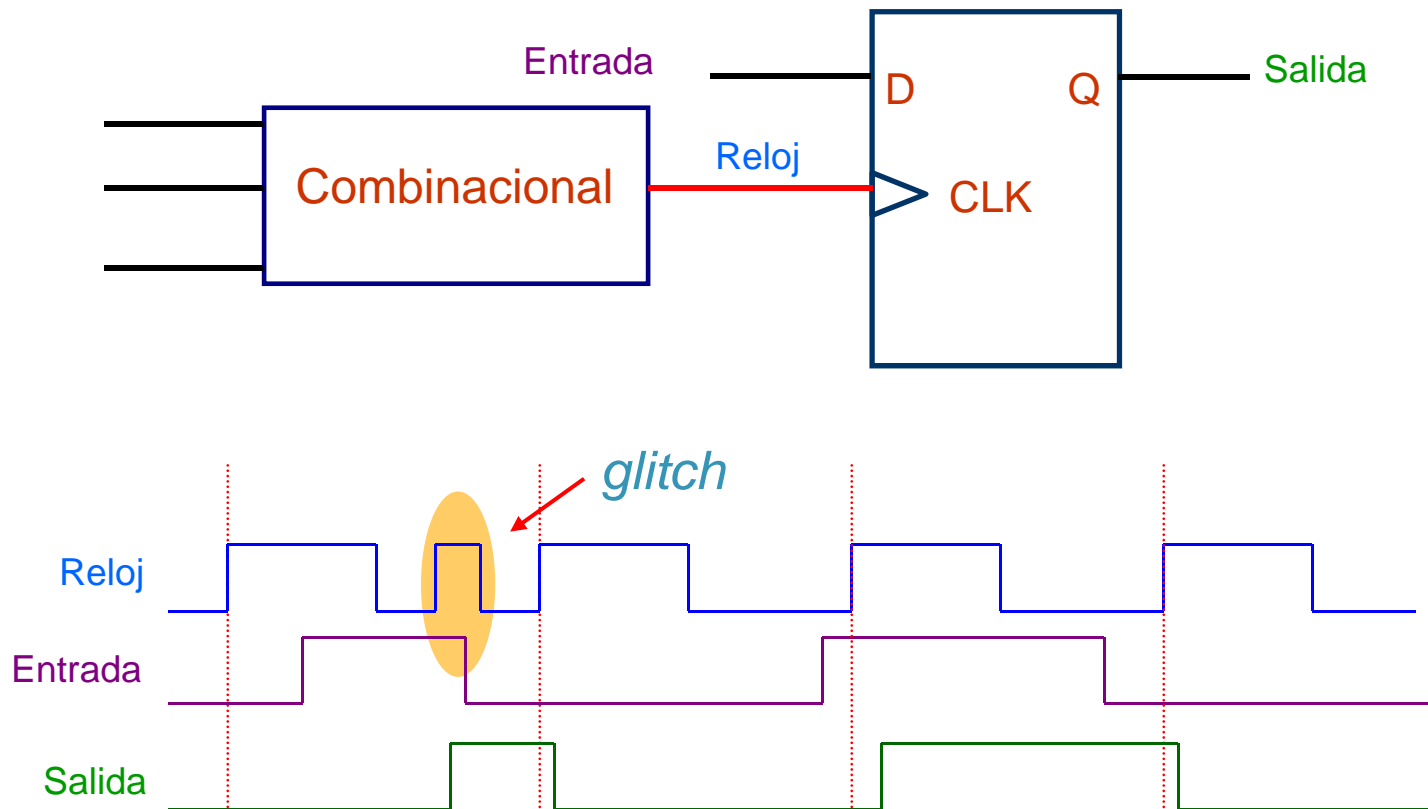
Análisis



$$skew < t_{pFF \min} + t_{pLC \min} - t_{H \min}$$

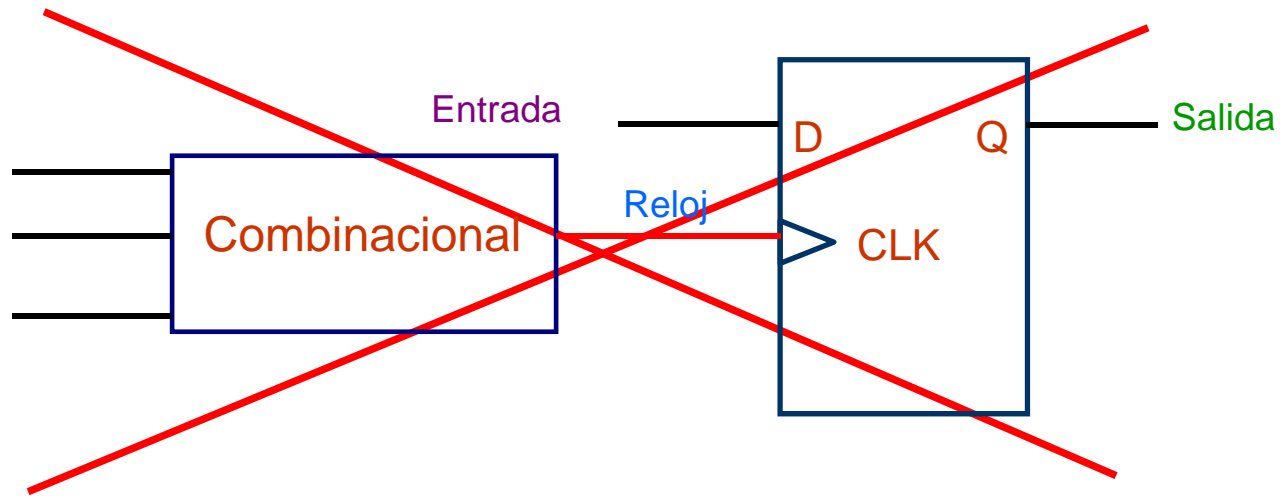
Diseño síncrono de circuitos digitales

Reloj generado por Lógica Combinacional



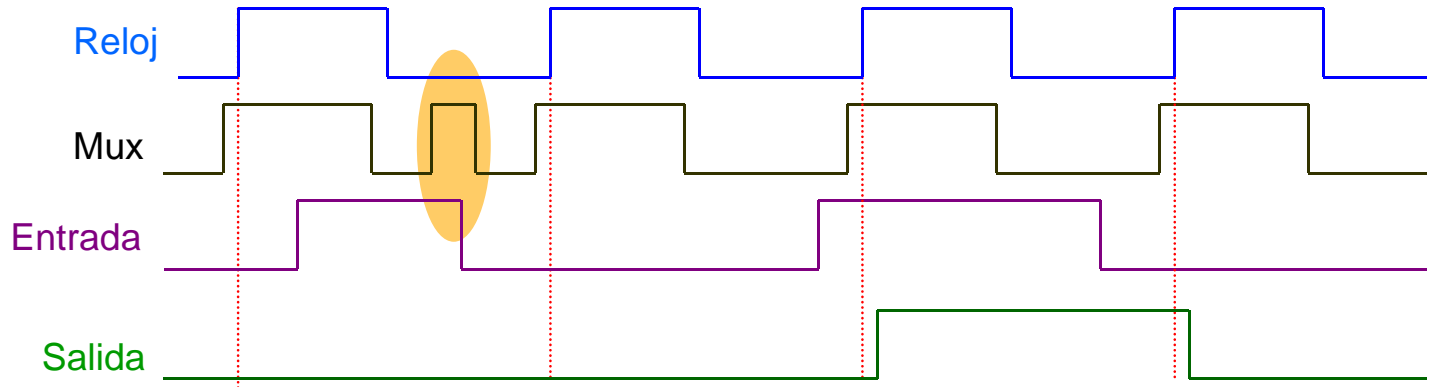
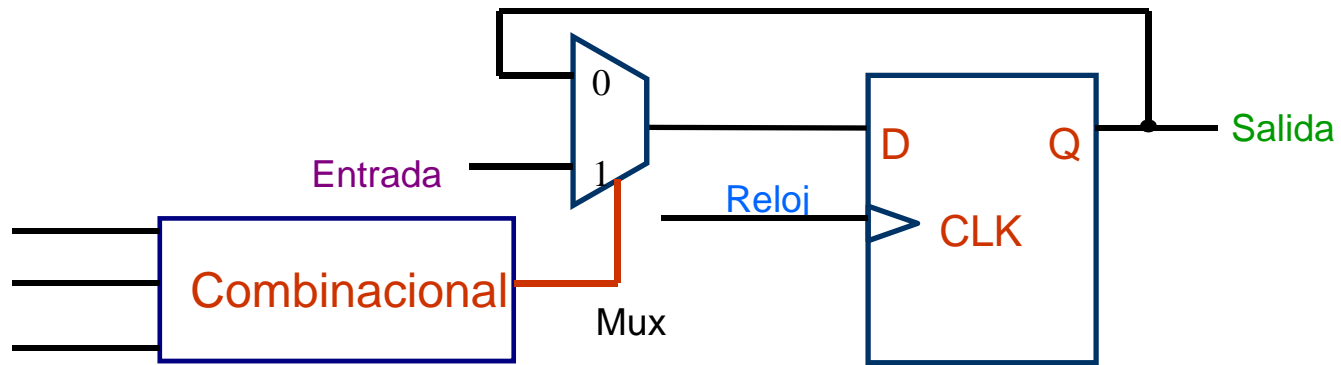
Diseño síncrono de circuitos digitales

Reloj generado por Lógica Combinacional



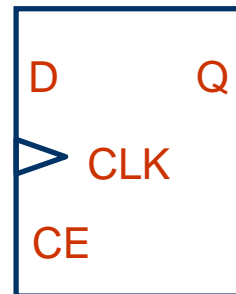
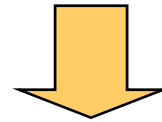
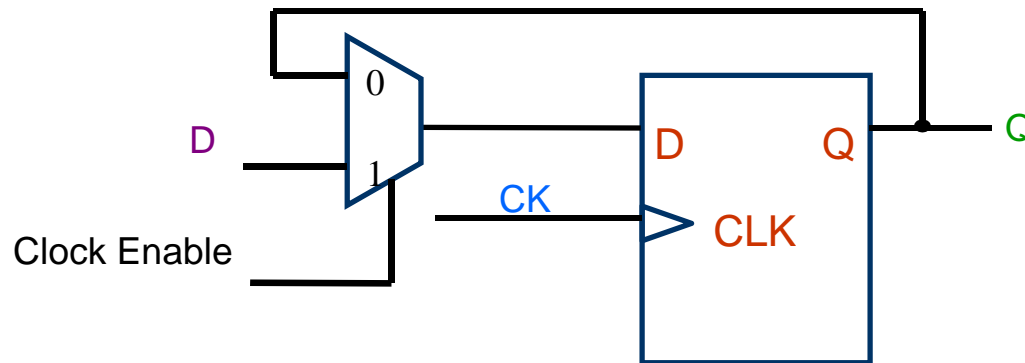
Diseño síncrono de circuitos digitales

Habilitación de reloj



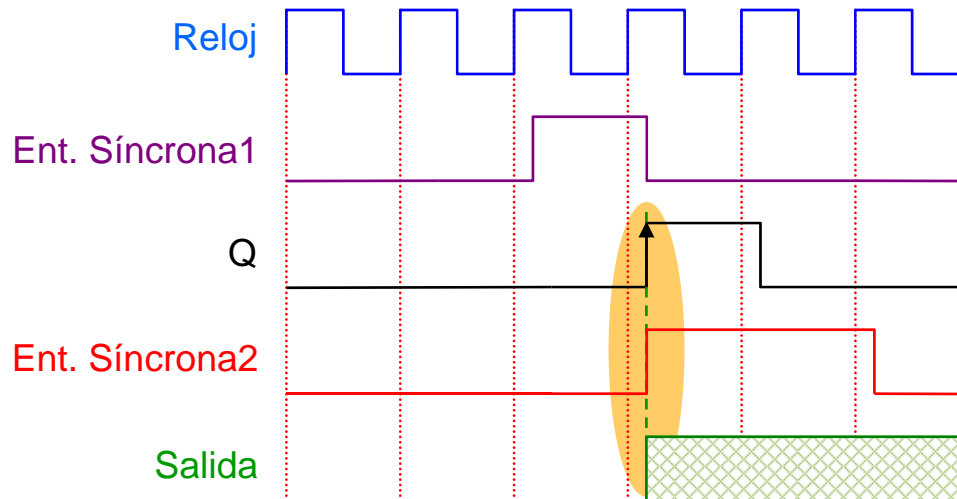
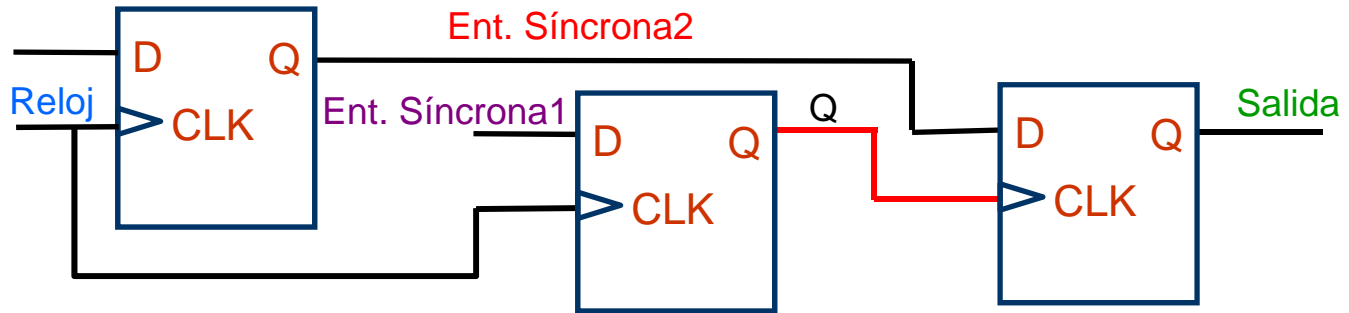
Diseño síncrono de circuitos digitales

Habilitación de reloj



Diseño síncrono de circuitos digitales

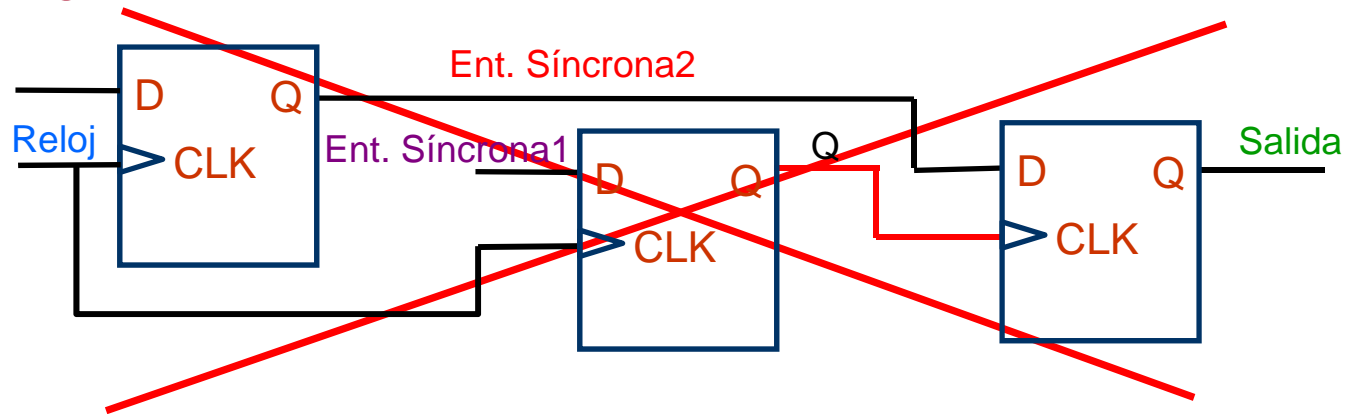
Reloj generado por un *flip-flop*



⚠ Violación de set-up

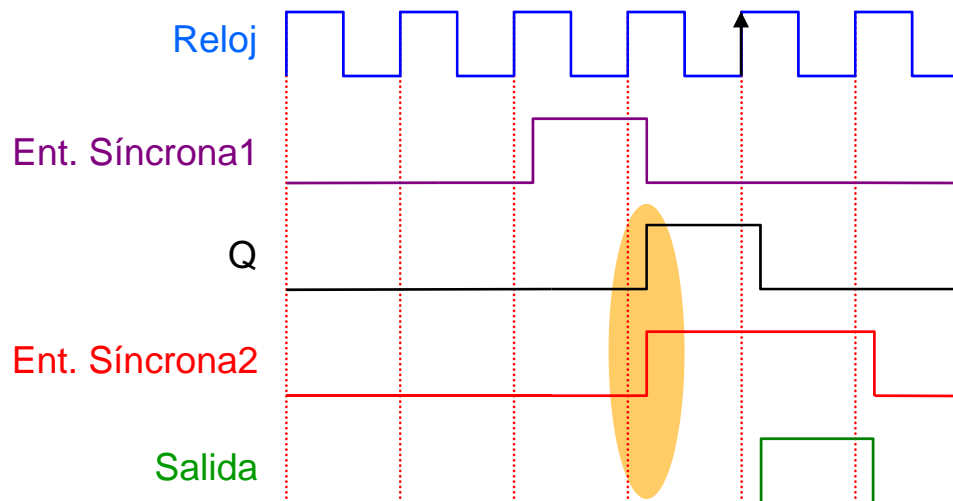
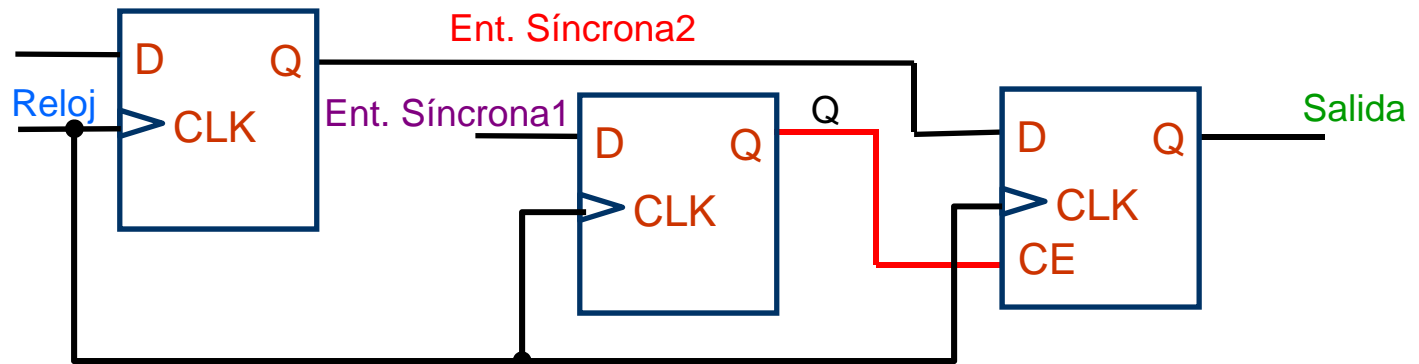
Diseño síncrono de circuitos digitales

Reloj generado por un *flip-flop*



Diseño síncrono de circuitos digitales

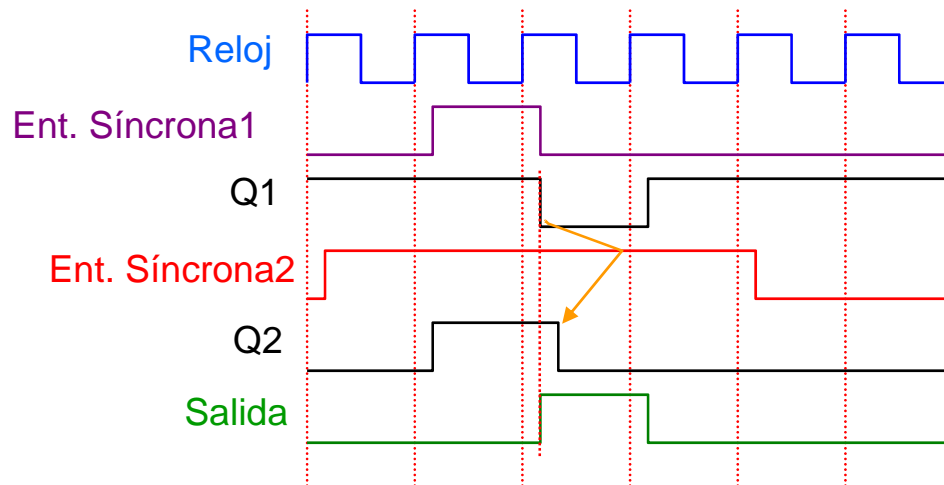
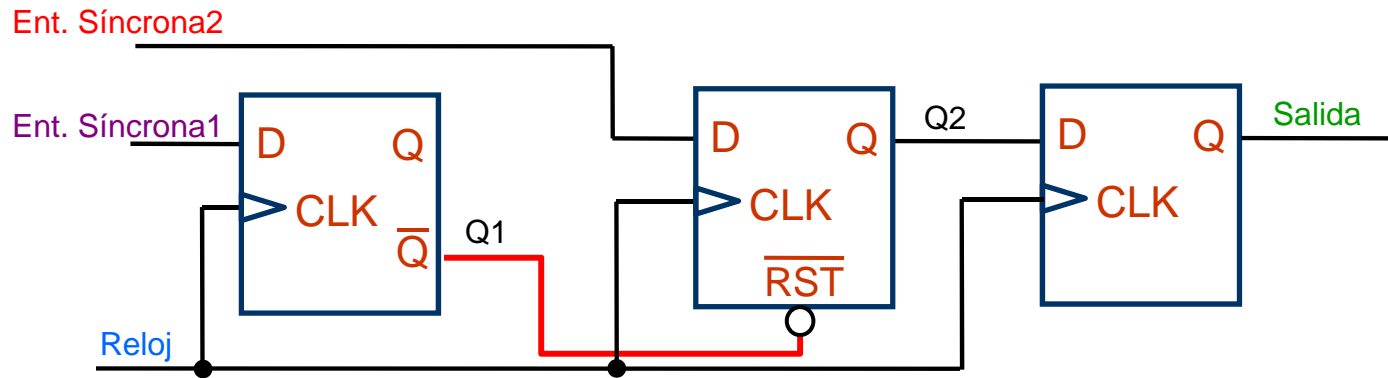
Habilitación de reloj



El funcionamiento es diferente

Diseño síncrono de circuitos digitales

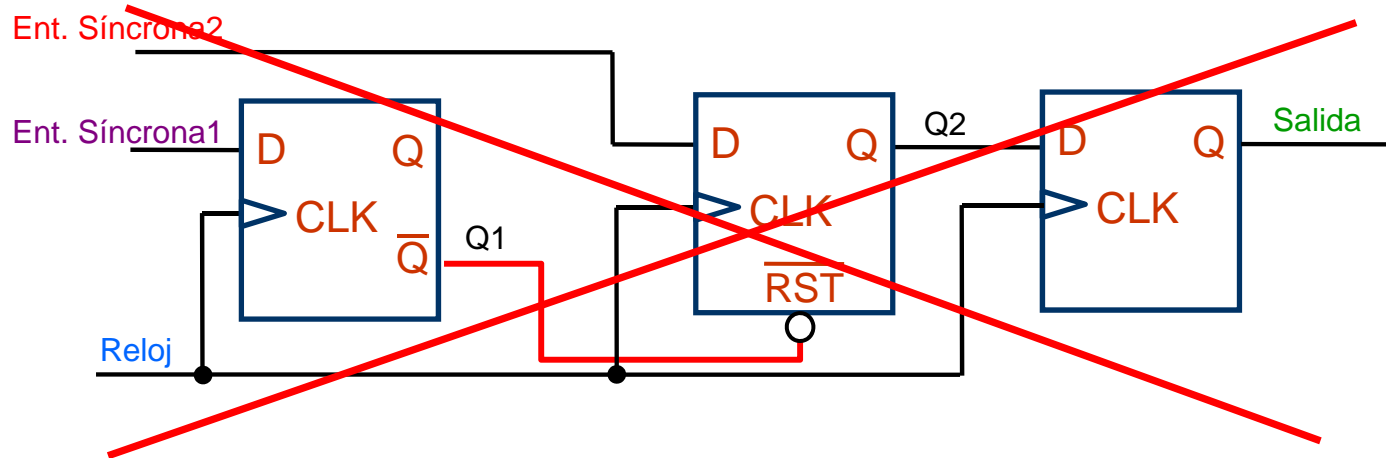
Reset funcional



! Q2 cambia más tarde de t_{pFF}

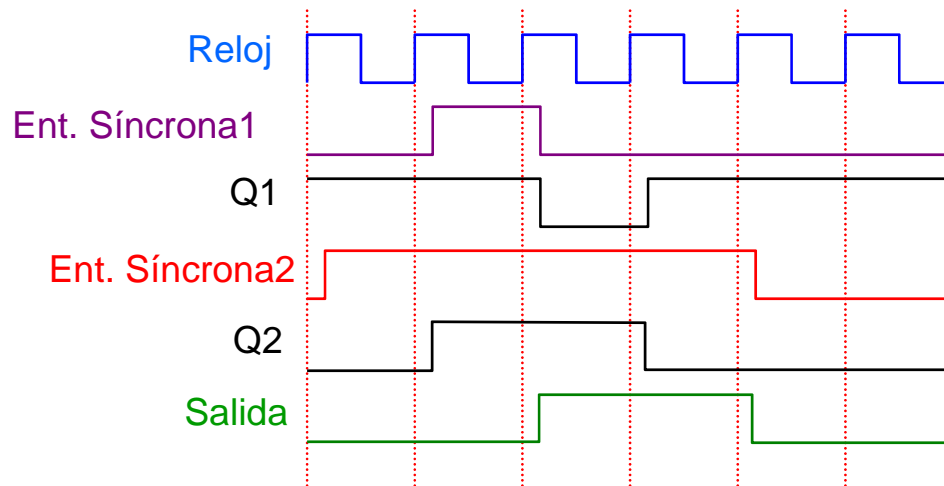
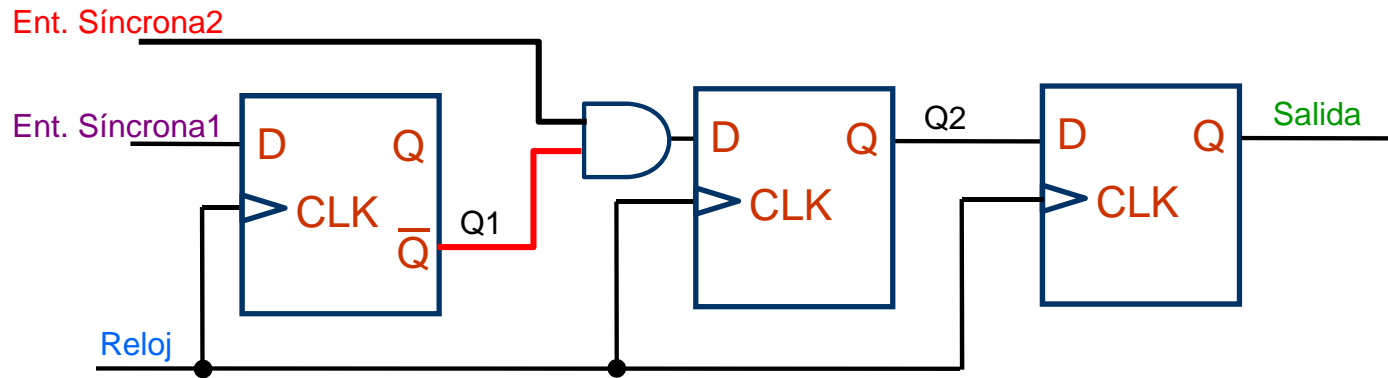
Diseño síncrono de circuitos digitales

Reset funcional



Diseño síncrono de circuitos digitales

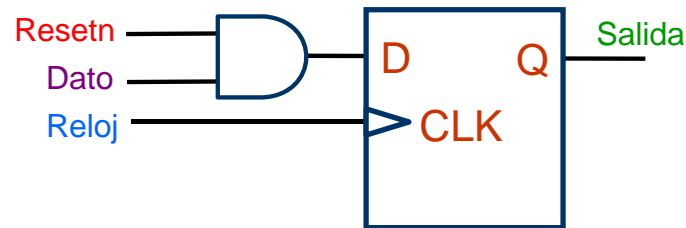
Reset funcional



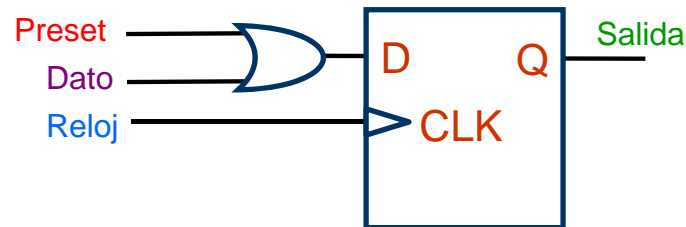
Diseño síncrono de circuitos digitales

Reset y Preset funcionales

Flip-flop D con Reset síncrono



Flip-flop D con Preset síncrono



Diseño síncrono de circuitos digitales

Sincronización de entradas asíncronas

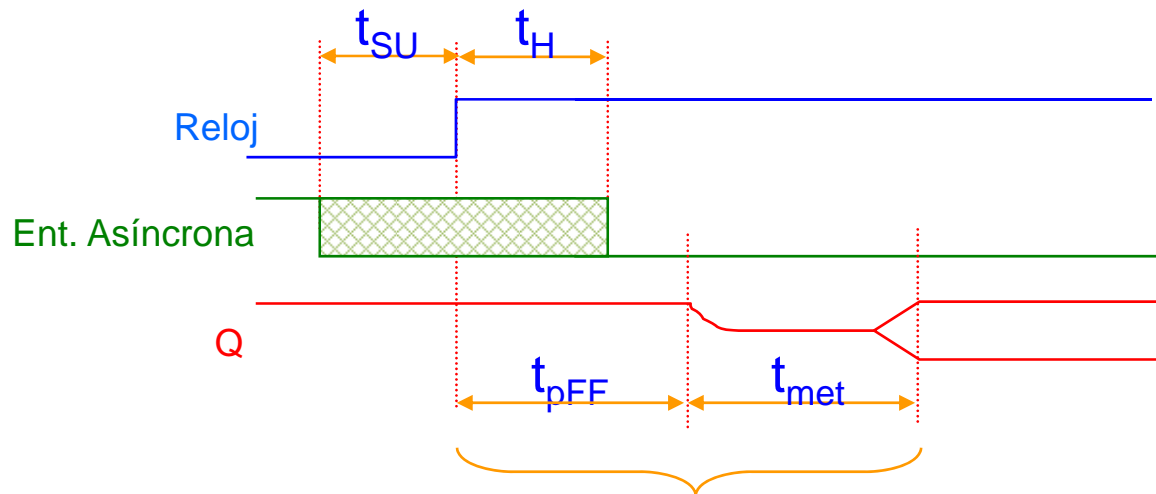
- A menudo existen entradas al circuito que son asíncronas respecto a su reloj y **deben ser sincronizadas** antes de poder ser usadas en el mismo.
- La sincronización consiste en registrar la entrada en un *flip-flop* conectado al reloj del circuito. Durante esta operación puede ocurrir que se violen los tiempos de *set-up* o de *hold* del *flip-flop*.
- Como consecuencia, el *flip-flop* puede registrar o no el evento de entrada o, lo que es peor, entrar en un estado **metaestable**.

Diseño síncrono de circuitos digitales

Sincronización de entradas asíncronas.

Metaestabilidad

- Cuando se violan los tiempos de *set-up* o de *hold* de un *flip-flop*, su salida puede pasar a un nivel intermedio; al cabo de un tiempo indeterminado tomará aleatoriamente el valor 0 ó 1.



Aumento del tiempo de propagación

Diseño síncrono de circuitos digitales

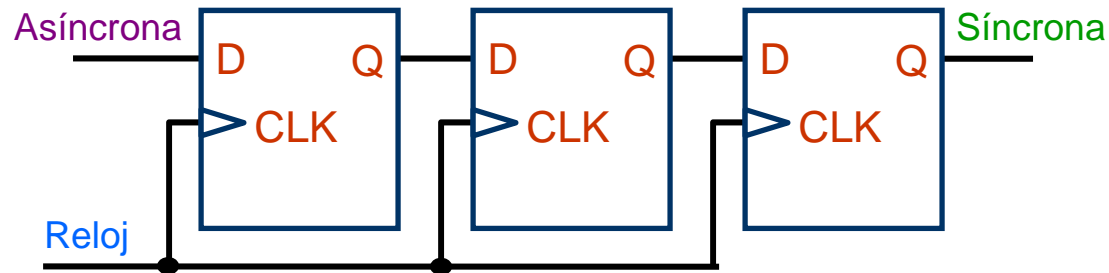
Sincronización de entradas asíncronas.

Metaestabilidad

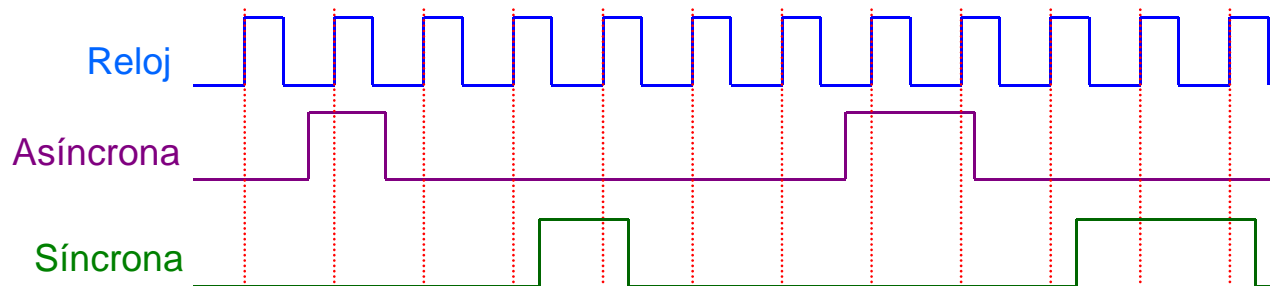
- La metaestabilidad solo afecta a los *flip-flops* usados para sincronizar entradas asíncronas.
- La probabilidad de que un *flip-flop* entre en estado metaestable y el tiempo de permanencia en dicho estado depende del proceso tecnológico y de las condiciones ambientales de funcionamiento.
- Generalmente los *flip-flops* pasan rápidamente a un estado estable.
- Si la salida del *flip-flop* es muestreada en el estado metaestable, se propagará un valor indefinido a la lógica a la que esté conectado.

Diseño síncrono de circuitos digitales

Sincronización de entradas asíncronas.



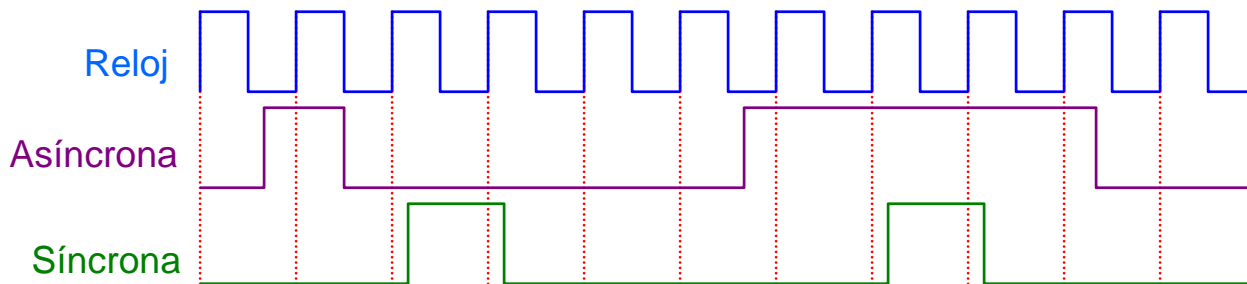
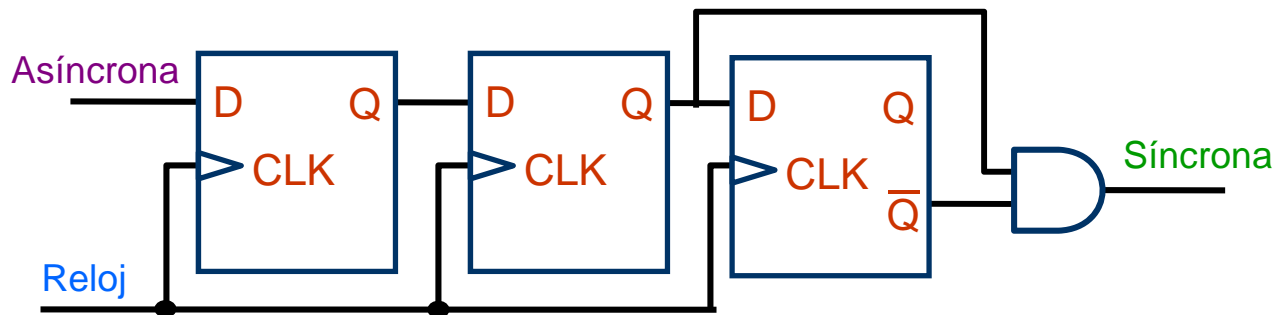
- ☺ Provee tiempo para que desaparezca la metaestabilidad antes de usar la señal en el circuito.
- ☹ Mayor tiempo de respuesta del sistema.



Diseño síncrono de circuitos digitales

Sincronización de entradas asíncronas. Conformación de pulsos

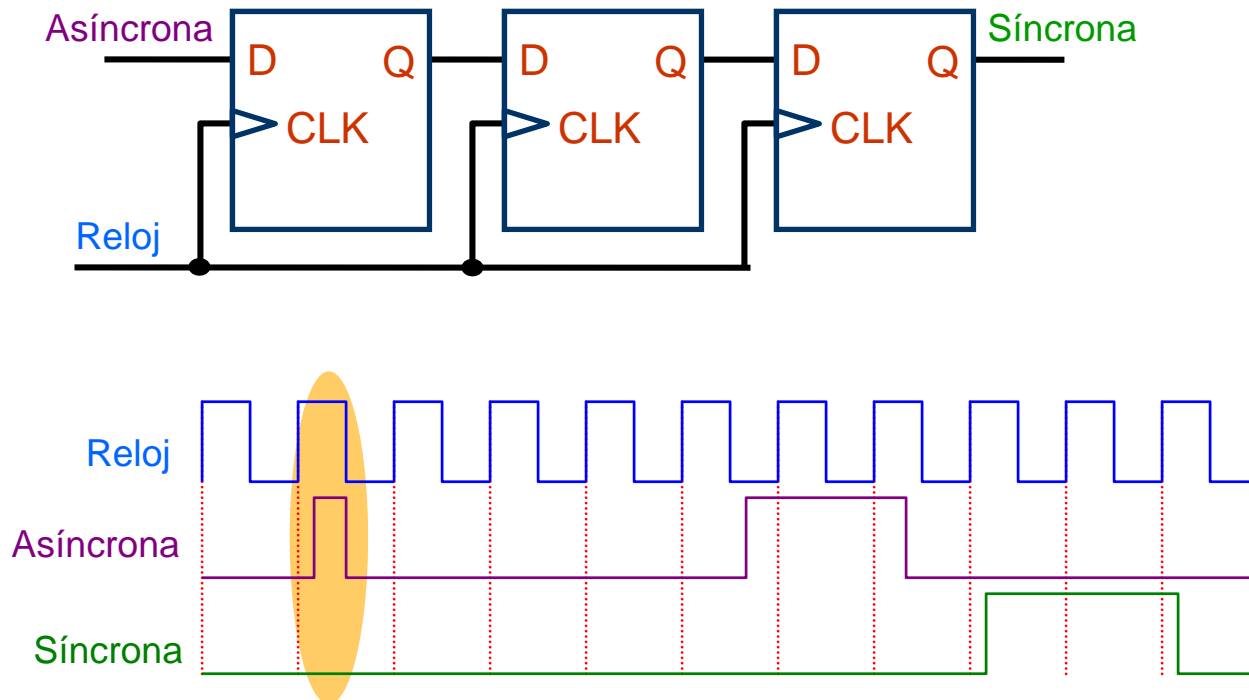
- Pulsos mayores que un período de reloj



Diseño síncrono de circuitos digitales

Sincronización de entradas asíncronas. Conformación de pulsos

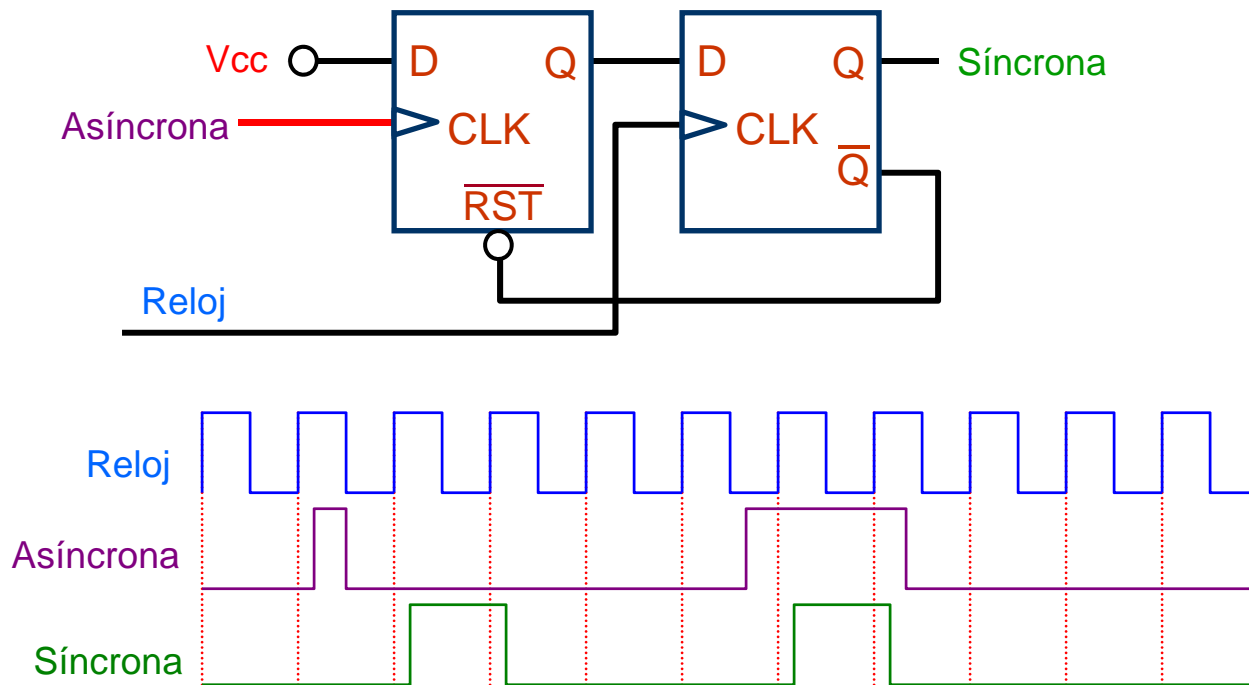
- Pulsos menores que un período de reloj



Diseño síncrono de circuitos digitales

Sincronización de entradas asíncronas. Conformación de pulsos

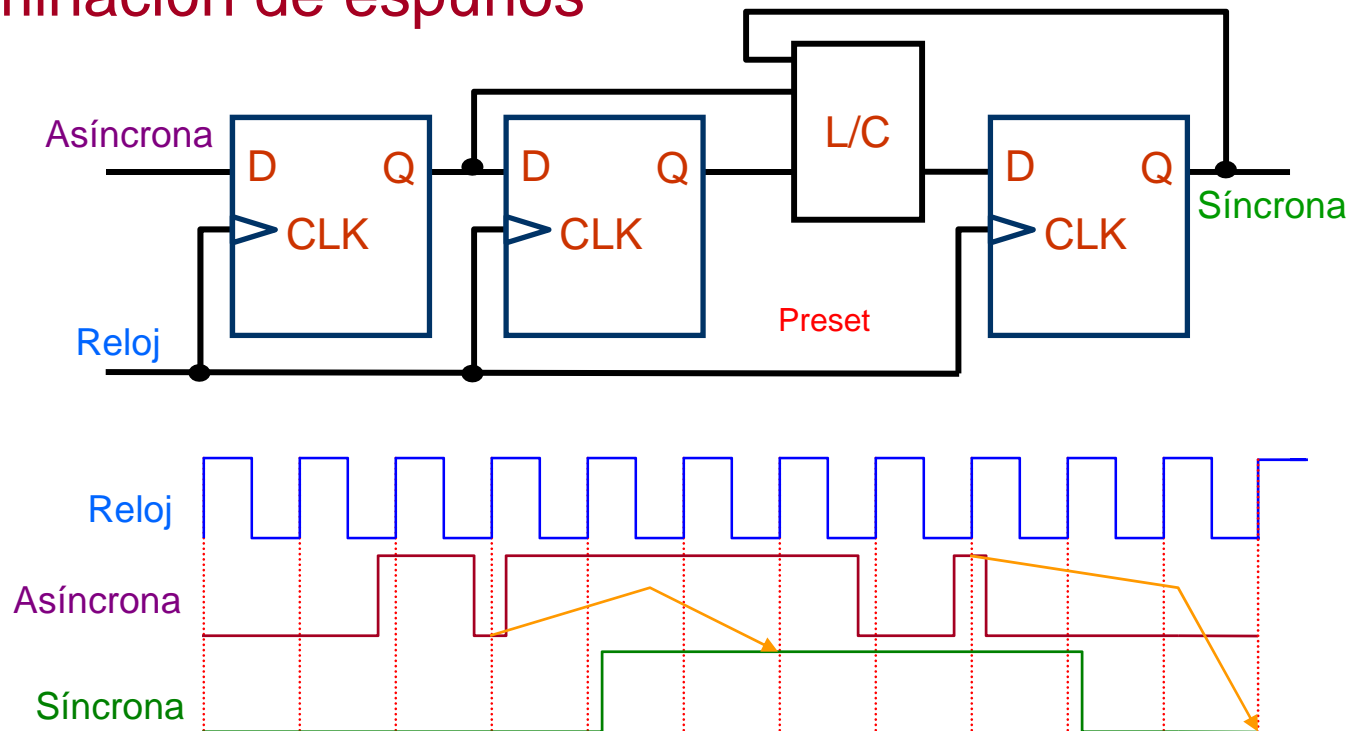
- Pulsos menores que un período de reloj



Diseño síncrono de circuitos digitales

Sincronización de entradas asíncronas.

Eliminación de espurios



$$D3 = Q1 \cdot Q3 + Q1 \cdot Q2 + Q2 \cdot Q3$$

Diseño síncrono de circuitos digitales

Conclusiones

- Las normas de diseño síncrono son una buena guía para la realización de diseños con un funcionamiento seguro.
- En su aplicación práctica es frecuente que se den casos en los que resulta inevitable vulnerarlas: en el interfaz con buses asíncronos o con memorias asíncronas, por ejemplo, o en el de la sincronización de entradas asíncronas.
- Cuando esto ocurra es aconsejable aislar los módulos de interfaz con sistemas asíncronos y diseñar el resto del sistema ateniéndose a las reglas enunciadas.

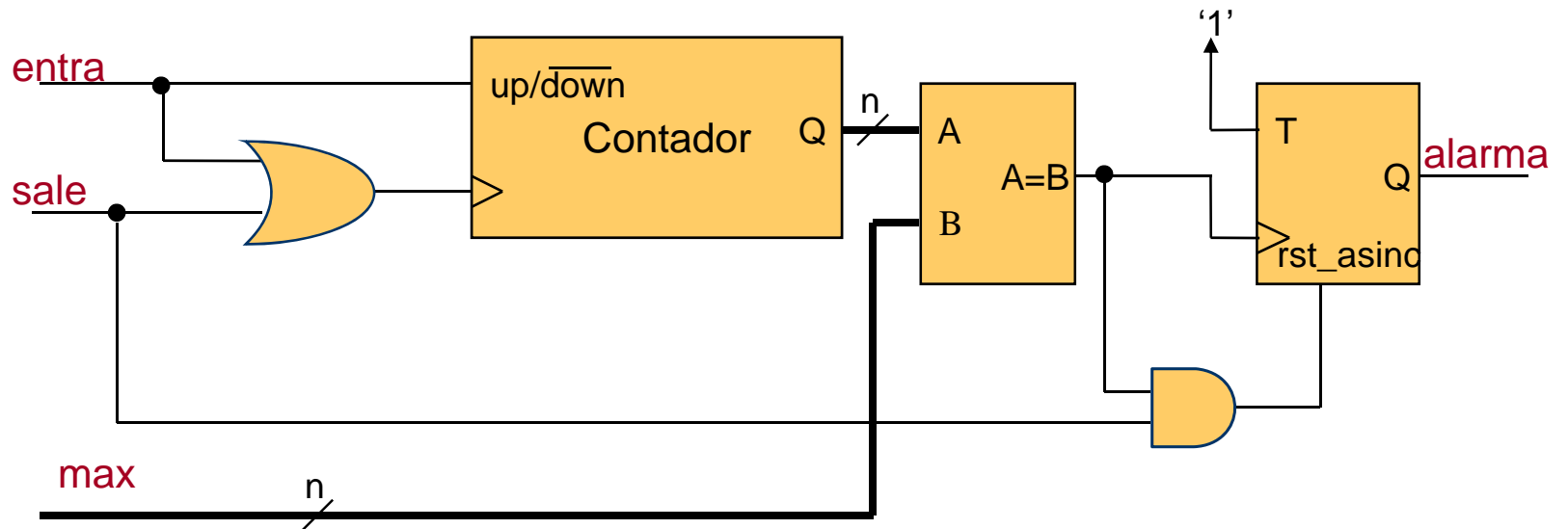
Diseño síncrono de circuitos digitales

Conclusiones

- En el diseño de circuito es aconsejable utilizar *flip-flops* tipo D, puesto que son los de funcionamiento más simple y facilitan la interpretación del modo de operación del circuito.
- Además, con los *flip-flops* tipo D resulta muy sencilla la incorporación de entradas síncronas de *reset*, *preset* y habilitación de reloj.
- Las entradas asíncronas de los *flip-flops* sólo deben utilizarse, si se desea, para la inicialización del circuito, pero nunca durante la operación normal del mismo.

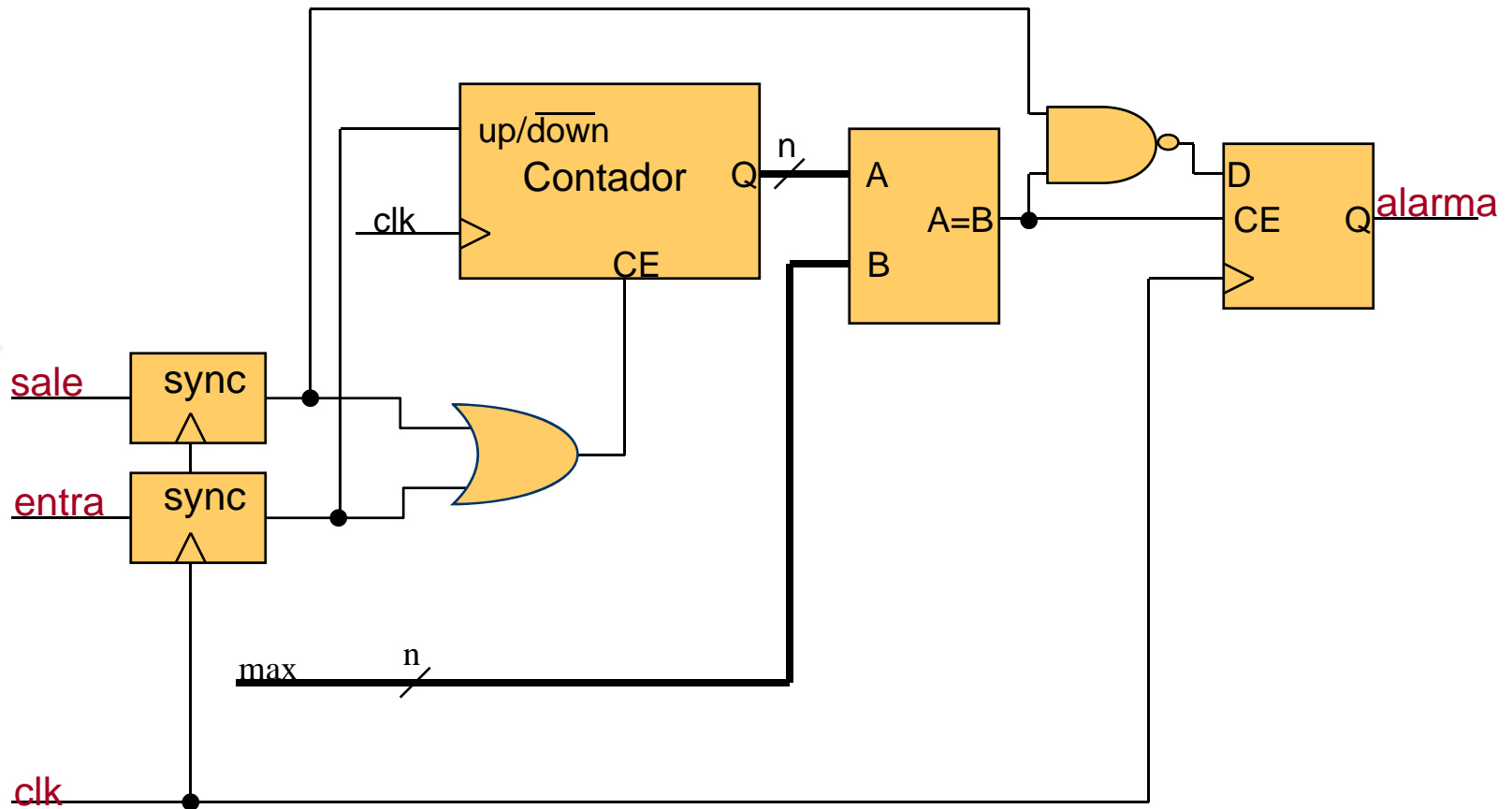
Ejemplos

Controlador de Aforo



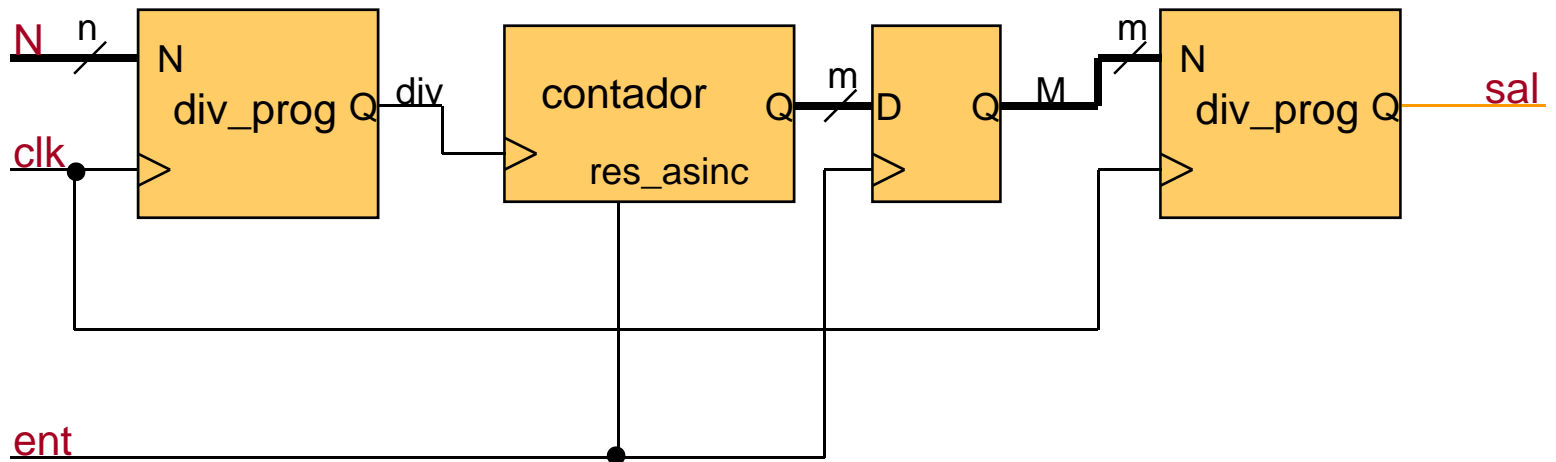
Ejemplos

Controlador de Aforo (diseño síncrono)



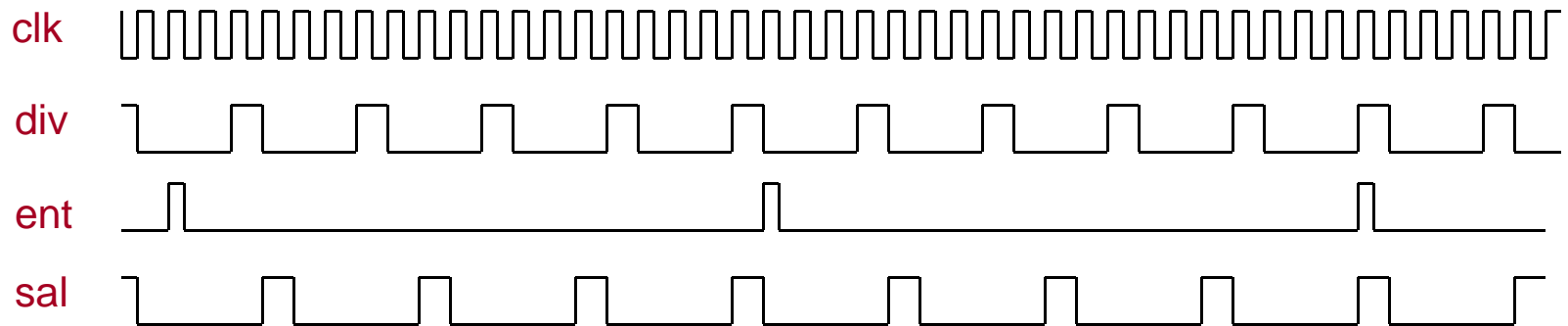
Ejemplos

Multiplicador de frecuencia programable



Ejemplos

Funcionamiento del Multiplicador de frecuencia



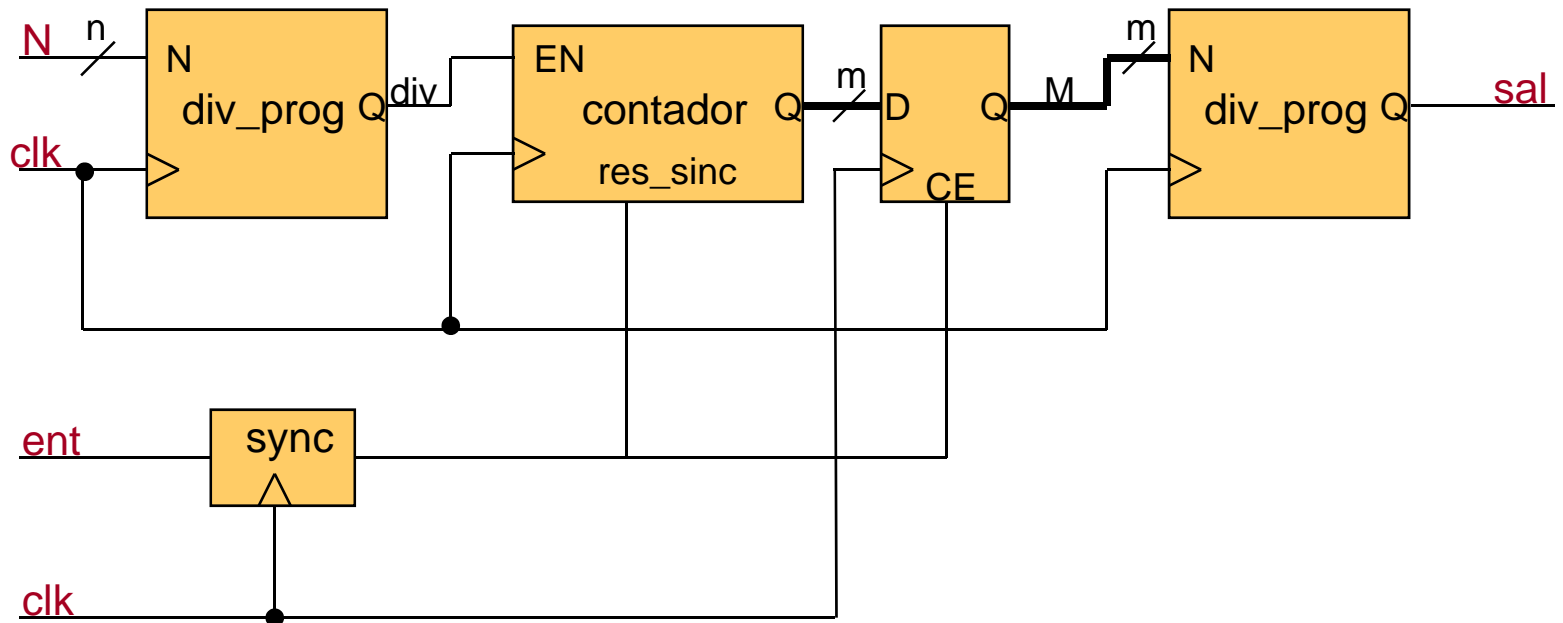
$$f_{\text{div}} = \frac{f_{\text{clk}}}{N}$$

$$M = \frac{T_{\text{ent}}}{T_{\text{div}}} = \frac{1/f_{\text{ent}}}{1/f_{\text{div}}} = \frac{1/f_{\text{ent}}}{N/f_{\text{clk}}} = \frac{f_{\text{clk}}}{N \cdot f_{\text{ent}}}$$

$$f_{\text{sal}} = \frac{f_{\text{clk}}}{M} = N \cdot f_{\text{ent}}$$

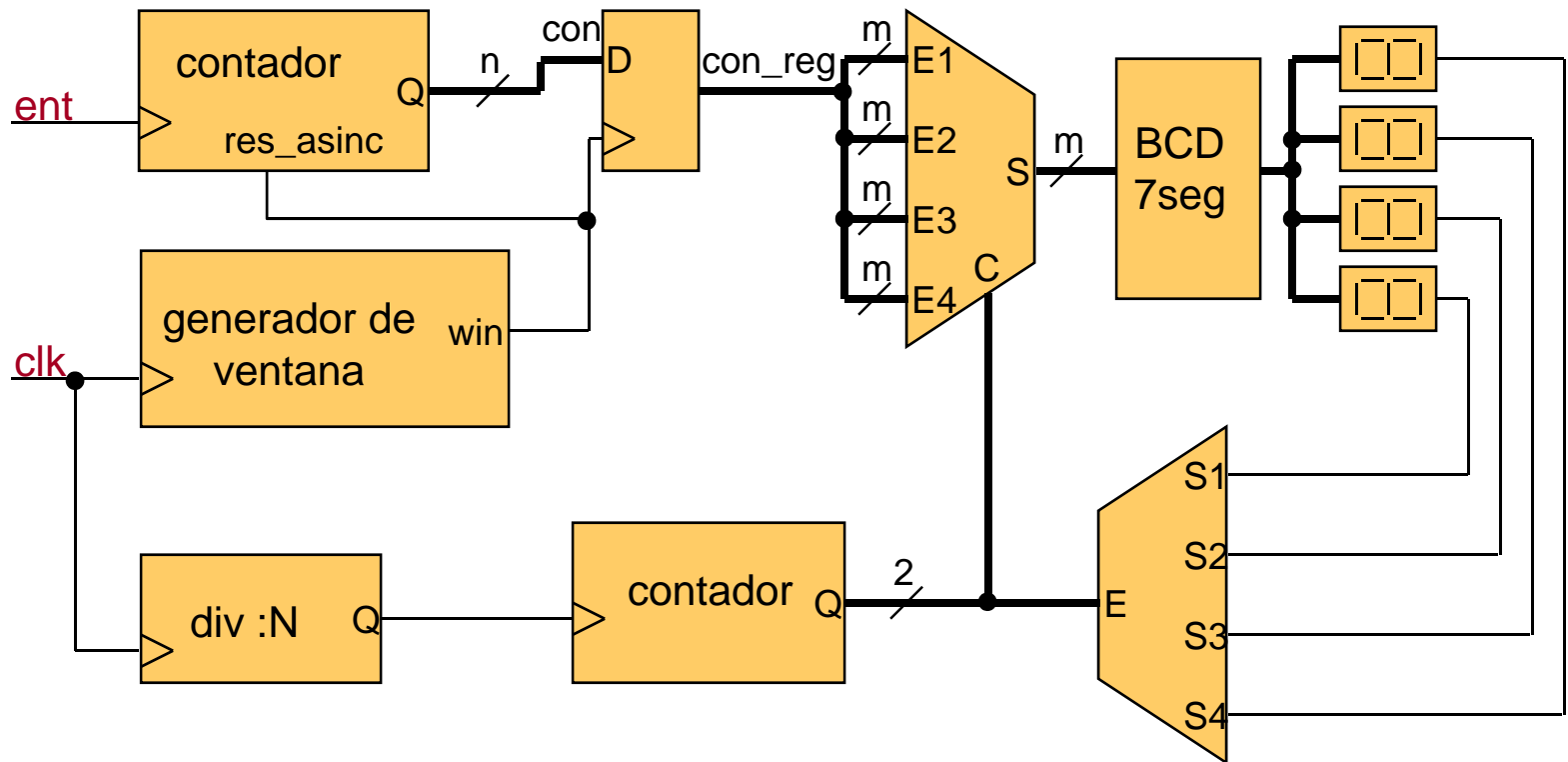
Ejemplos

Multiplicador de frecuencia (diseño síncrono)



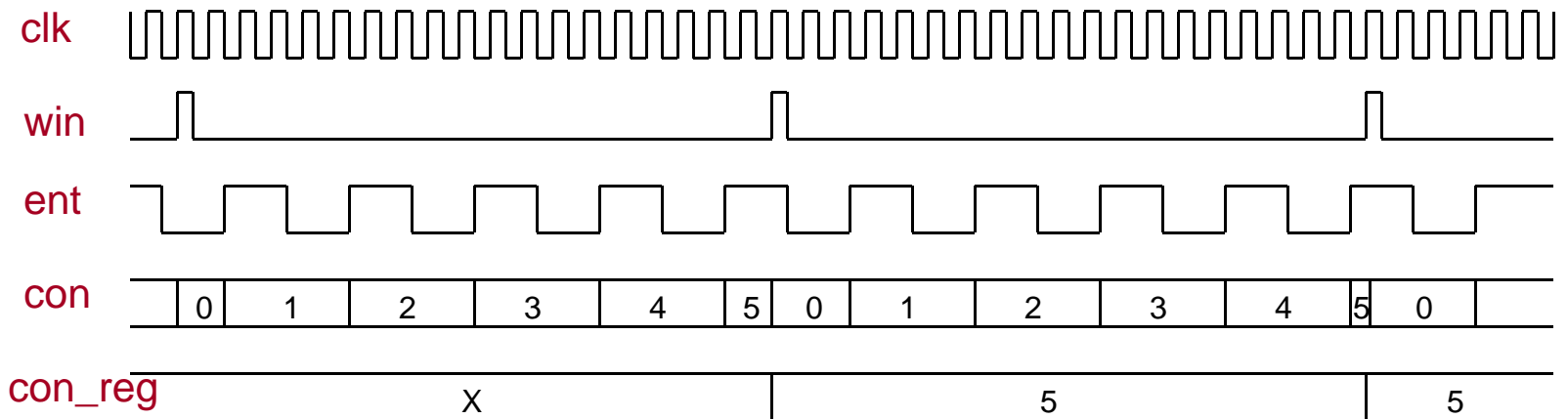
Ejemplos

Frecuencímetro



Ejemplos

Funcionamiento del frecuencímetro



Ejemplos

Frecuencímetro (diseño síncrono)

