Université de Bretagne Sud - Lorient
Maîtrise EEA

Circuits logiques programmables

N. JULIEN

septembre 1999

Plan

I. Généralités

I.1. Présentation

I. 2. Pourquoi des circuits programmables ?

I. 3. Classification des circuits logiques

a. classification des ASICs

b. classifications des circuits logiques programmables

c. classification des mémoires mortes

I.4. Domaine des circuits logiques programmables

a. PLD

b. EPLD-CPLD

c. FPGA

I. 5. Performances comparées

I. 6. Environnement de développement

a. les programmateurs

b. les systèmes de développement

I.7. Liste des abréviations

Plan (suite)

II. Les technologies d ’interconnexion

II.1. Les cellules à fusible ou antifusible

a. les cellules à fusible

b. les cellules antifusible à diélectrique

c. les cellules antifusible en silicium amorphe

II.2. Les cellules reprogrammables

a. le transistor MOS à grille flottante

b. les cellules UVPROM

c. les cellules EEPROM

d. les cellules Flash EPROM

e. les cellules SRAM

II.3. Conclusion

III. Architectures

III.1. Introduction

a. Modes de codage des fonctions

b. Modes d ’interconnexion

Plan (suite)

III.2. PLD
- a. codage des fonctions - matrice PLA
- b. PAL
- c. GAL et PALCMOS
- d. Exemple : 22V10
- e. Conclusion sur les PLDs

III.3. EPLD - CPLD
- a. Architecture
- b. Les ressources d ’interconnexion
- c. famille AMD Mach 5
- d. Xilinx XC95000
- e. Altera Flex 8000
- f. ispLSI de Lattice
- g. Conclusion sur les CPLDs

III.4. FPGA
- a. Généralités
- b. FPGA de type SRAM : Xilinx
- c. FPGA à antifusible : Actel
- d. Conclusion sur les FPGAs

III.5. Tableau récapitulatif

III.6. Dernières évolutions

Plan (suite)

IV. Méthodes de conception

IV.1. Choix d ’un type de composant

a. Caractérisation des fonctions

b. critères de choix

IV.2. Méthodologie de conception

a. Flot de conception

b. Environnement logiciel

c. Flot de données

d. Choix du mode de description

IV.3. Optimisation de la conception

a. Composants de type PLD-CPLD

b. Composants de type FPGA antifusible

c. Composants FPGA SRAM

Annexes :

Circuits disponibles

Répartition du marché

Sources

I. Généralités
I.1. Présentation

- Différentes approches pour un système logique
  - logique standard
  - ASIC
  - logique programmable
- Progression constante de l ’intégration :
  - diminution des coûts, de la consommation et de la taille des systèmes
  - amélioration des performances et de la fiabilité
- 80 : composants programmables

  90 : FPGA complexes
- Développement du domaine avec des méthodes de conception spécifiques

I.2. Pourquoi des circuits programmables ?

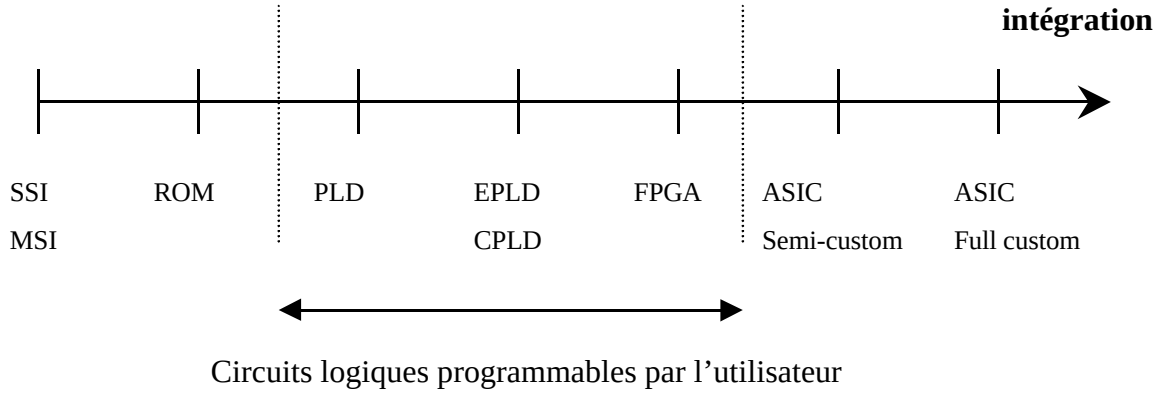
- **Logique standard**
  - fonction figée par le constructeur
  - intégration faible
  - coût faible
  - disponibilité immédiate
- **Logique programmable**
  - fonction à programmer par l ’utilisateur
  - intégration élevée
  - coût ?
  - Temps de développement nécessaire
- **ASIC**
  - à développer par le concepteur
  - très grande intégration
  - coût important
  - temps de développement important

I.2. Pourquoi des circuits programmables ?

- /Logique standard
  - gain de place
  - gain en nombre de connexions
  - fiabilité augmentée
  - gain en vitesse et en consommation
  - possibilité d ’évolution
  - confidentialité

- /ASIC
  - temps de développement plus court
  - souplesse d ’utilisation
  - coût moindre

I.3. Classification des circuits



a. Classification des ASICs

✳ Full Custom

- ➢ à la demande : conception au niveau transistor, forte densité d 'intégration (> 1 Mportes), délai de mise au point important
- ➢ Standard Cell, précaractérisés : à partir de cellules fonctionnelles de dimensions standard avec des caractéristiques électriques connues contenues dans une bibliothèque logicielle

I.3. Classification des circuits

✳ Semi Custom

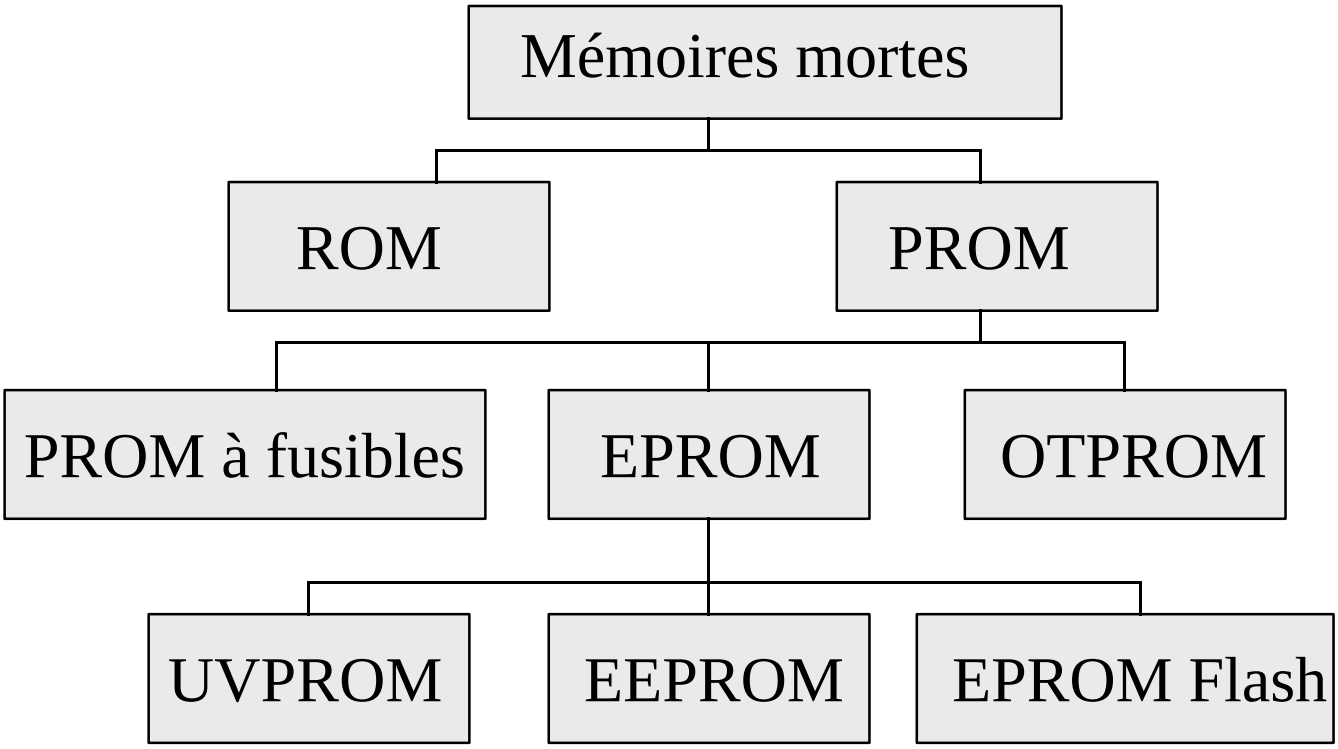
➢ gate array, prédiffusés : constitués de matrices de portes ou de cellules déjà diffusées dans le silicium mais non interconnectées. Les délais de mise au point sont réduits mais pas d ’optimisation en surface et en vitesse.

b. Classification des circuits logiques programmables

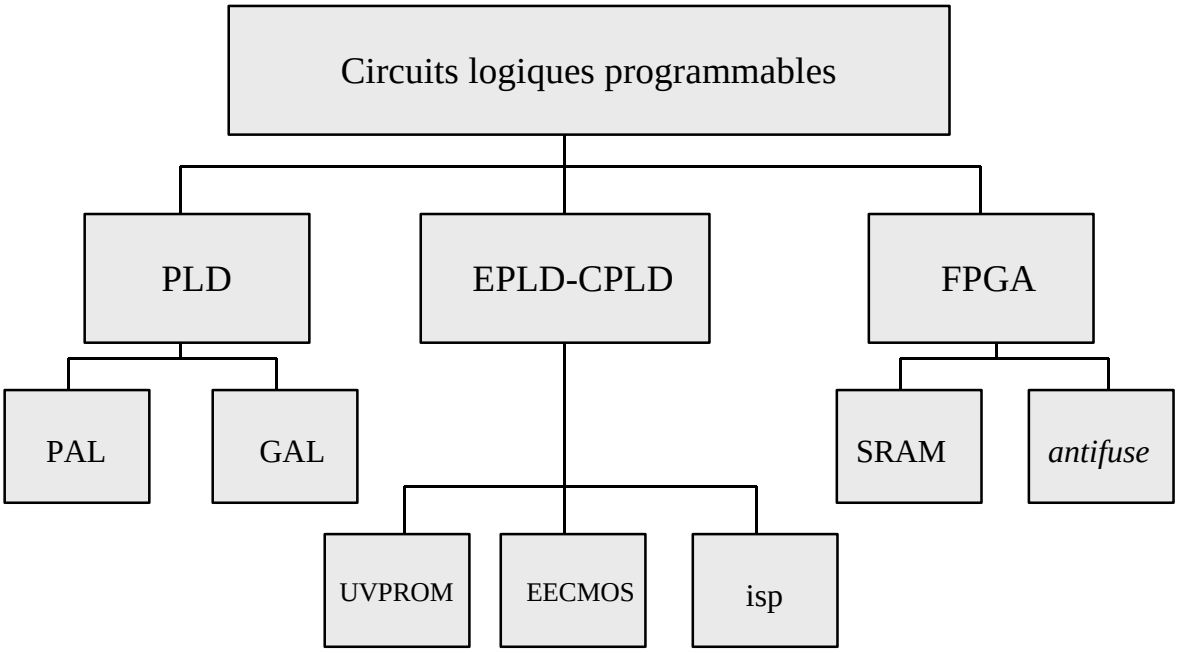
- PLD : Programmable Logic Device réseau logique programmable composés de réseau de ET et de OU
- EPLD : Erasable Programmable Logic Device ou CPLD : Complex Programmable Logic Device constitué de plusieurs blocs de type PLD reliés par un réseau d ’interconnexions
- FPGA : Field Programmable Gate Array ou LCA : Logic Cell Array (Xilinx) matrices de cellules simples identiques reliables par des interconnexions programmables

I.3. Classification des circuits

c. Classification des mémoires mortes



I.4. Domaine des circuits logiques programmables



a. les PLD

- densité de quelques centaines de portes
- architecture ET/OU programmable
- limites : nombre de bascules, nombre de signaux d 'E/S, rigidité du plan logique ET/OU et de ses interconnexions
- conception sous forme de langages d 'équations, d 'automates…

PAL : *Programmable Array Logic*

- PAL bipolaires programmables une seule fois
  - PAL combinatoires ou PAL simples (portes)
  - PAL à registres (*Field Programmable Logic Sequencer*)
- PAL CMOS ≅ GAL

GAL : *Generic Array Logic* ; programmables et effaçables électriquement ou PALCMOS ou EEPAL ou PALEECMOS

I.4. Domaine des circuits logiques programmables

b. EPLD-CPLD

Erasable PLD ou *Complex PLD*

Les EPLD sont programmables électriquement et effaçables aux UV ; les EEPLD sont effaçables électriquement

Principe similaire aux PAL mais avec interconnexions réalisées en techno UVPROM

On trouve également les pLSI et ispLSI (*in situ programmable*)

c. FPGA

Field Programmable Gate Array ou réseau de portes programmable par l 'utilisateur

C 'est un ensemble de blocs logiques élémentaires que l 'utilisateur peut interconnecter pour réaliser les fonctions logiques de son choix

La densité des portes est importante et sans cesse en évolution

- FPGA à SRAM ou LCA *Logic Cell Array*

  introduit en 1985 par Xilinx à base de SRAM pour configurer les connexions

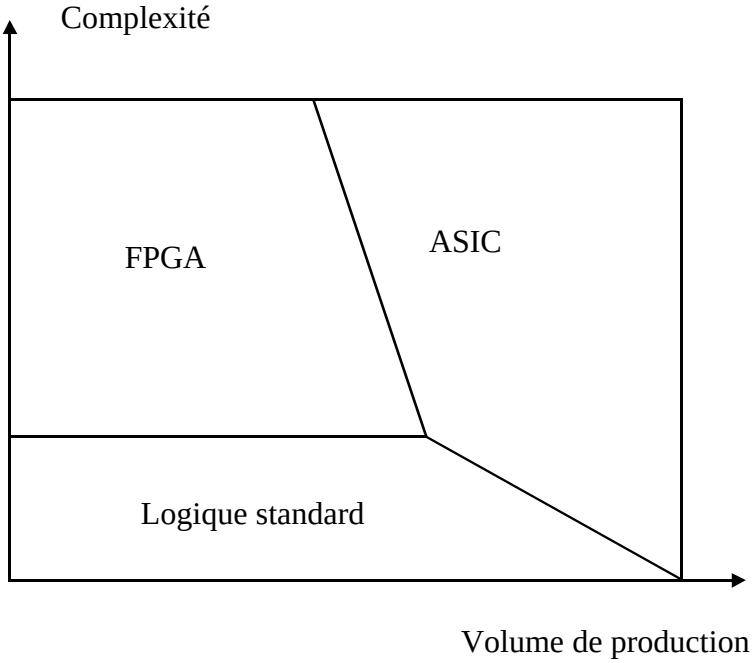
  logique non dédiée avec des solutions d 'interconnexions souples et efficaces
- FPGA à antifusibles

  nés en 1990 Actel

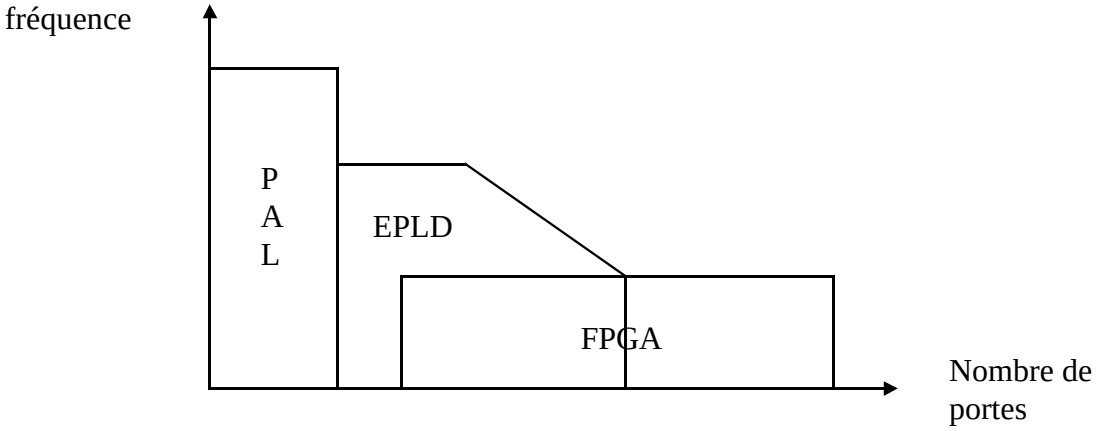
  programmables électriquement par l 'utilisateur non effaçables

I.5. Performances comparées

- Complexité (nombre de portes)/volume de production



- Fréquence utile/nombre de portes



I.6. Environnement de développement

a. Programmateurs

standard JEDEC

génère les chronogrammes nécessaires à la programmation du circuit en fonction des spécifications de son fabricant

- autonomes de production
  - phase de production : plusieurs circuits simultanément
  - 1 seul type de produit
- autonomes de laboratoire
  - une seule pièce à la fois
  - divers circuits logiques
- cartes de programmation
  - avec microordinateur PC + logiciel de pilotage

I.6. Environnement de développement

b. Systèmes de développement

- entrées :
  - équations logiques
  - tables de vérité
  - schémas logiques
  - VHDL
  - Abel ...
- systèmes sur PC
- production d ’un fichier JEDEC transmissible à n ’importe quel programmateur normalisé
- association système de développement / carte de programmation PC courante

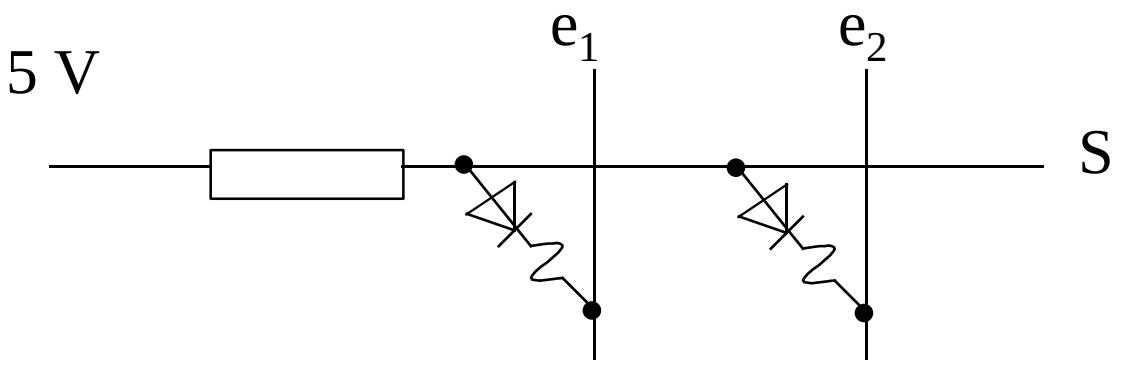
I.7. Liste des abréviations

- **ASIC** *Application Specific Integrated Circuit* - Circuit intégré conçu à la demande
- **BLMC** *Buried Logic Macrocell* - Macro cellule logique enterrée
- **CC** *Chip Carrier* - Boîtier "porteur de puce"
- **CPLD** *Complex Programmable Logic Device* - Réseau logique programmable complexe
- **DRAM** *Dynamic Random Access Memory* - Mémoire dynamique à accès aléatoire
- **DSP** *Digital Signal Processor* - Processeur orienté vers le traitement du signal
- **EDIF** *Electronic Design Interchange Format*
- **EEPLD** *Electrically Erasable Programmable Logic Device* - PLD effaçable électriquement
- **EEPROM** *Electrically Erasable PROM* - Mémoire à lecture seule, électriquement effaçable
- **EPLD** *Erasable Programmable Logic Device* - Réseau logique programmable effaçable
- **EPROM** *Erasable Programmable Read Only Memory* - Mémoire à lecture seule effaçable
- **FPGA** *Field Programmable Gate Array* - Réseau de portes programmables
- **FPROM** *Field Programmable Read Only Memory*
- **GAL** *Generic Array Logic* - PAL générique
- **ISP** *In-System (In Situ) Programmable* - Composant programmable sur carte
- **JEDEC** *Joint Electronic Device Engineering Council* - Organisme de normalisation
- **JTAG** *Joint Test Action Group* - Bus de test des composants
- **LCA** *Logic Cell Array (Xilinx)* - Réseau de cellules logiques
- **LUT** *Look-Up Table*
- **MAX** *Multiple Array Matrix* - Megapals d'Altera
- **NOVRAM** ou NVRAM *Non Volatile Random Access Memory* - RAM non volatile
- **OTP** *One Time Programmable* - Programmable une seule fois
- **PAL** *Programmable Array Logic* - Réseau logique programmable
- **PGA** *Programmable Gate Array* - Réseau de portes programmable
- **PLA** *Programmable Logic Array* - Réseau logique programmable
- **PLD** *Programmable Logic Device* - Dispositif logique programmable
- **POF** *Programmer Object File* - Fichier objet pour programmateur
- **PROM** *Programmable Read Only Memory* - Mémoire à lecture seule programmable
- **RAM** *Random Access Memory* - Mémoire à accès aléatoire
- **ROM** *Read Only Memory* - Mémoire à lecture seule
- **SDF** *Standard Delay File*
- **SOG** *Sea-of-Gates* - Mer de portes : réseau actif logique prédiffusé
- **SRAM** *Static Random Access Memory* - Mémoire statique à accès aléatoire
- **TTL** *Transistor Transistor Logic* - Logique transistor-transistor
- **VHDL** *VHSIC Hardware Description Language* - Langage de description matérielle VHSIC
- **VHSIC** *Very High Speed Integrated Circuit* - Circuit intégré à très grande vitesse
- **XNF** *Xilinx Netlist Format* - Format de fichier Xilinx

II. Les technologies d ’interconnexion

II.1. Les cellules à fusible ou antifusible

a. les cellules à fusible



ET câblé

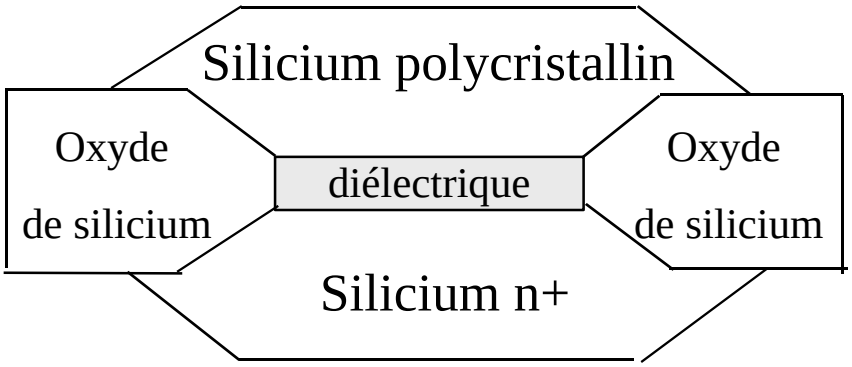
$S = e_1 . e_2$

établie par défaut, la connexion est supprimée par claquage du fusible, obtenu par l ’application d ’une tension (de 12 à 25 V)

II.1. Les cellules à fusible ou antifusible

b. les cellules antifusible à diélectrique

disposition verticale → gain en surface



élaboré par Actel en 1986

PLICE : Programmable Low Impedance Circuit Element

sandwich conducteur/isolant/conducteur

surface de la cellule = 1,8 µm²

c. les cellules antifusible en silicium amorphe

technologie introduite par Cypress

même fonction que la précédente avec une résistance plus faible à l 'état passant ce qui réduit les délais de propagation à travers les interconnexions

II.2. Les cellules reprogrammables

a. le transistor MOS à grille flottante

ou grille isolée

+ grille de programmation

programmation : piéger des électrons dans la grille flottante qui s ’opposent à la conduction dans le canal ; le transistor est alors équivalent à un interrupteur ouvert.

Lorsque le transistor n ’est pas programmé, la grille flottante ne contient aucun électron, le canal est conducteur et le transistor est équivalent à un interrupteur fermé.

b. les cellules UVPROM

l ’exposition d ’une durée d ’environ 20 minutes à un rayonnement UV permet d ’annuler la charge stockée dans la grille flottante.

effacement non sélectif reproductible plus d ’un millier de fois.

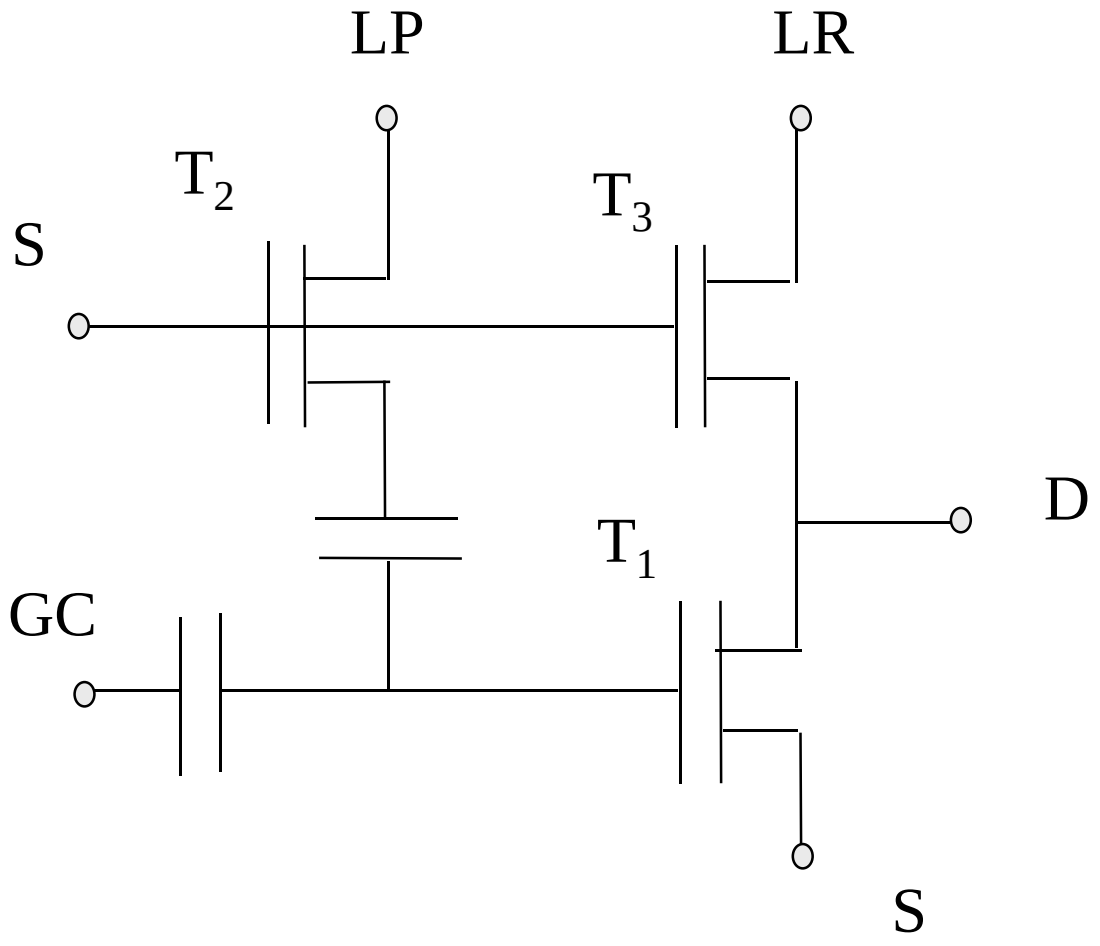
II.2. Les cellules reprogrammables

c. les cellules EEPROM

programmation et effacement réalisé électriquement

nombre de cycles de programmation :

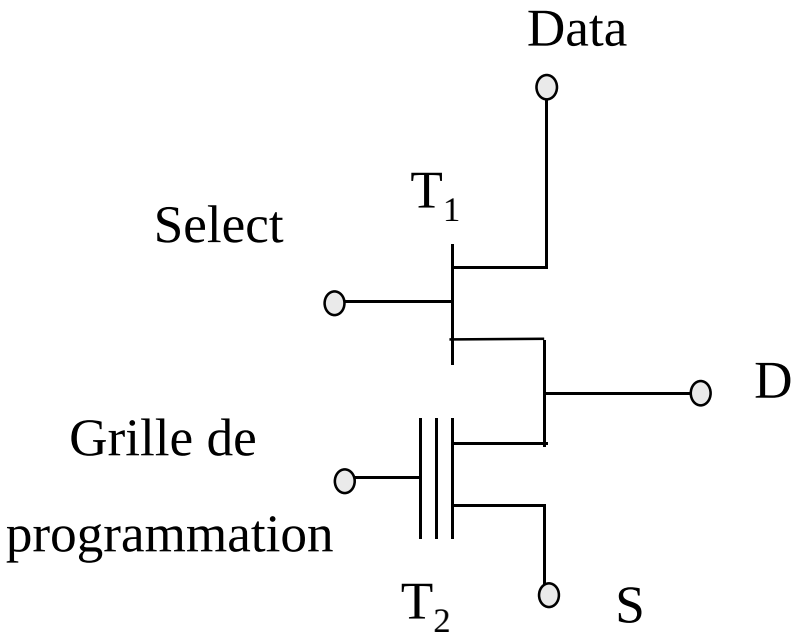
10000 en techno 0,8 µm ; 100 en techno 0,6 µm



II.2. Les cellules reprogrammables

d. les cellules Flash EPROM

un même transistor de lecture et de programmation T_2.



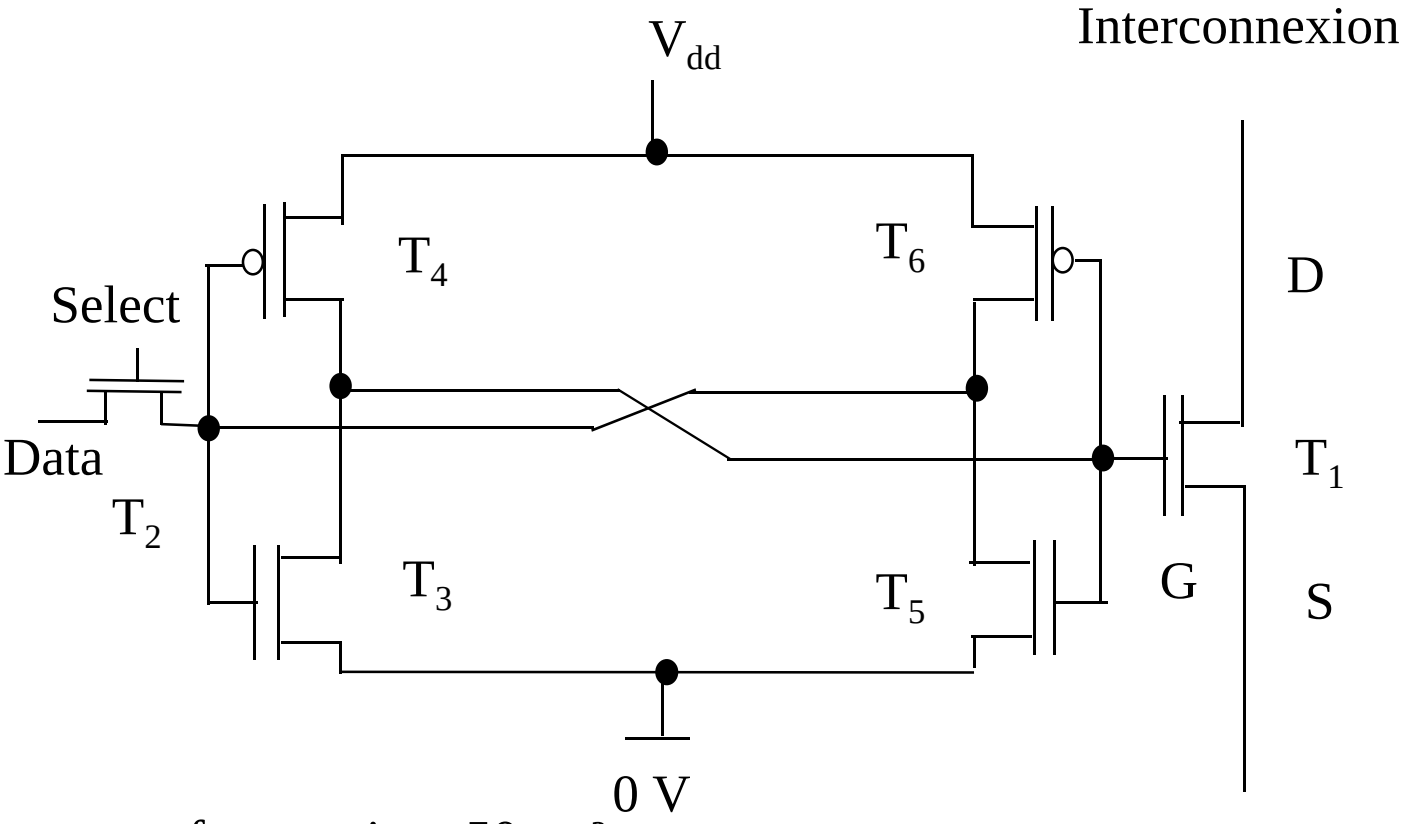
Programmation 1000 fois plus rapide que l ’effacement

Plusieurs cellules sont programmées simultanément

Nombre de cycles de programmation supérieur à 10000

II.2. Les cellules reprogrammables

E. les cellules SRAM



surface environ 50µm²

chargement d 'une nouvelle configuration partielle ou totale possible en cours d 'utilisation

rapidité de quelques dizaines de ns par cellule

nécessité de charger la configuration à chaque mise sous tension : mémorisation externe

II.3. Conclusion

- Critères pour les interconnexions :
  - rapidité de propagation à travers l ’interrupteur (produit résistance - capacité parasite)
  - densité possible des interconnexions (surface de la cellule)
  - facilité d ’utilisation (ISP, support, PROM de configuration)
  - maintien de la configuration (volatile)
  - reprogrammablilité (OTP)

Type d'interconnexion	**EPROM**	**Antifusible**	**SRAM**
Rapidité	-	+	-
Densité	-	+	--
Facilité	+	-	+
Reprogrammabilité	+	-	++

III. Architectures
III.1. Introduction

PLD → FPGA ← ASIC

a. Modes de codage des fonctions combinatoires

- PLA : réalisation de termes produit dans un réseau d ’interconnexions
- LUT : Look Up Table ; des mémoires contiennent l ’équivalent f ’une table de transposition (SRAM)
- MUX : multiplexeurs câblés

b. Modes d ’interconnexions

	PLA	LUT	MUX
EPROM	X		
SRAM		X	
Antifuse			X

	PLA	LUT	MUX
PLD	X		
CPLD	X	X	
FPGA		X	X

III.2. PLD

a. Codage des fonctions : matrice PLA

- toute fonction combinatoire peut être exprimée sous forme d ’une somme de termes produits ou d ’un produit de termes somme
- table d ’interconnexion programmable

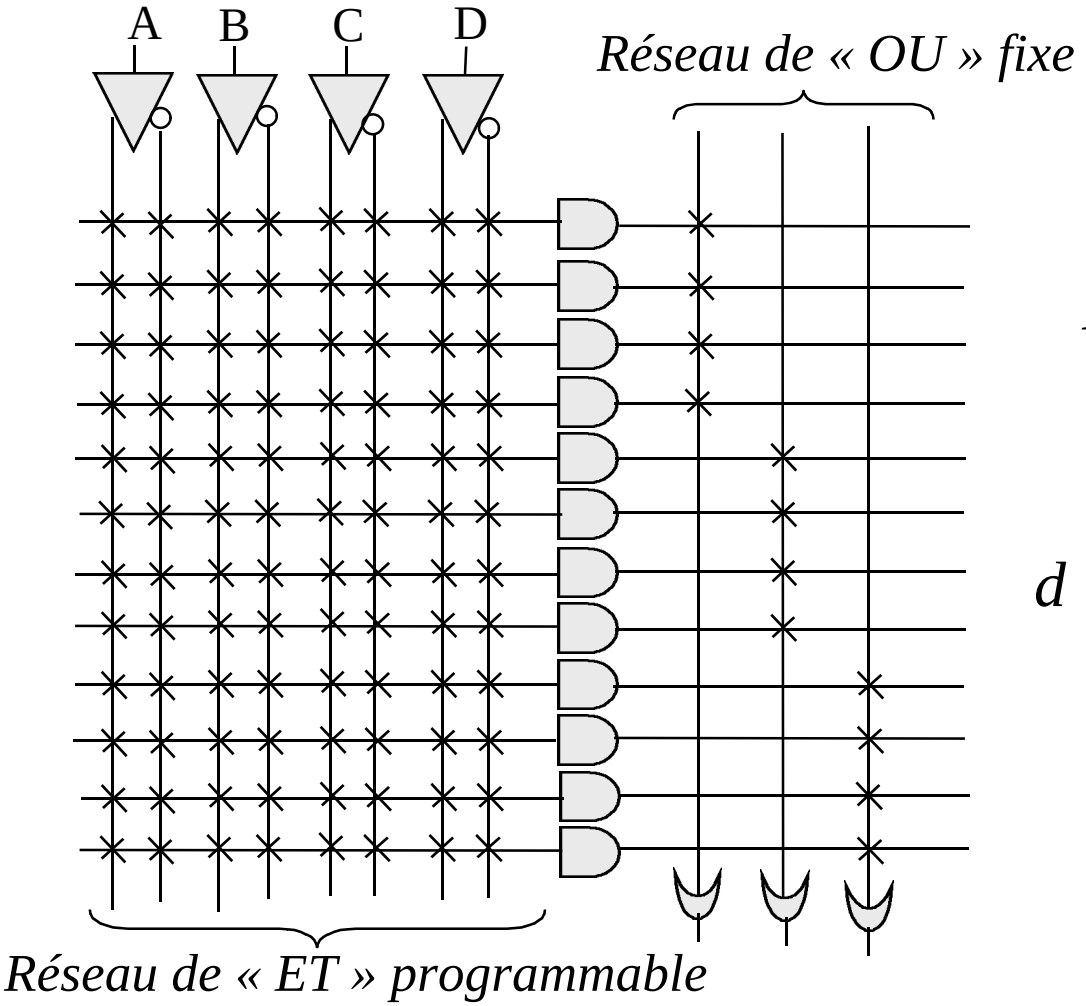
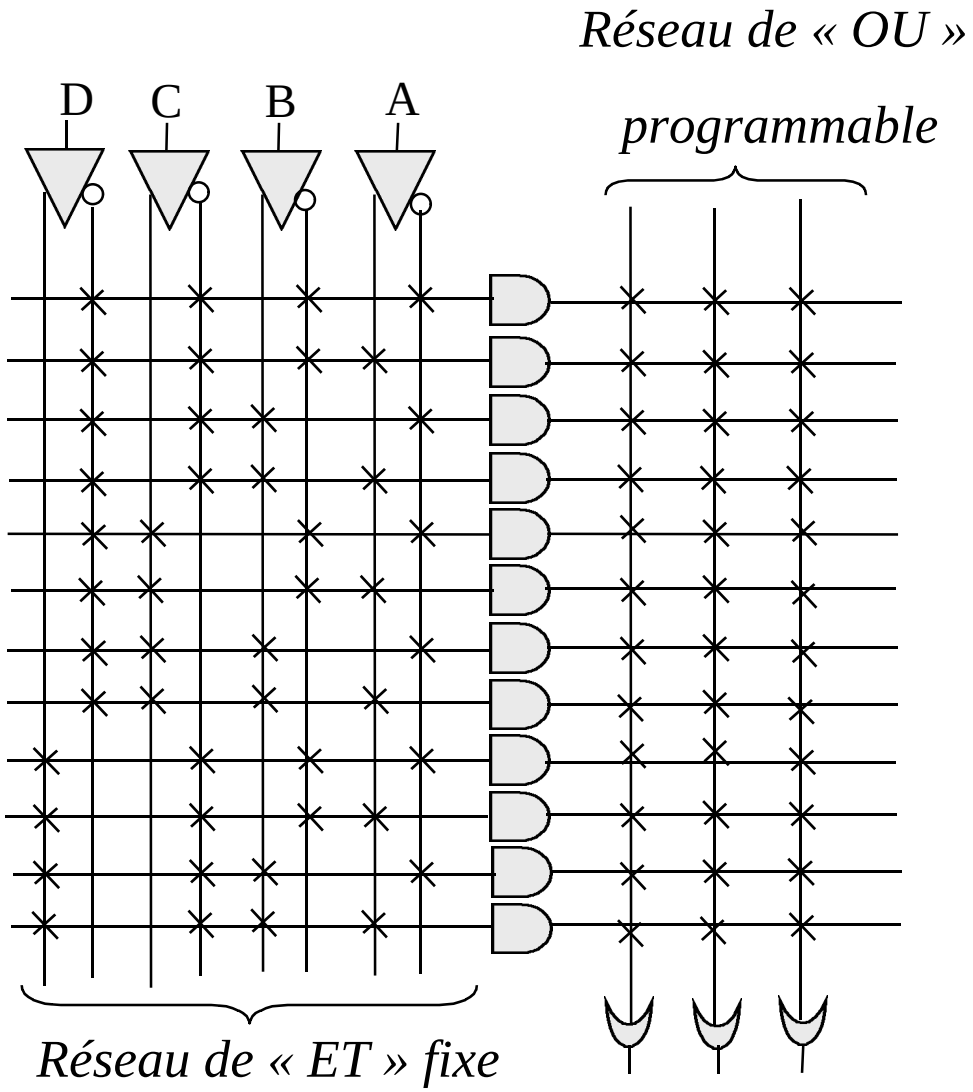


Figure 1: Structure logique d ’une PAL

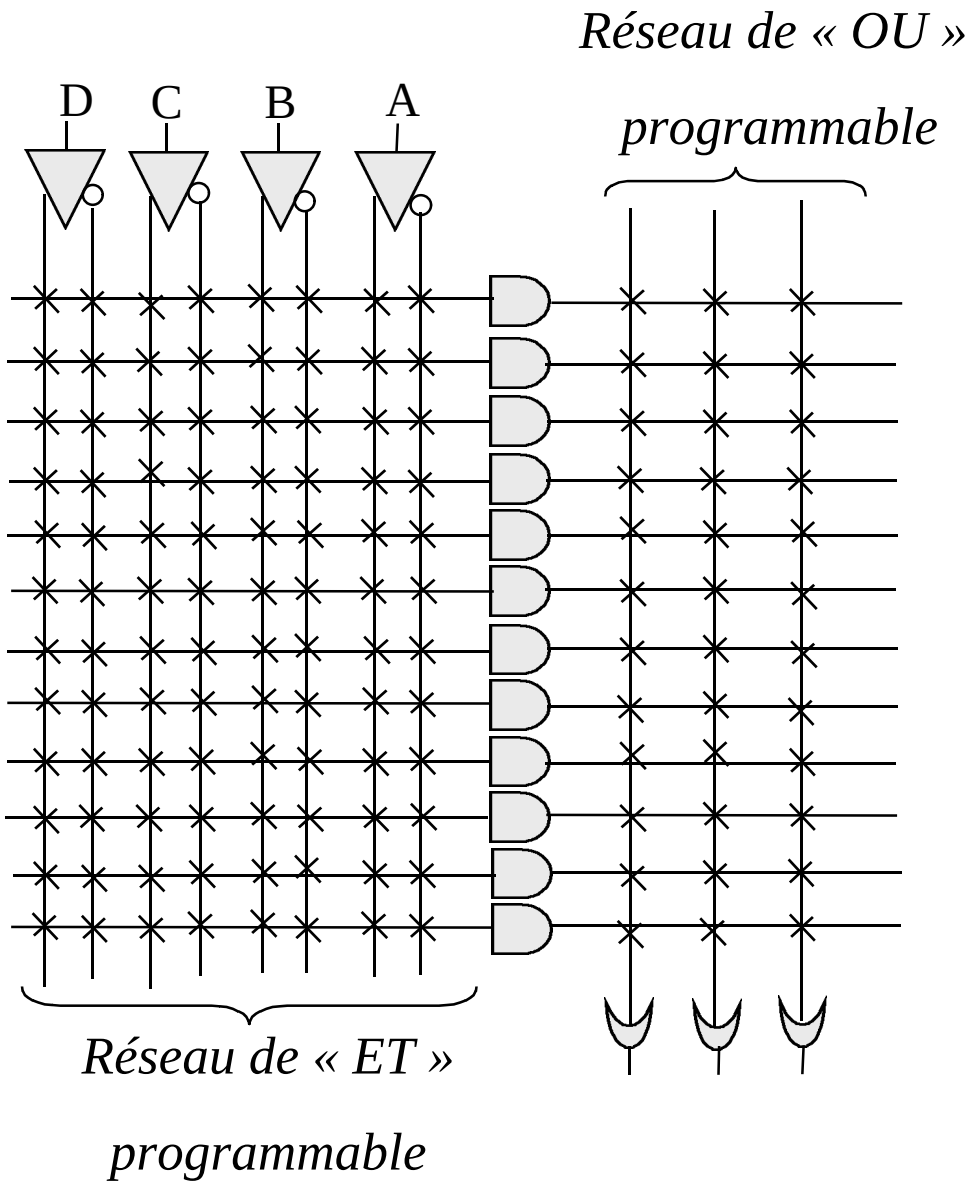
III.2. PLD

Figure 2 : Structure logique d 'une PROM



III.2. PLD

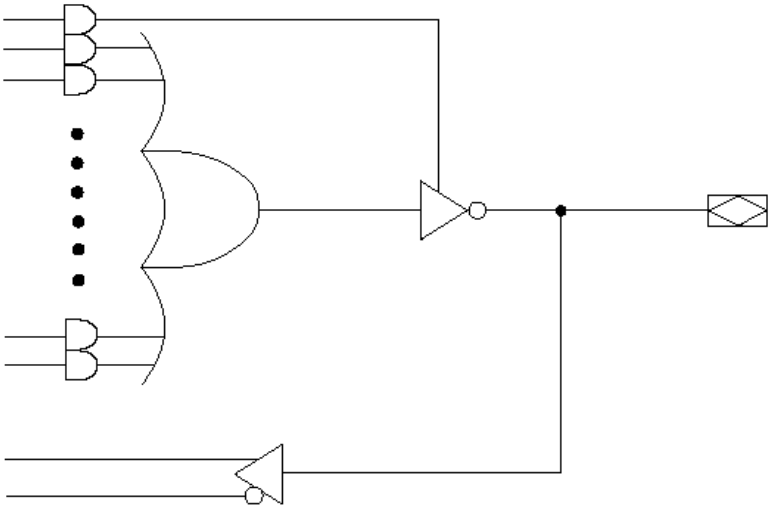
Figure 3 : Structure logique d 'un PLA



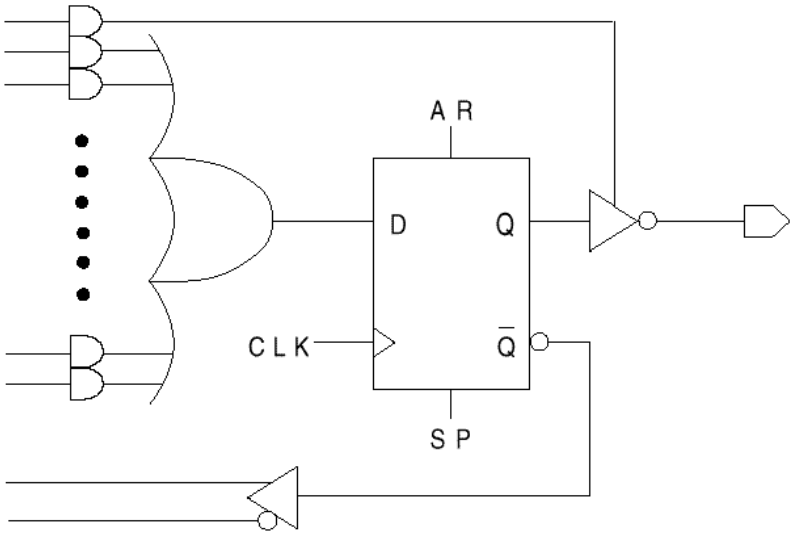
III.2. PLD

b. PAL

– combinatoires *Figure 4*



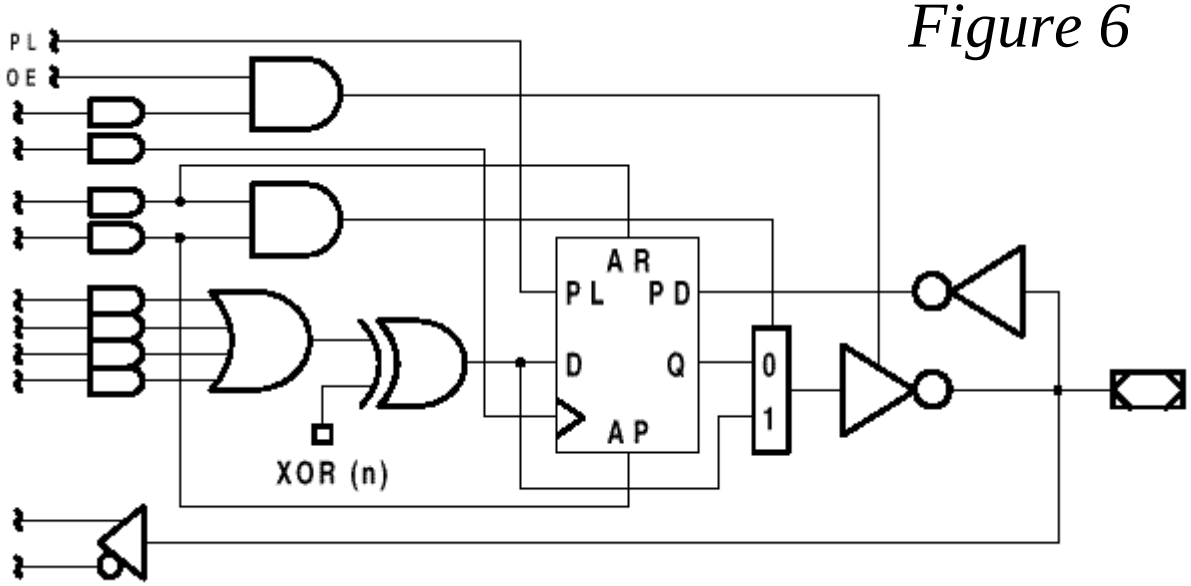
– à registres *Figure 5*



III.2. PLD

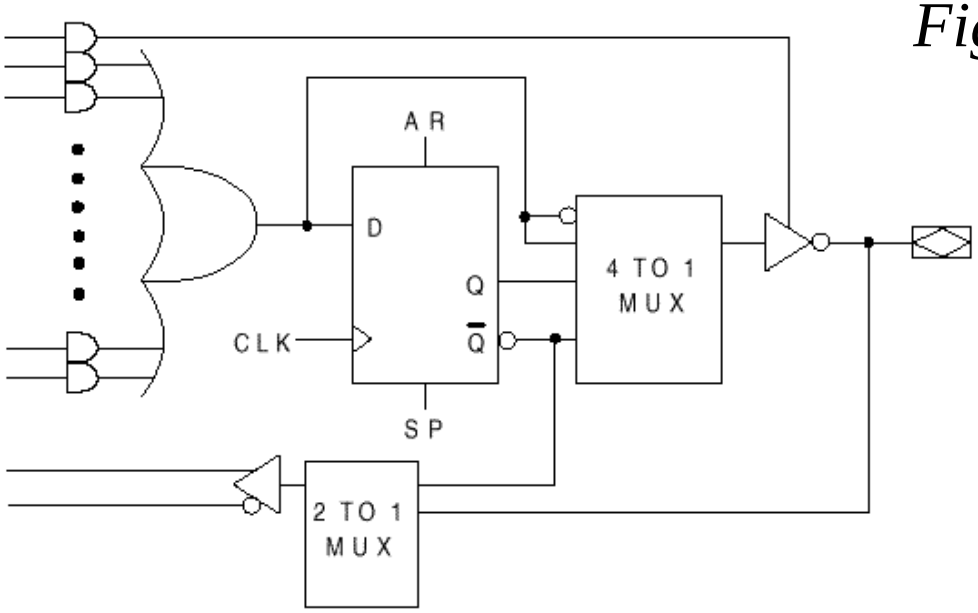
– asynchrones à registres

Figure 6



– versatiles

Figure 7



III.2. PLD

- Convention de dénomination

PAL (CE) II AB 00 C ZZ DEF

CMOS

nombre d ’entrées

structure de sortie

nombre de sorties

consommation

vitesse

type de boitier

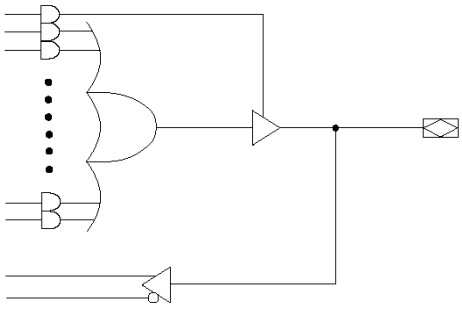
- Types de sorties

Type	Structure de sortie
H	combinatoire à logique positive
L	combinatoire à logique négative
P	combinatoire à polarité programmable
C	combinatoire à logique complémentaire
R	logique à registre
RA	logique asynchrone à registre
RP	logique à registre programmable
V	logique à macrocellules (versatiles)

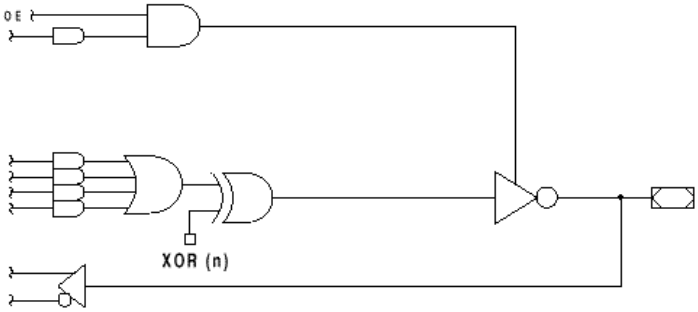
III.2. PLD

Figure 8 : Différents types de sortie PAL

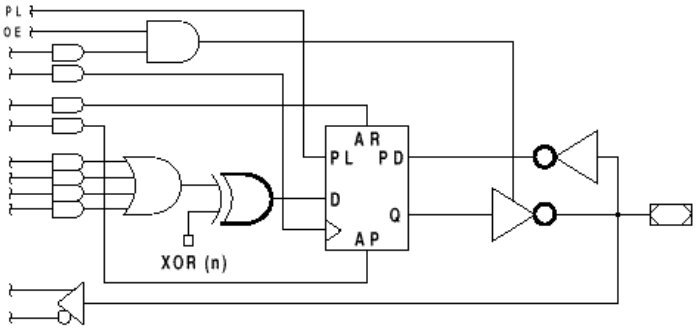
« H » actif au niveau haut



« P » combinatoire à polarité programmable



« V » avec registre et polarité programmable



III.2. PLD

- Programmation
  - réalisation du composant (entrée syntaxique ou schématique)
  - définition des vecteurs de test (stimuli) sous forme syntaxique ou à l ’aide de l ’outil de simulation
  - simulation fonctionnelle et/ou temporelle à partir de ces vecteurs (éventuellement retour à l ’étape 1)
  - génération du fichier JEDEC
  - insertion des vecteurs de test dans le fichier JEDEC (patterns de simulation et résultats obtenus)
  - chargement du fichier dans le dispositif de programmation
  - programmation et test physique

III.2. PLD

Figure 9 : Exemple de fichier JEDEC

```
NOTES PINS CK : 1  E0 : 2  E1 : 3  E2 : 4  E3 : 5  E4 : 6  E5 : 7  E6 : 8  E7 : 9
NOTES PINS QA : 19  QB : 18  QC : 17  S : 15
L0000    11111111111111111111111111111111*
L0032    11011111111111111111111111111111*
L0256    11011110111111111111111111111111*
L0288    11101101111111111111111111111111*
L0512    11101110110111111111111111111111*
L0544    11011111111011111111111111111111*
L0576    11111101111011111111111111111111*
L1024    01011101110111111111111111111111*
L1056    11100101110111111111111111111111*
L1088    11011110010111111111111111111111*
L1120    11101110110101111111111111111111*
L1152    11011101111011110111111111111111*
L1184    11101101111011111110111111111111*
L1216    11011110111011111111111101111111*
L1248    11101110111011111111111111110111*
L2048    00000000*
L2120    00000000*
L2128    11111111111111111111111111111111111111111111111111111111111111*
L2193    1*
V0001    X0XXXXXXXNXNXXXXXXHN*
V0002    X1XXXXXXXNXNXXXXXXLN*
V0003    X0000XXXXNXNXLXXLLNN*
V0004    X0001XXXXNXNXHXXHLNN*
V0005    X0010XXXXNXNXHXXHLNN*
V0006    X0011XXXXNXNXHXXNLNN*
V0007    X0100XXXXNXNXLXXLLNN*
```

Programmation

1 : Grillé

0 : Intact

Vecteurs de test

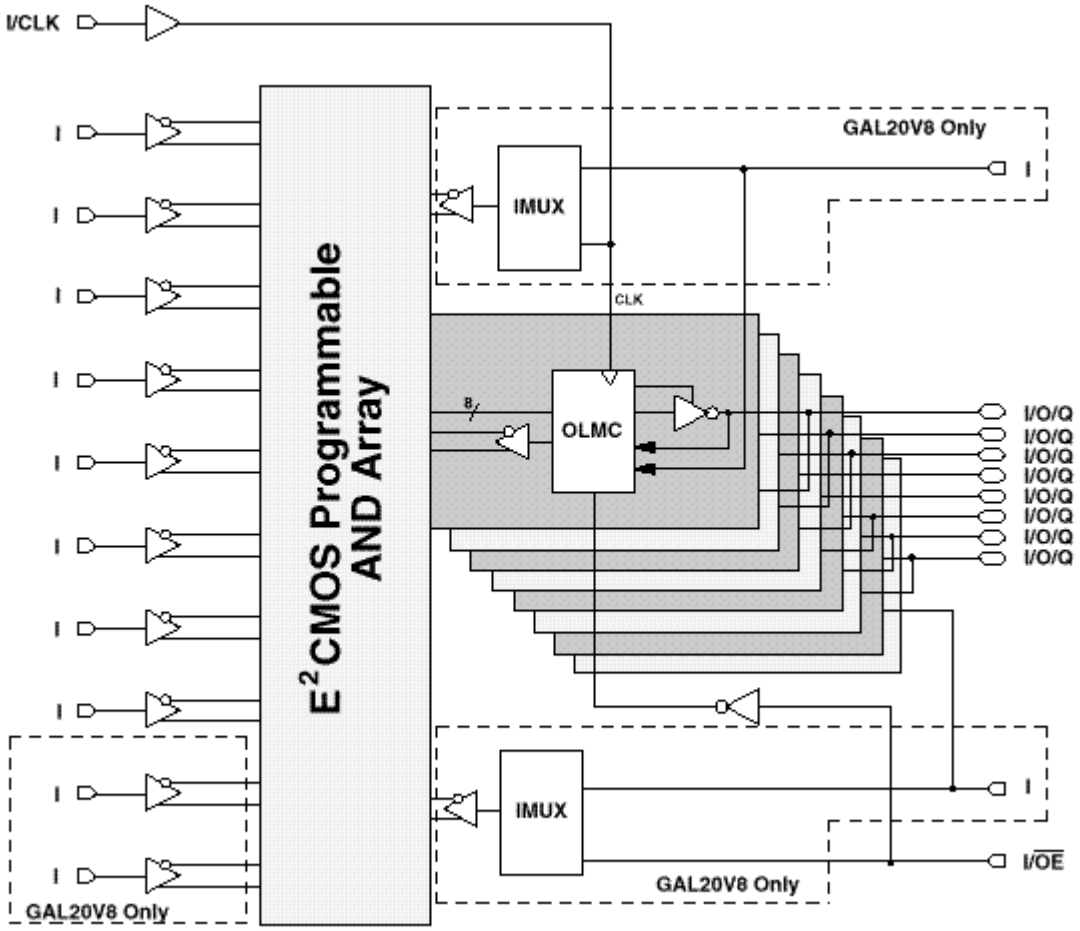
III.2. PLD

c. GAL et PALCMOS

- PAL programmables et effaçables électriquement ; mêmes références que les PAL
- consommation plus faible
- vitesse comparable
- plus de souplesse d ’utilisation
- bit de protection
- architecture :
  - <u>macrocellule</u> : bloc logique configurable et polyvalent

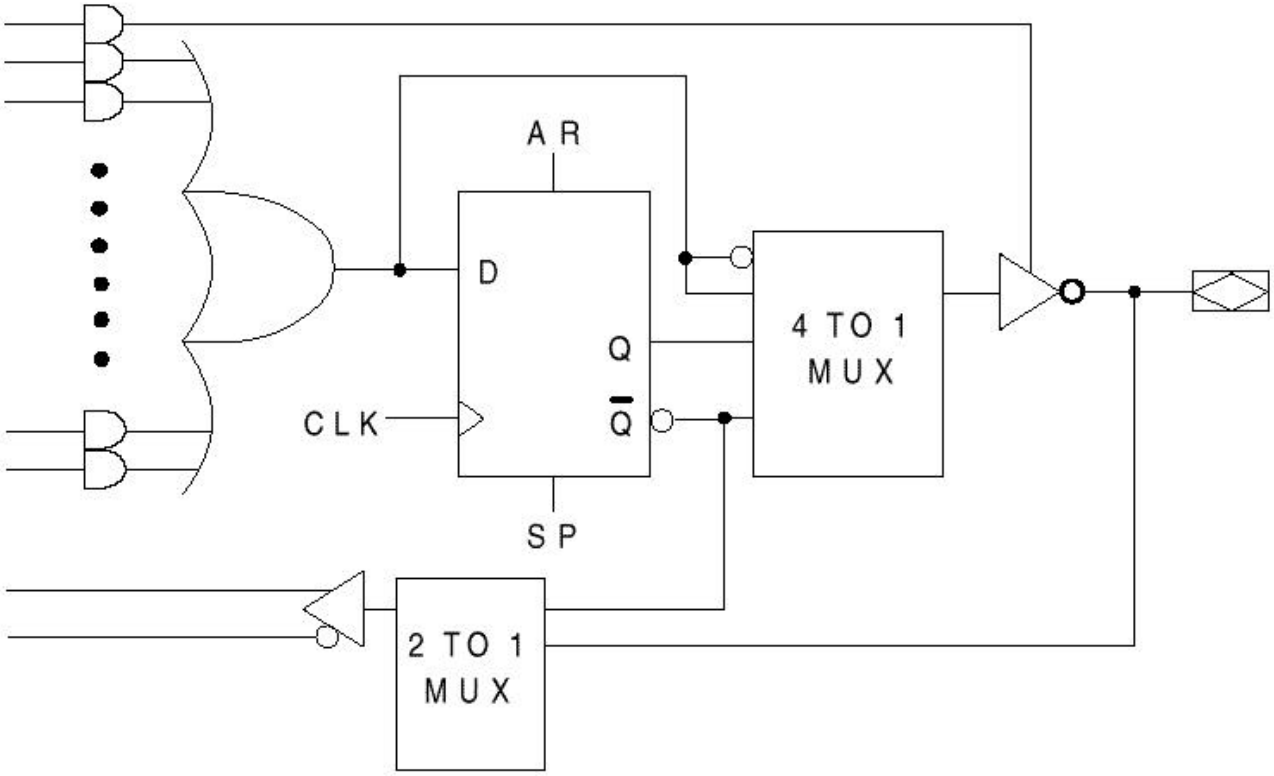
III.2. PLD

Figure 10 : Architecture des GAL et PALCMOS



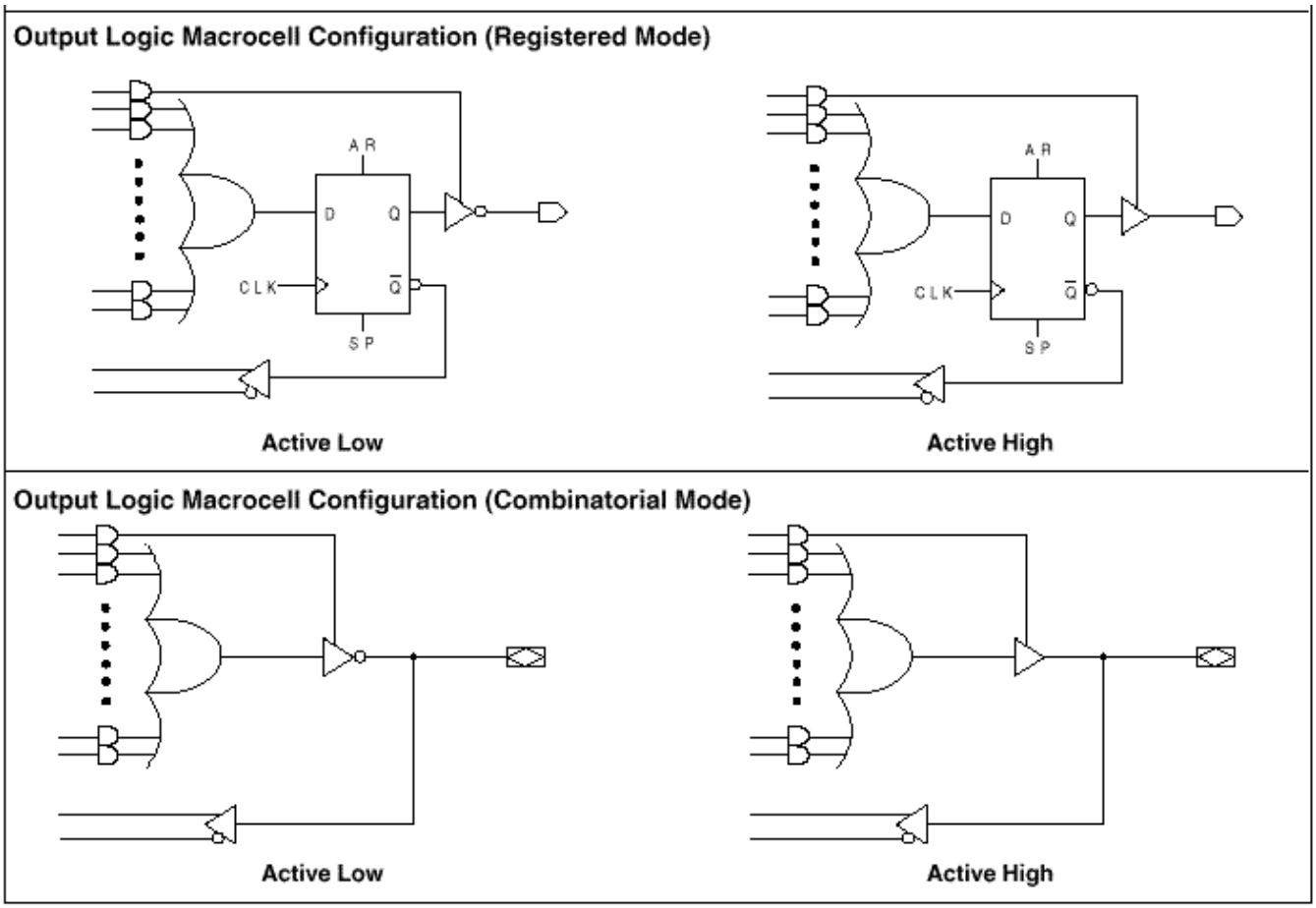
III.2. PLD

Figure 11 : Structure d ’un OLMC



III.2. PLD

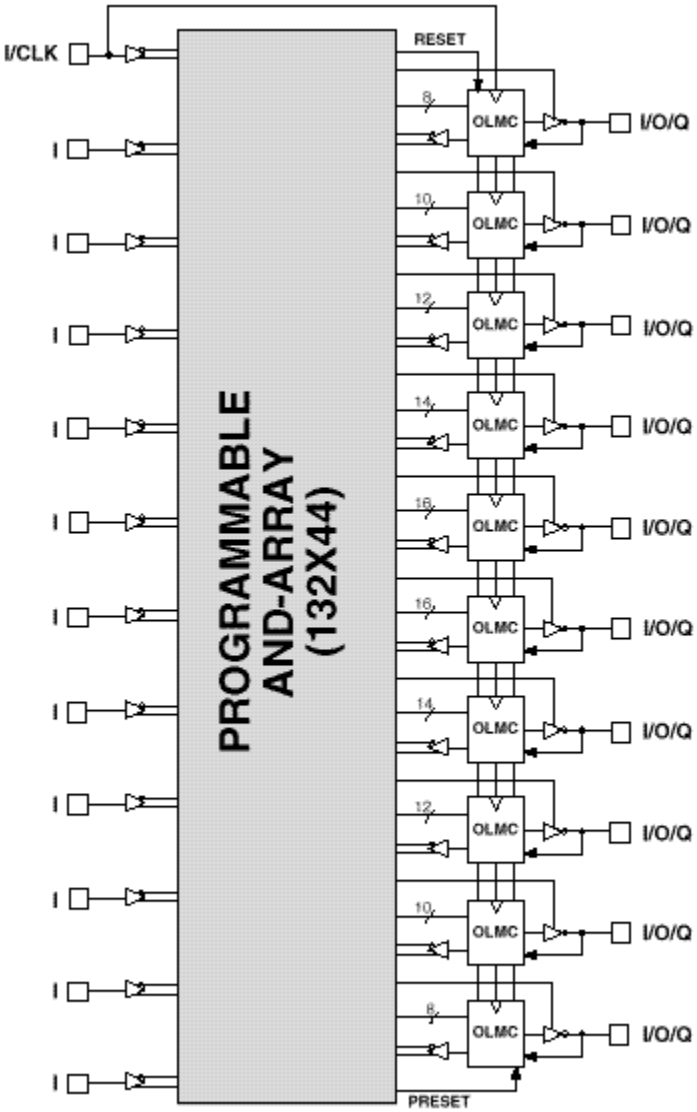
Figure 12 : Différentes configurations de l 'OLMC



III.2. PLD

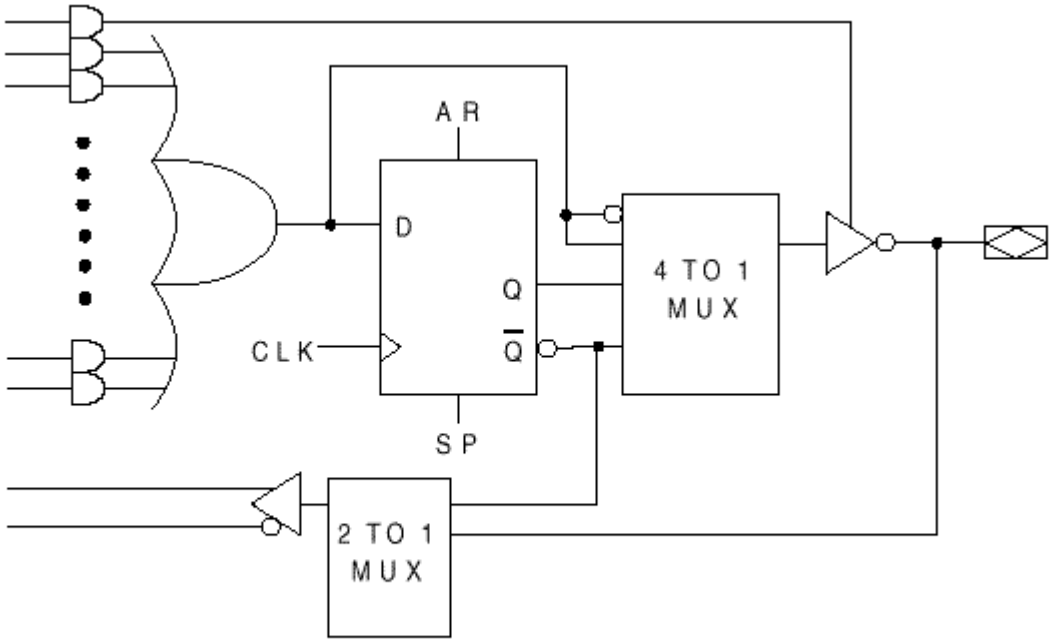
d. Exemple : 22V10

Figure 13 : Schéma fonctionnel du GAL22V10



III.2. PLD

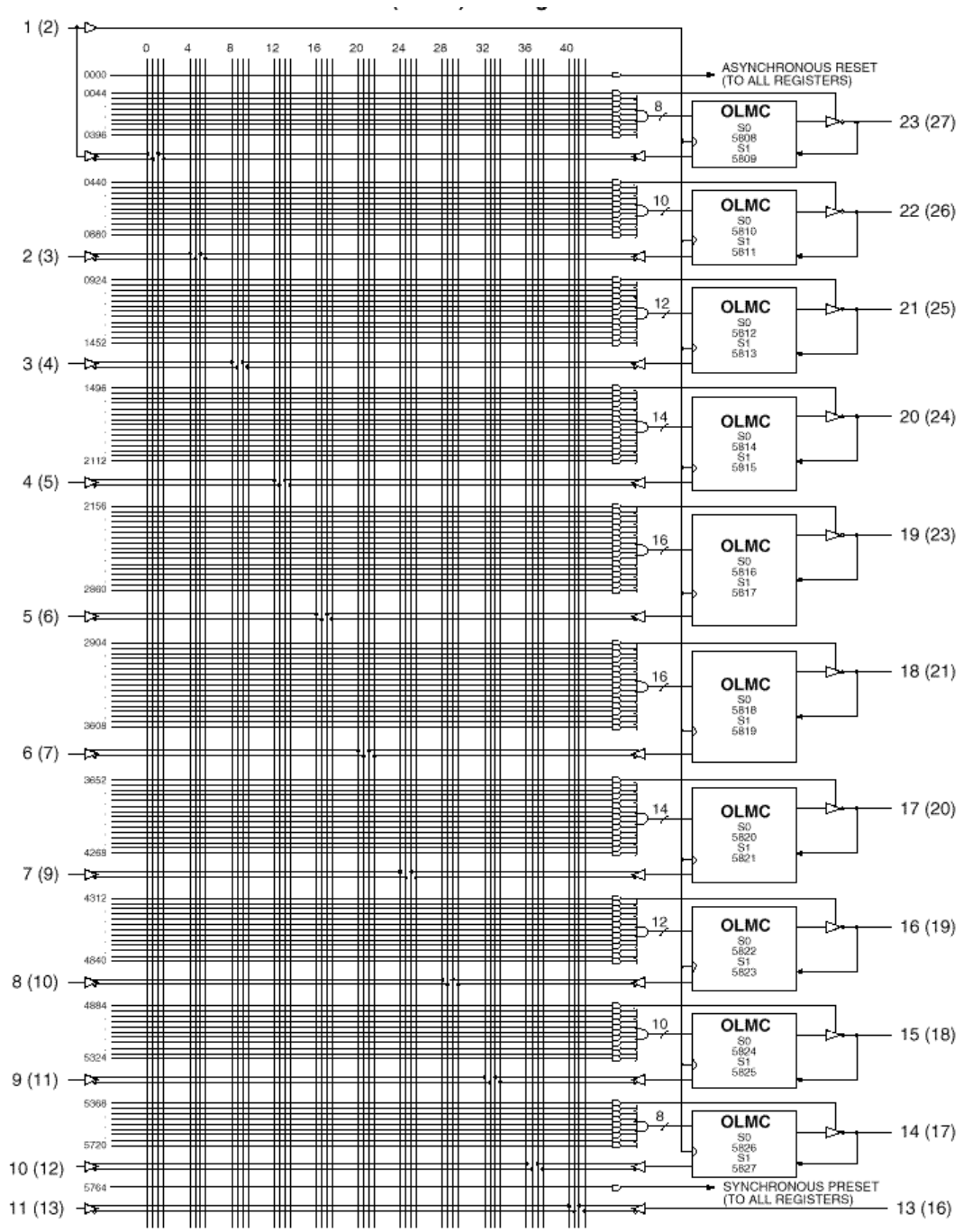
Figure 14 : Schéma de la macrocellule d ’un GAL 22V10



GAL22V10 OUTPUT LOGIC MACROCELL (OLMC)

III.2. PLD

Figure 15 : Schéma interne du 22V10

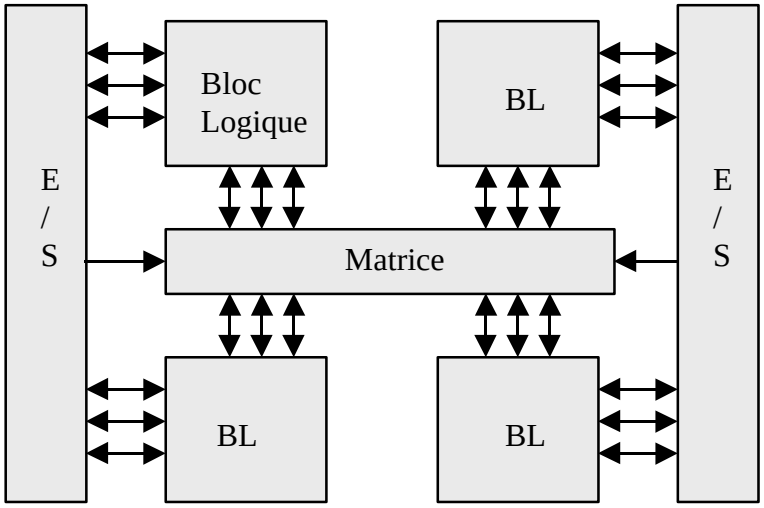


III.2. PLD

- Conclusion
  - PAL équivalent à une dizaine de circuits standard
  - une trentaine d ’E/S maximum
  - 2 technologies
    - bipolaires : plus rapides
    - CMOS effaçables
  - faible coût des circuits
  - version masquée HAL
  - coût du logiciel de développement et du programmateur

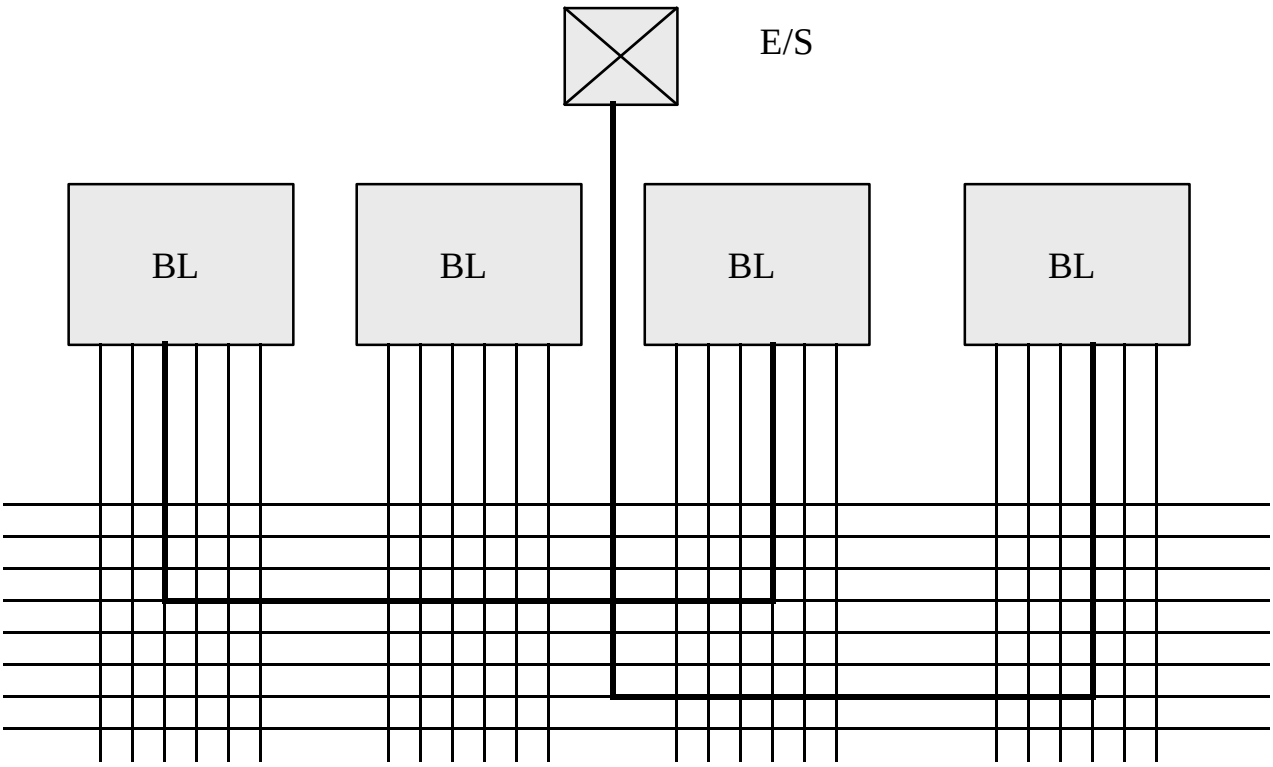
III.3. EPLD - CPLD

- Architecture
  - ensemble de fonctions de type PAL pouvant être interconnectées à l ’aide d ’une matrice
  - macrocellules de base regroupées en blocs logiques
  - 2 niveaux d ’interconnexion :
    - matrice globale
    - distribution de signaux dans chaque bloc logique



III.3. EPLD - CPLD

- Ressources d ’interconnexions
  - routage systématisé
  - modèle électrique
  - délais prédictibles
  - placement non critique
  - temps de compilation faible



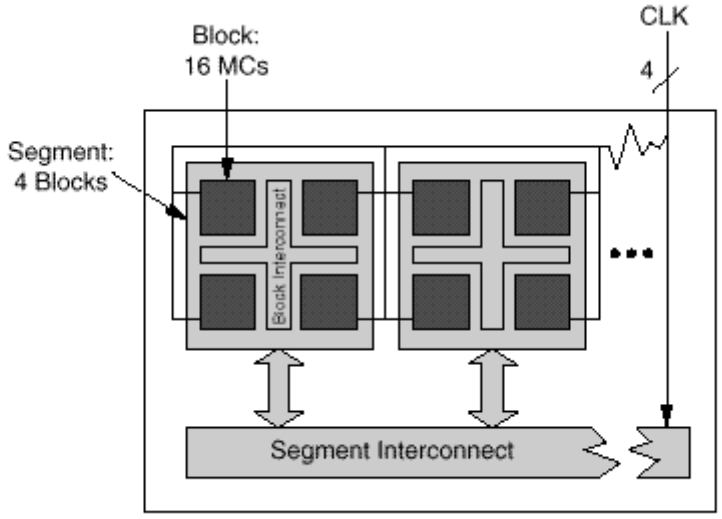
III.3. EPLD - CPLD

- Famille AMD Mach 5
  - architecture modulaire : blocs de type PAL
  - EPLD programmables et effaçables électriquement (techno EECMOS)
  - options : synchronisation des bascules sur les deux fronts d ’une horloge, programmation du slew rate, choix du compromis puissance/vitesse
  - circuits isp, compatibles JTAG, 3,3 V.

	M5-128	M5-192	M5-256	M5-320	M5-384	M5-320
Portes PLD	5000	7500	10000	12000	15000	20000
Macrocells	128	192	256	320	384	512
I/O max	120	160	160	192	192	256
puissance mA	25	40	50	60	75	100

III.3. EPLD - CPLD

Figure 16 : Architecture des Mach 5



blocs appelés segments

Chaque segment contient 4 blocs de type PAL

4 entrées d ’horloge peuvent être utilisées comme entrées normales

Un bloc PAL contient 16 macrocellules

III.3. EPLD - CPLD

Figure 17 : Bloc PAL

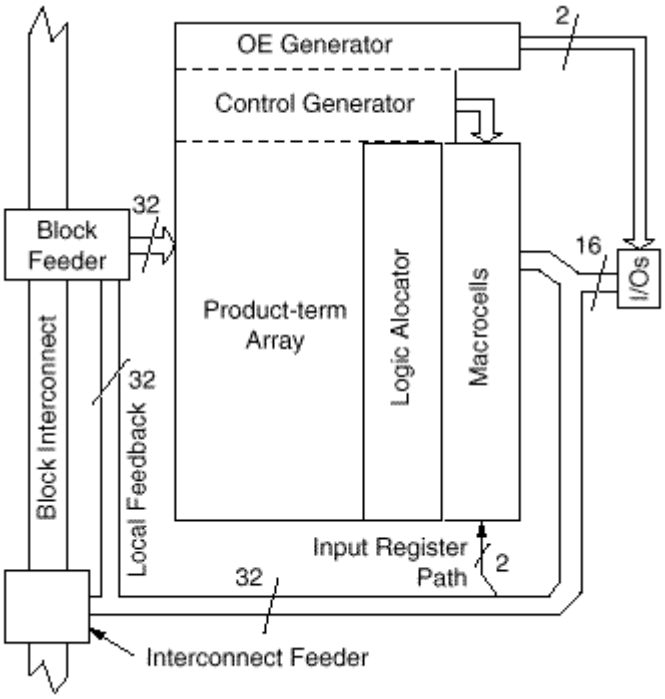
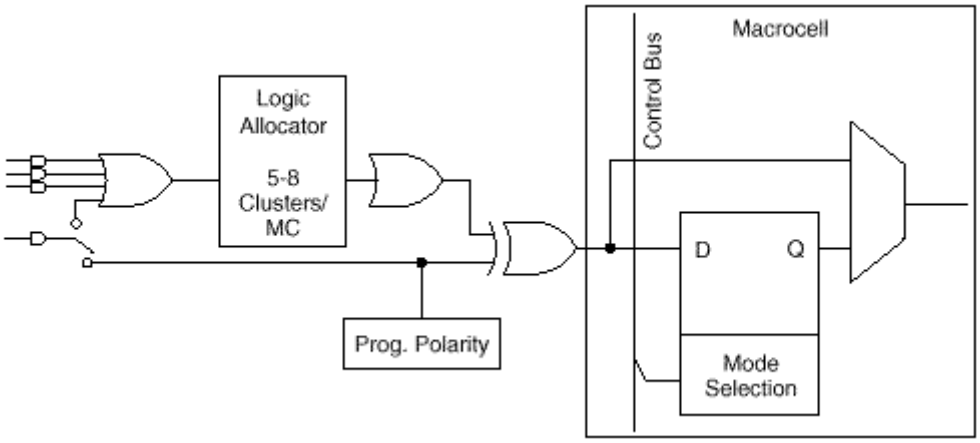


Figure 18 : Macrocellule



III.3. EPLD - CPLD

Figure 19 : Module de sortie

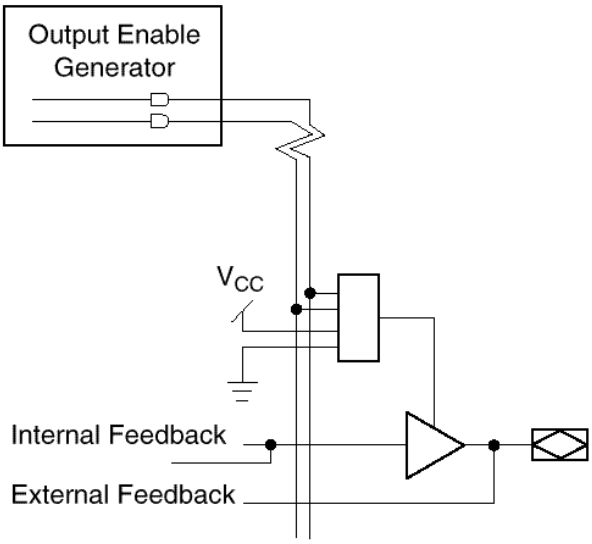
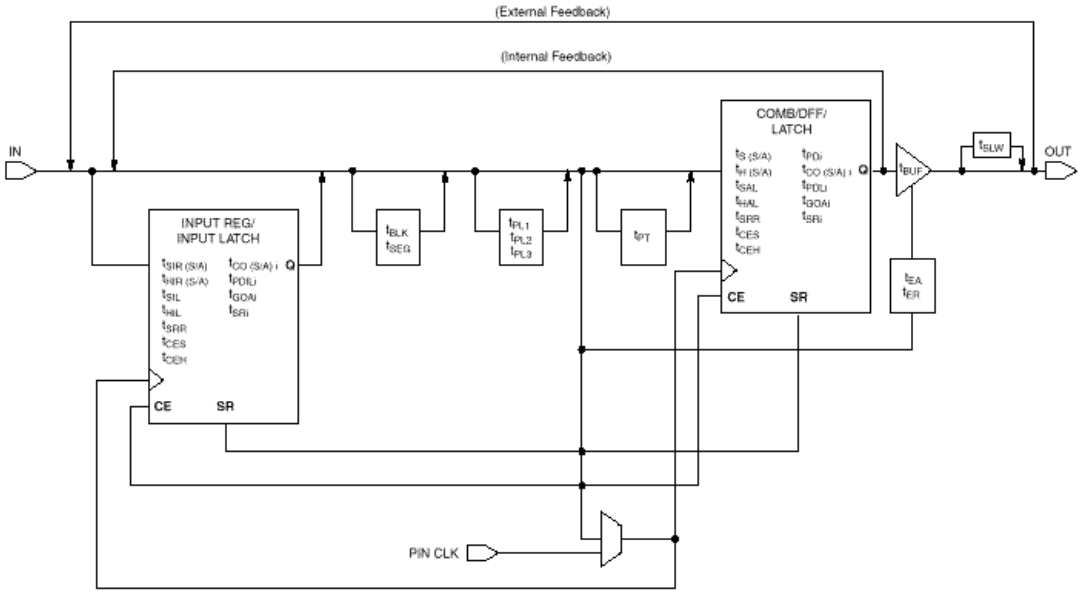


Figure 20 : Modèle de temps



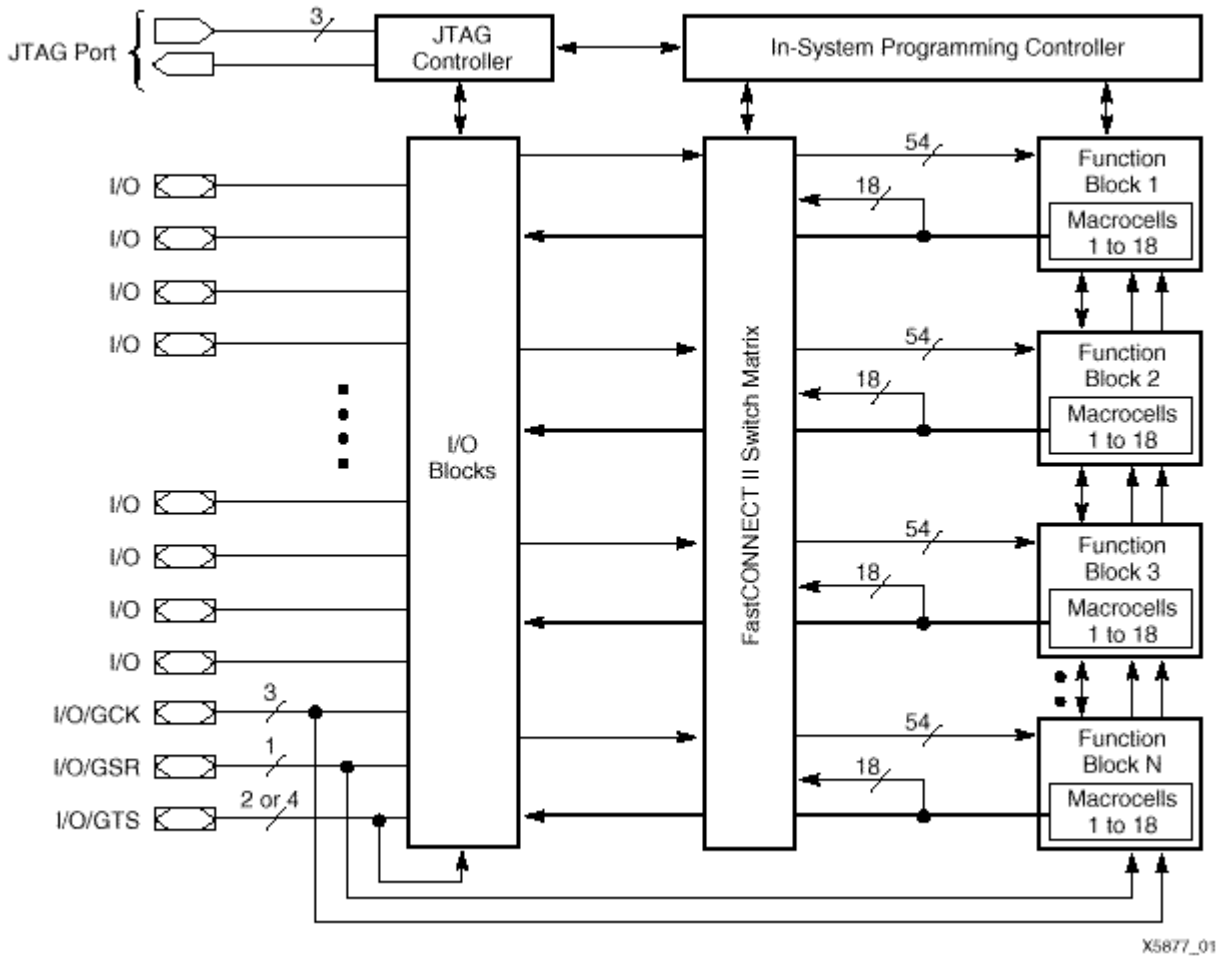
III.3. EPLD - CPLD

- Xilinx XC 9500
  - architecture très simple
  - composants isp, norme JTAG
  - tensions : 3,3 V, 2,5 V ou 1,8 V
  - vitesse de fonctionnement élevée
  - mode programmable de réduction de la consommation pour chaque macrocellule
  - slew rate programmable indépendamment pour chaque sortie
  - option de mise à la masse des entrées/dorties afin de réduire les perturbations

	XC9536XV	XC9572XV	XC95144XV	XC95288XV
Macrocells	36	72	144	288
Usable Gates	800	1,600	3,200	6,400
Registers	36	72	144	288
t_{PD} (ns)	3.5	4	4	5
t_{SU} (ns)	3	3.7	3.7	4.1
t_{CO} (ns)	3	3.5	3.5	4.3
f_{SYSTEM} (MHz)	225	200	200	178

III.3. EPLD - CPLD

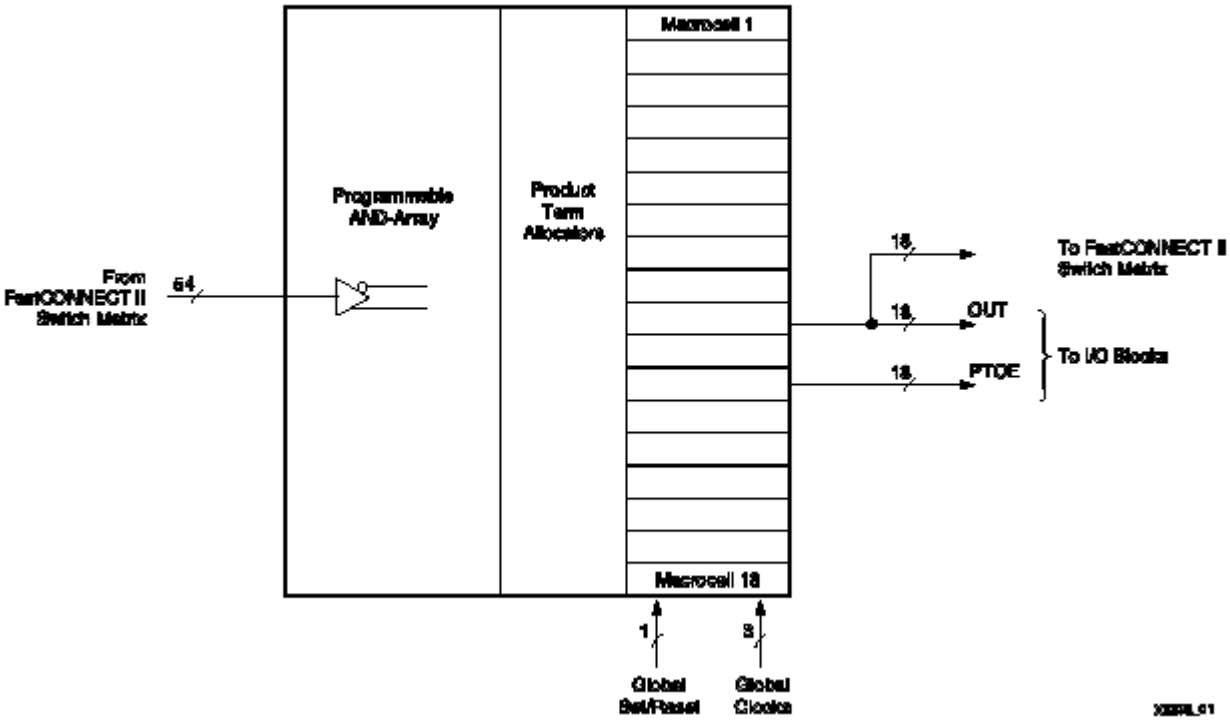
Figure 21 : Architecture du XC9500



III.3. EPLD - CPLD

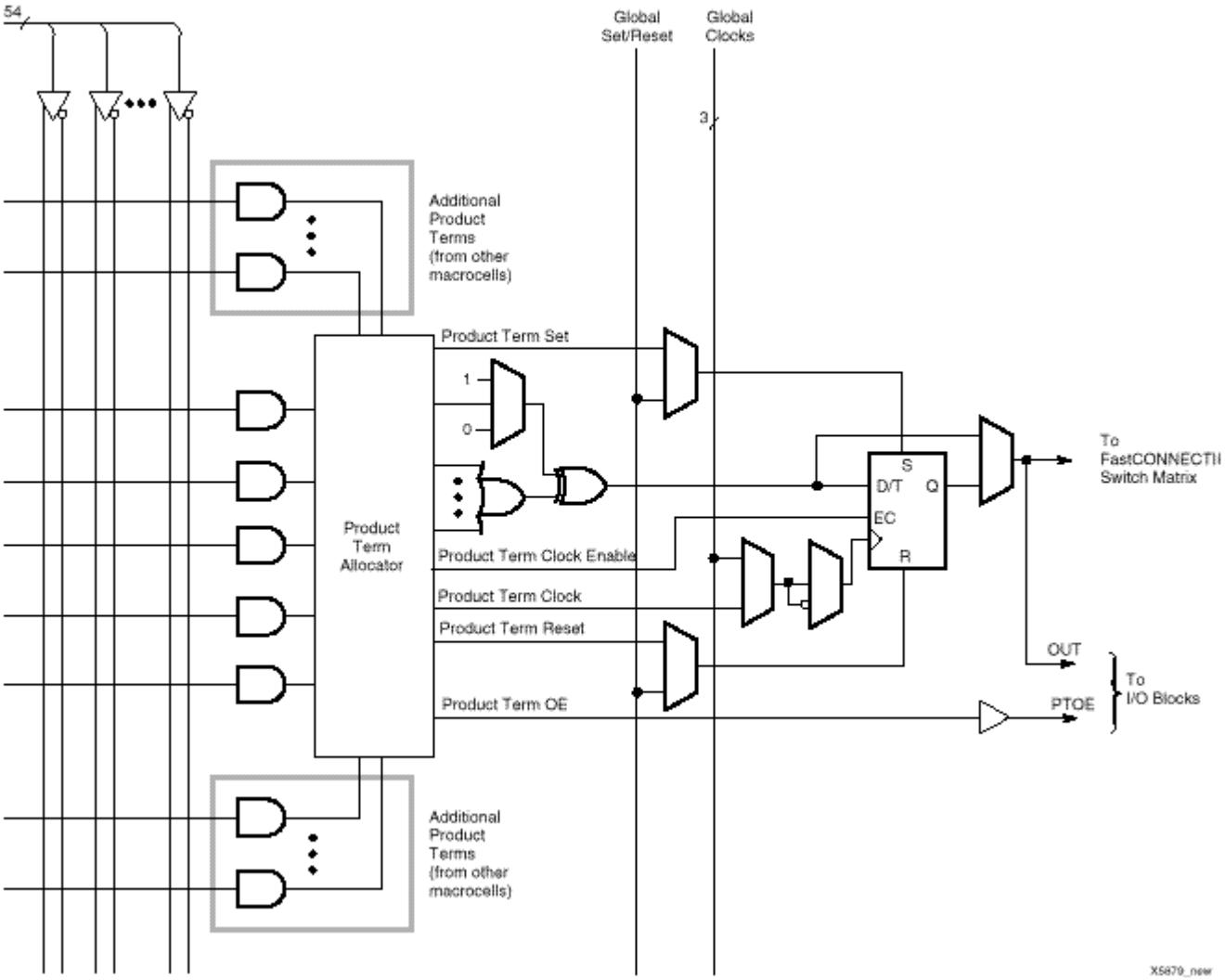
- Chaque bloc fonctionnel contient 18 macrocellules indépendantes
- Les 18 sorties alimentent la matrice d ’interconnexion et accèdent directement aux blocs IOB
- Les 36 entrées forment avec leur complément 72 signaux à partir desquels 90 termes sont générés

Figure 22 : Bloc fonctionnel



III.3. EPLD - CPLD

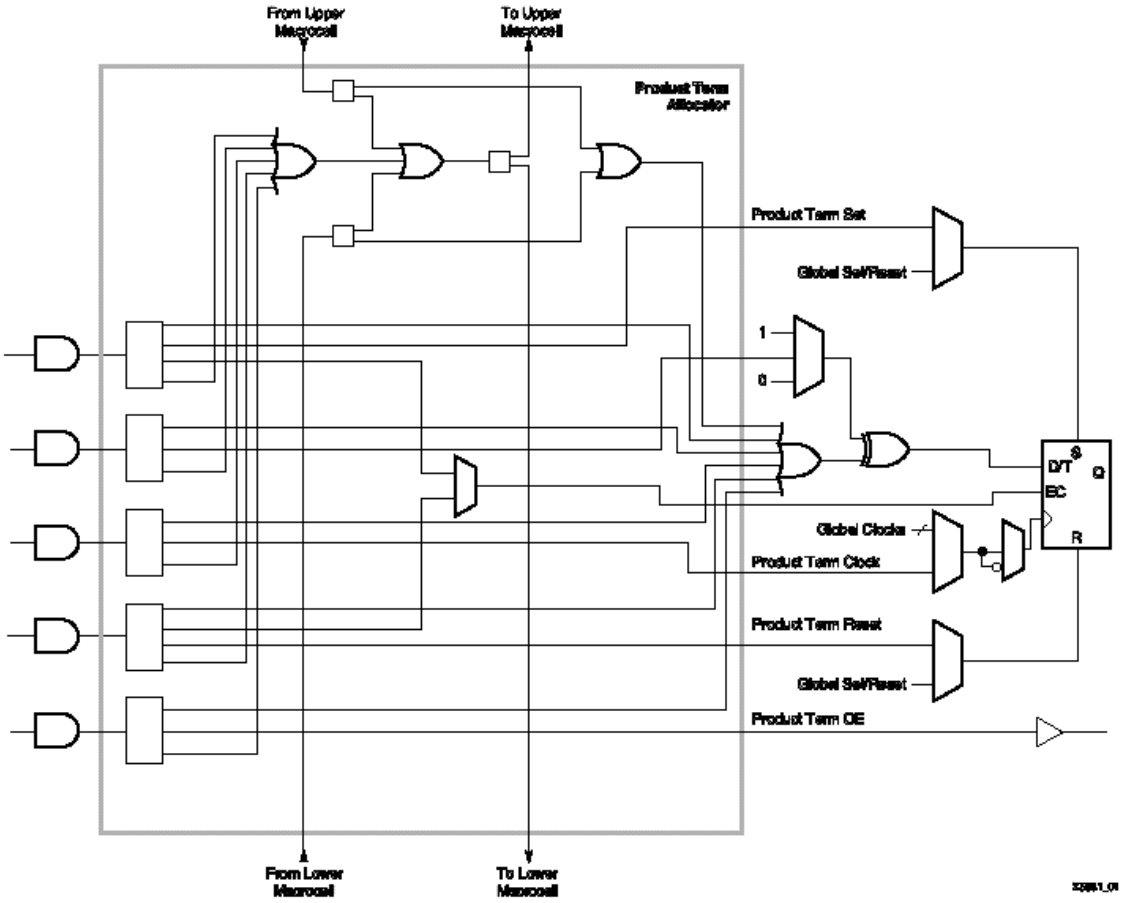
Figure 23 : Macrocellule



III.3. EPLD - CPLD

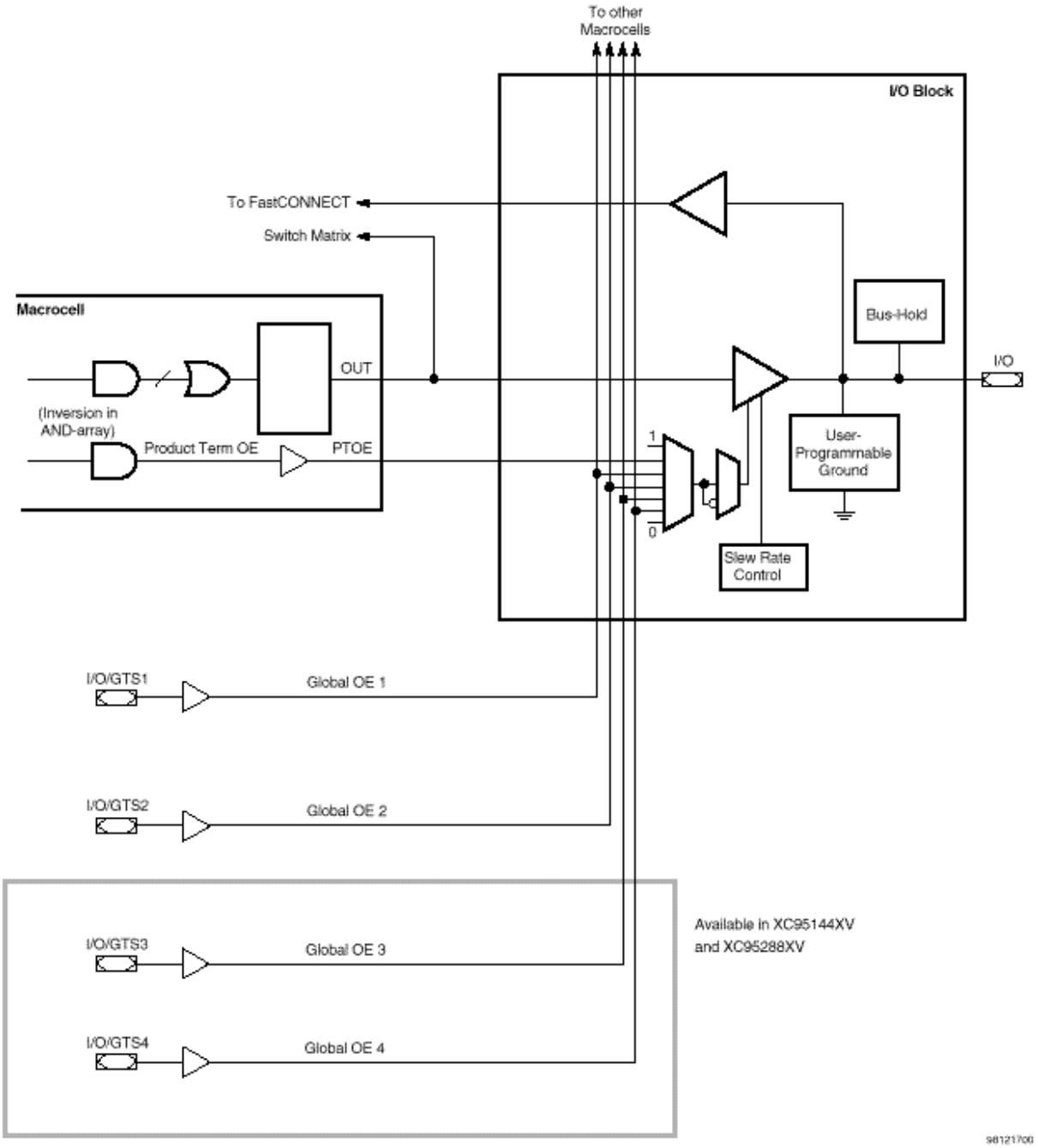
- Le module « Product Term Allocator » distribue aux 16 macrocellules un certain nombre de termes produit
- Possibilité d ’obtenir une équation réalisant la somme de 15 termes produit par connexion de modules adjacents
- possibilité de mise en cascade de plusieurs modules

Figure 24 : Product Term Allocator



III.3. EPLD - CPLD

Figure 25 : Bloc de sortie IOB



III.3. EPLD - CPLD

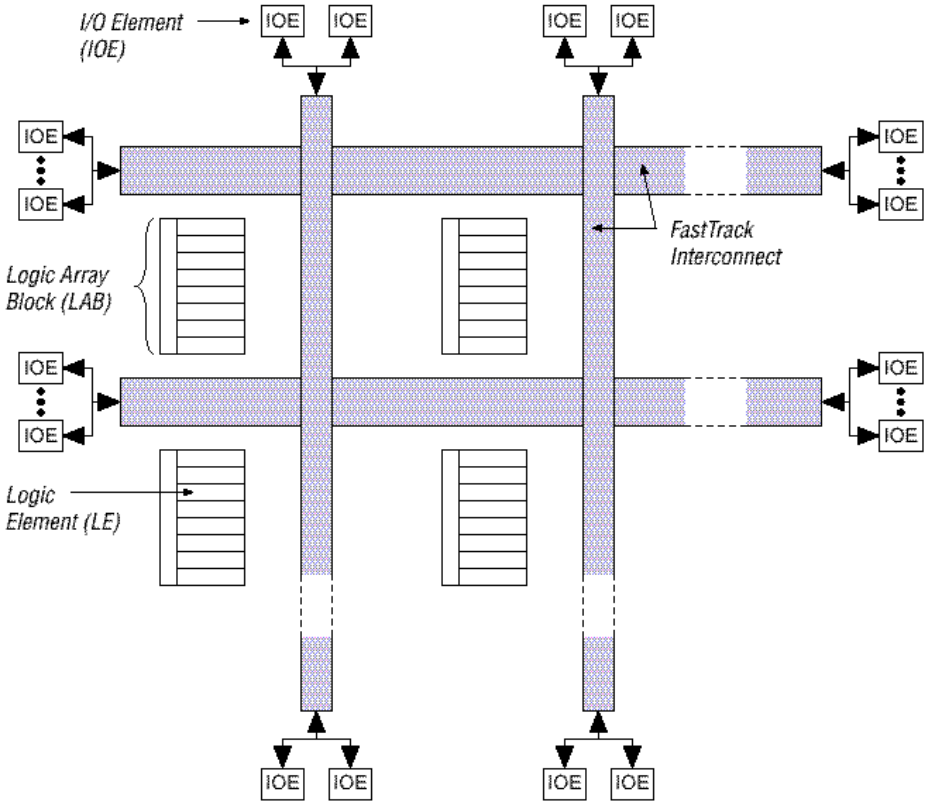
- ALTERA FLEX 8000
  - caractéristiques des FPGA et CPLD
  - les matrices d ’interconnexions sont composées de segments continus traversant de part en part le circuit
  - les éléments logiques de bases utilisent une mémoire LUT de type SRAM pour coder les fonctions logiques
  - les interconnexions logiques sont définies par des éléments SRAM
  - les circuits sont programmés à chaque mise sous tension
  - Les données de configuration sont contenues dans des EPROM spécifiques ou génériques

Circuit EPF	**8282**	**8452**	**8636**	**8820**	**81188**	**81500**
portes	2500	4000	6000	8000	12000	16000
bascules	282	452	636	820	1188	1500
Blocs logiques (LAB)	26	42	63	84	126	162
Eléments logiques (LE)	208	336	504	672	1008	1296
max I/O	78	120	136	152	184	208

III.3. EPLD - CPLD

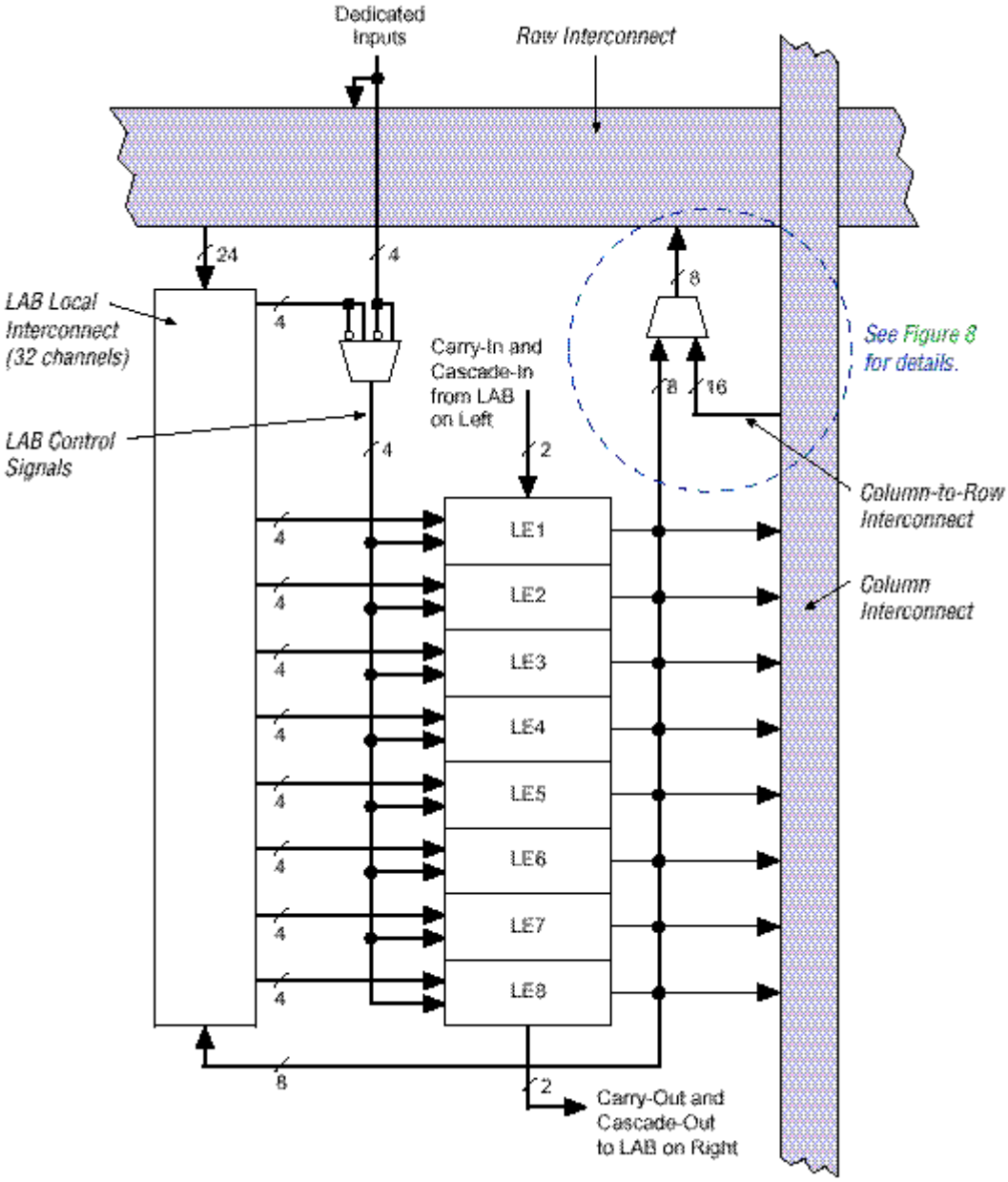
- Architecture
  - 8 éléments logiques LE forment un LAB (Logic Array Bloc)
  - Les LAB forment une matrice régulière quadrillée par des canaux d ’interconnexions horizontaux et verticaux
  - Sur chaque extrémité des canaux sont disposés des modules d ’E/S ou IOE
  - Chaque bloc LAB est associé à une matrice d ’interconnexion

Figure 26 : Architecture du Flex 8000



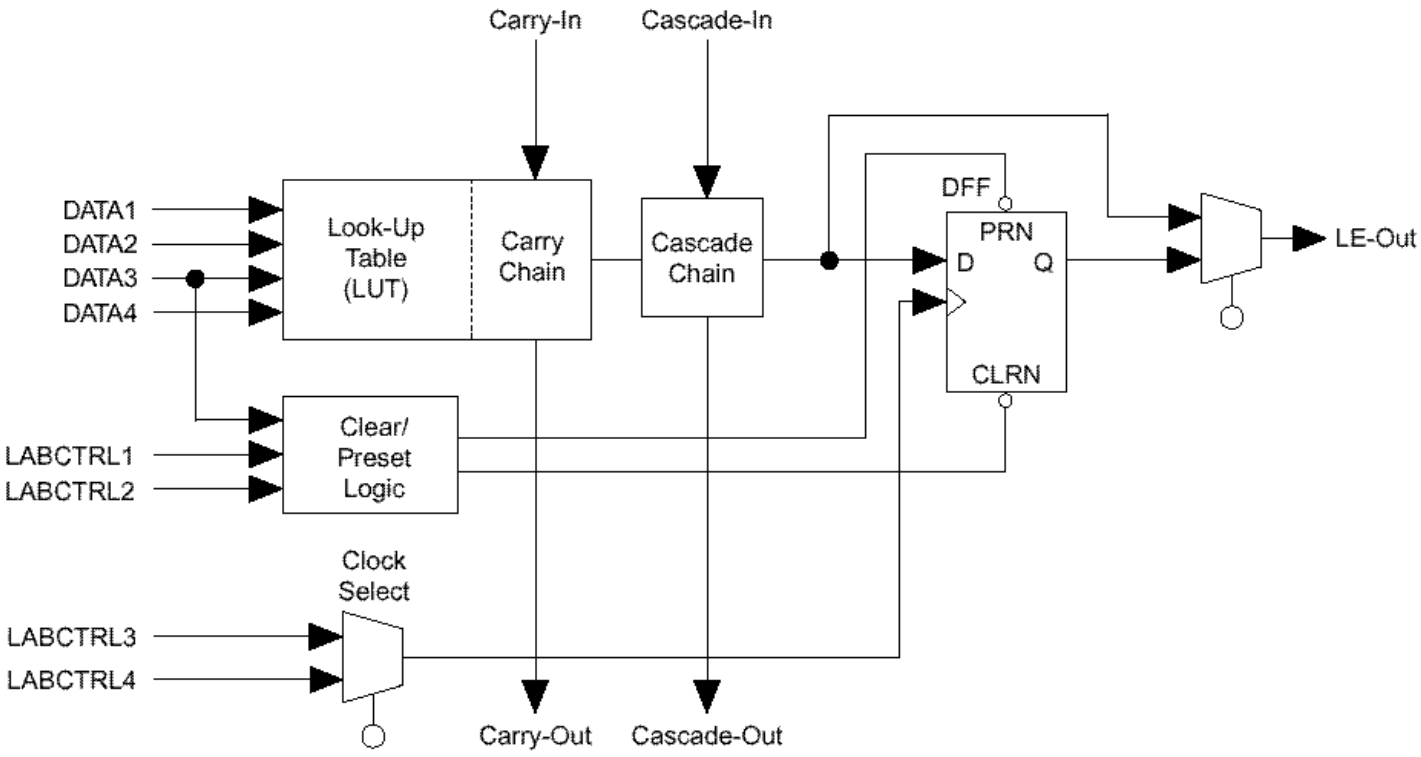
III.3. EPLD - CPLD

Figure 27 : Bloc LAB



III.3. EPLD - CPLD

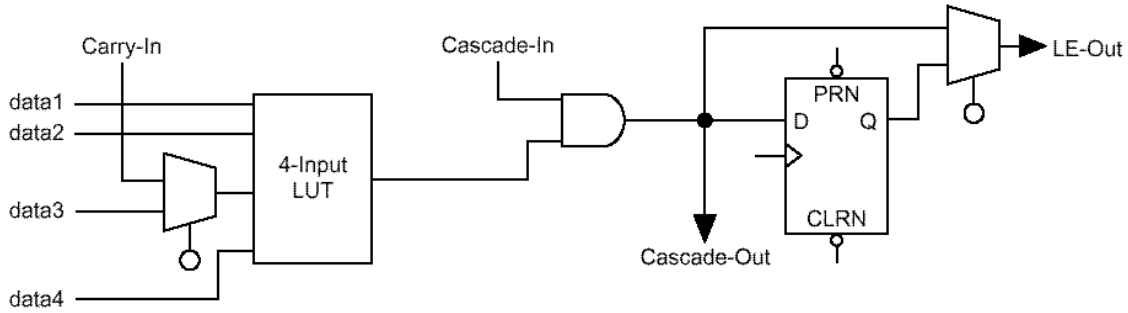
Figure 28 : Elément logique LE



III.3. EPLD - CPLD

Figure 29 : Modes de fonctionnement du LE

Mode normal



Mode arithmétique

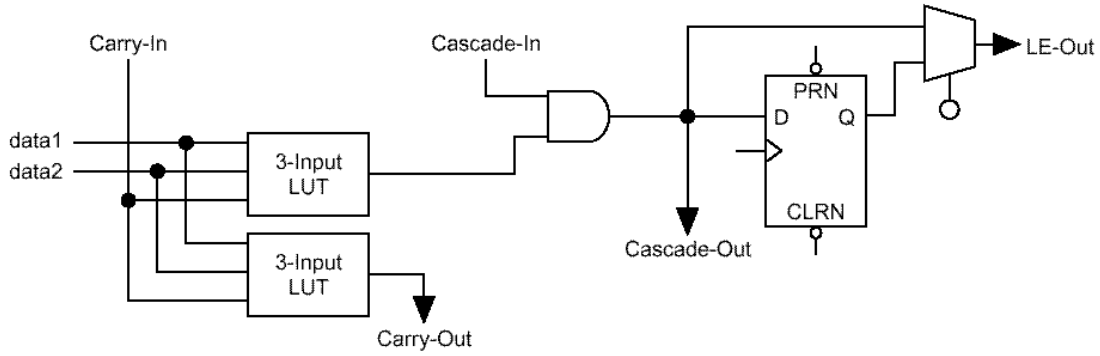
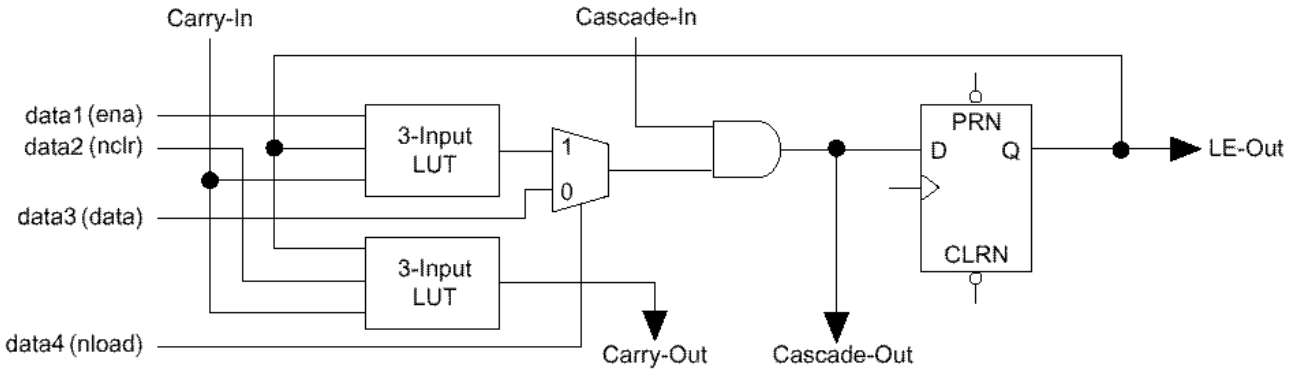
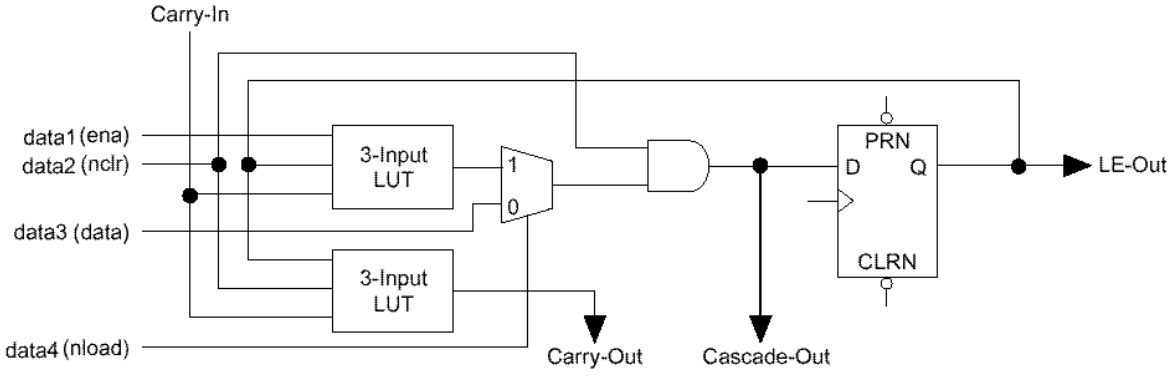


Figure 29 : Modes de fonctionnement du LE (suite)

Mode compteur Up/Down

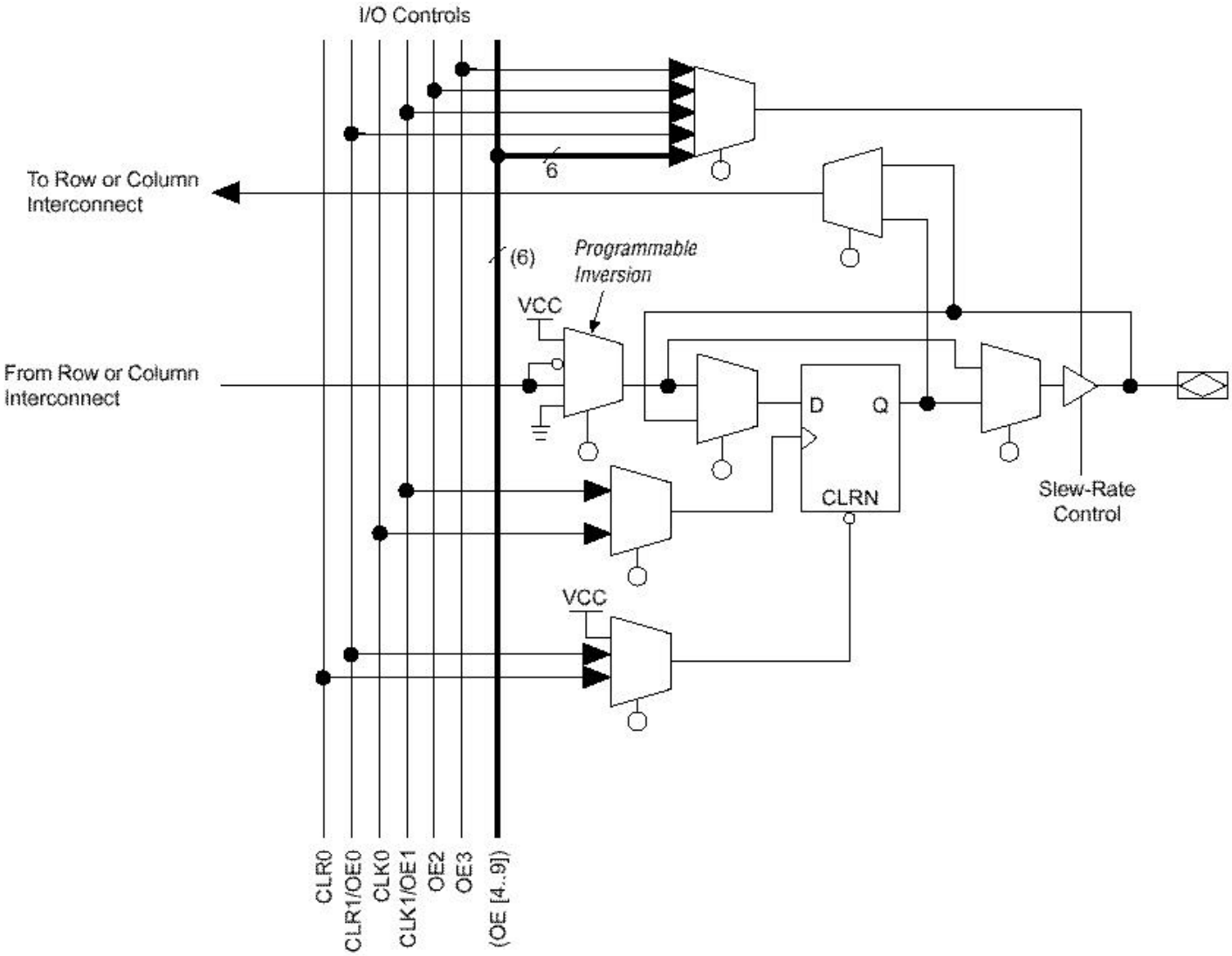


Mode compteur avec remise à zéro



III.3. EPLD - CPLD

Figure 30 : Bloc d ’entrée/sortie IOE



III.3. EPLD - CPLD

Figure 31 : Connexion des IOE aux canaux horizontaux

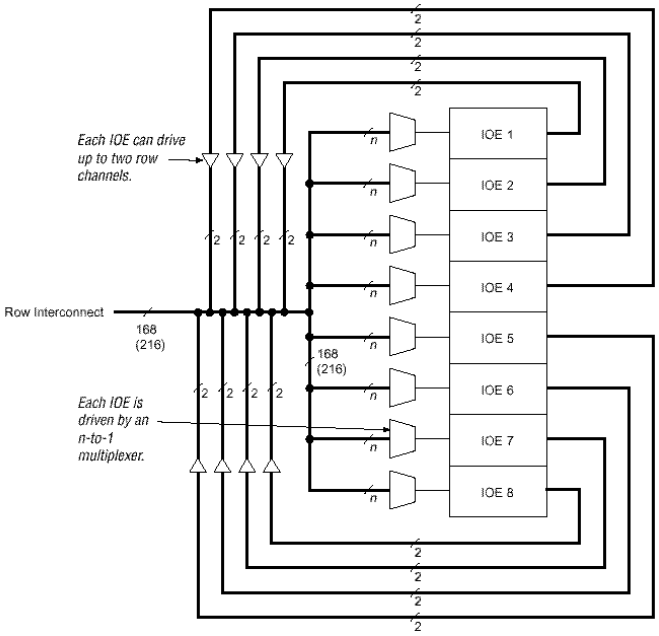
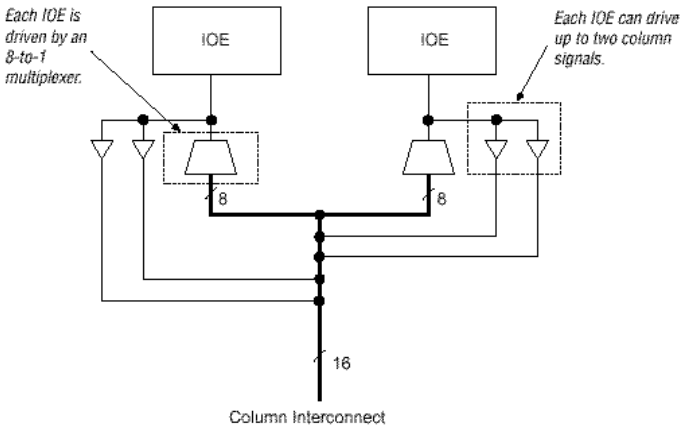


Figure 32 : Connexion des IOE aux canaux verticaux



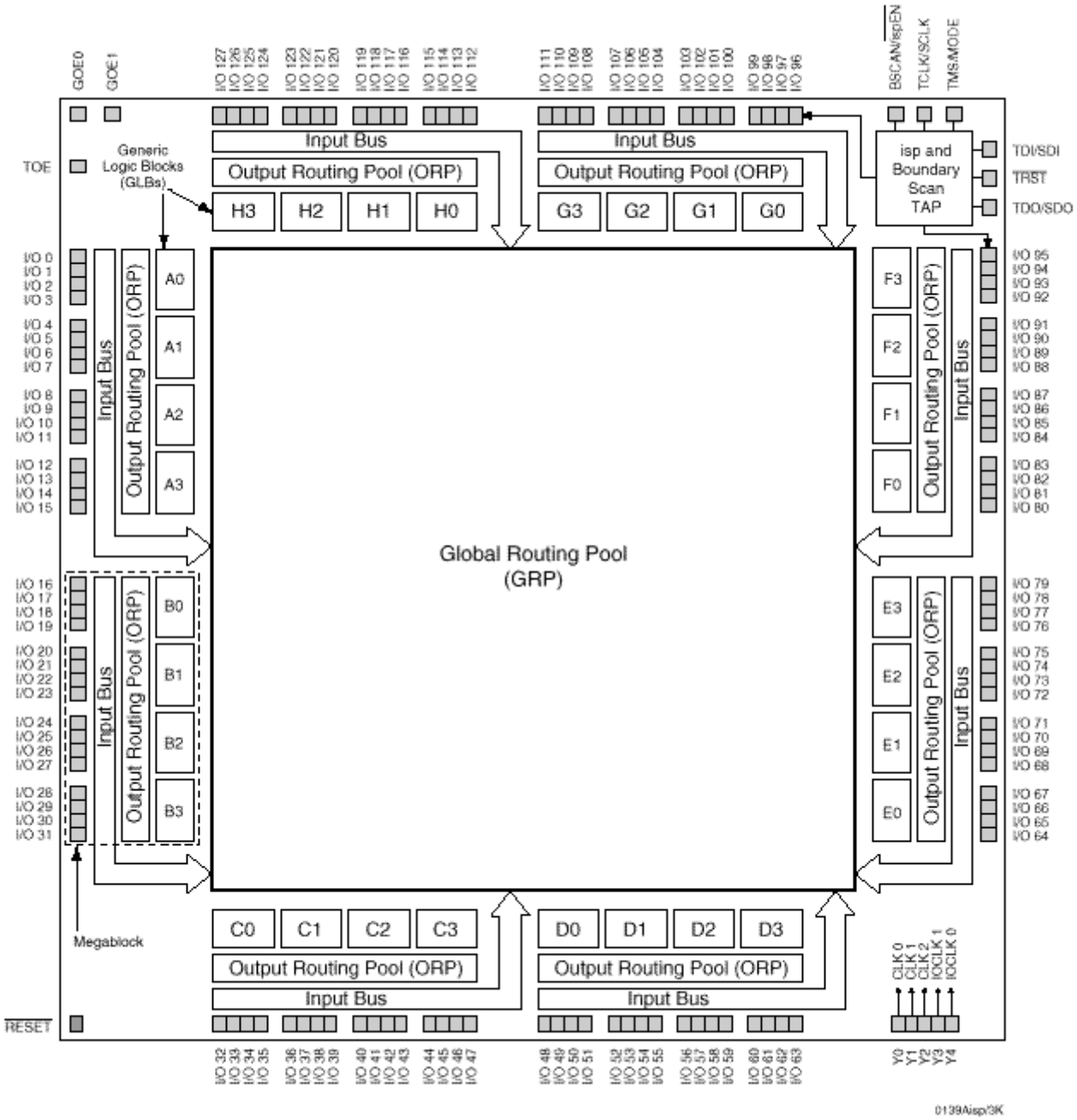
III.3. EPLD - CPLD

• ispLSI de Lattice

Circuit	Gates	T (ns)	F max (MHz)	Cell	Reg	I/O
1000/E (EA)	2000-8000	7,5 (4,0)	125 (200)	64-192	96-288	36-110 (33-104)
2000/A (E)	1000-6000	5,0 (3,5)	180 (225)	32-128	32-128	35-138
2000V (VE)	1000-6000 (8000)	7,5 (4,0)	100 (225)	32-128 (192)	32-128 (192)	35-138
3000	7000-20000	7,5	125	160-448	320-672	130-258
5000V	12000-24000	7,5	125	256-512	256-512	197-390
6000	25000	15	70	192	416	157
8000	25000-43750	8,5	110	480-840	720-1152	148-312

III.3. EPLD - CPLD

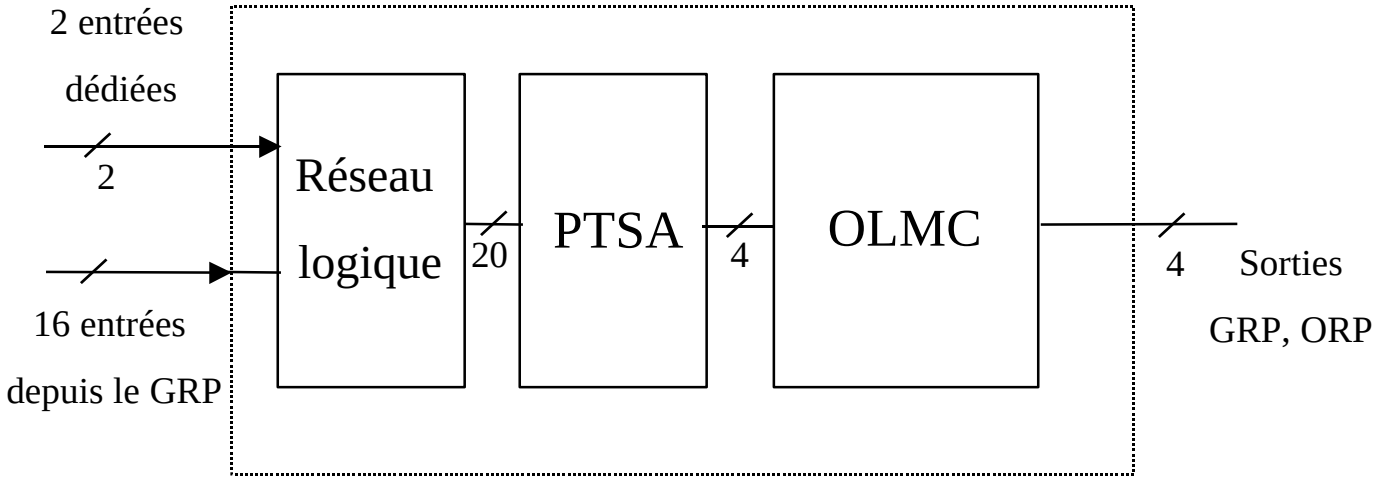
Figure 33 : Architecture interne des circuits ispLSI



III.3. EPLD - CPLD

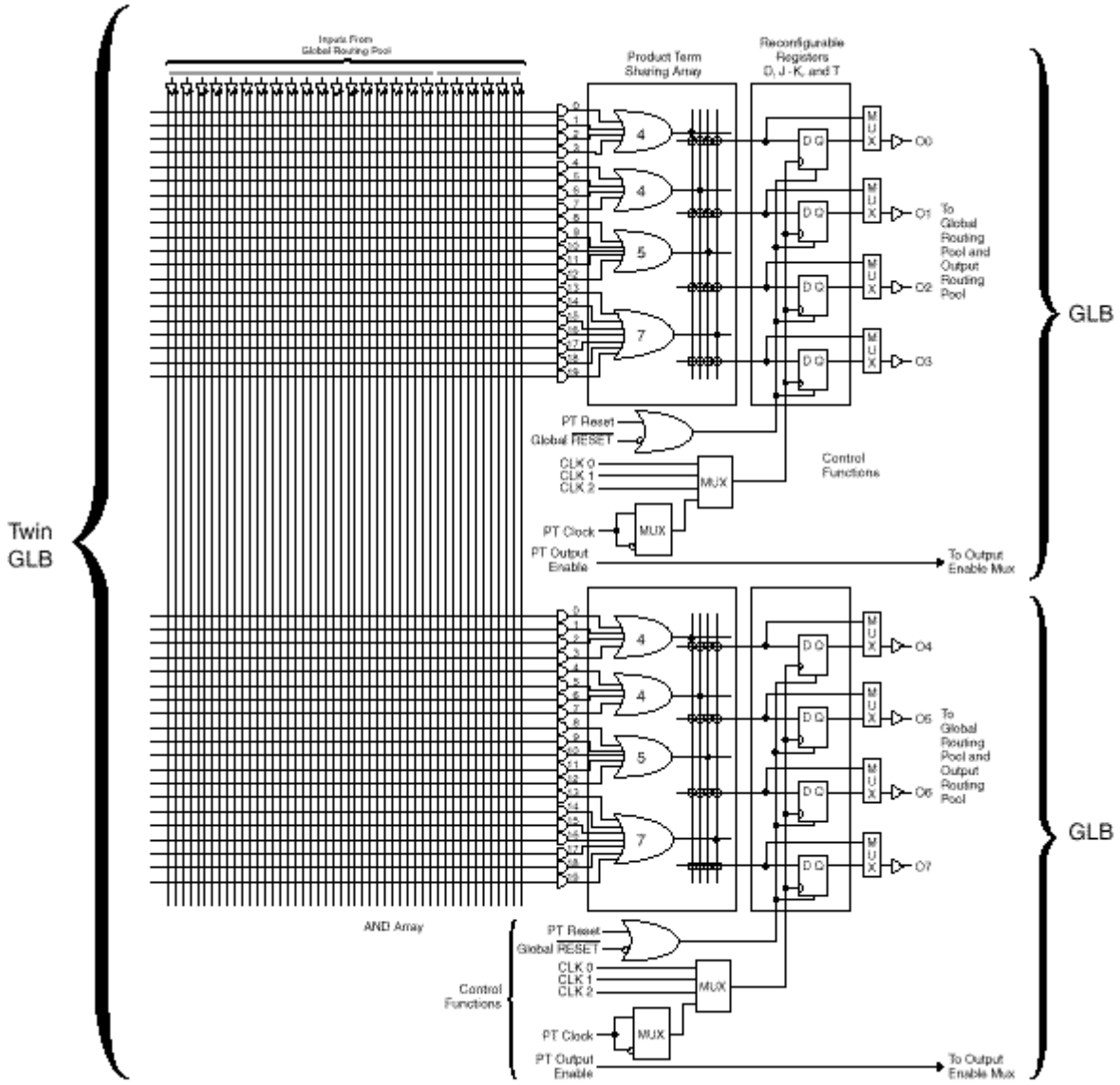
- Architecture proche des FPGA : blocs logiques GLB (Generic Logic Block) autour d ’une zone d ’interconnexions GRP (global Routing Pool)
- Chaque GLB constitué de 3 éléments
  - Les 18 entrées du GLB : 16 viennent du GRP + 2 entrées dédiées arrivent sur un réseau logique
  - PTSA (Product Sharing Array) génère les 4 signaux de sortie du GLB
  - Les 4 sorties attaquent 4 OLMC (Output Logic Macrocell)

Figure 34 : Organisation interne d ’un GLB



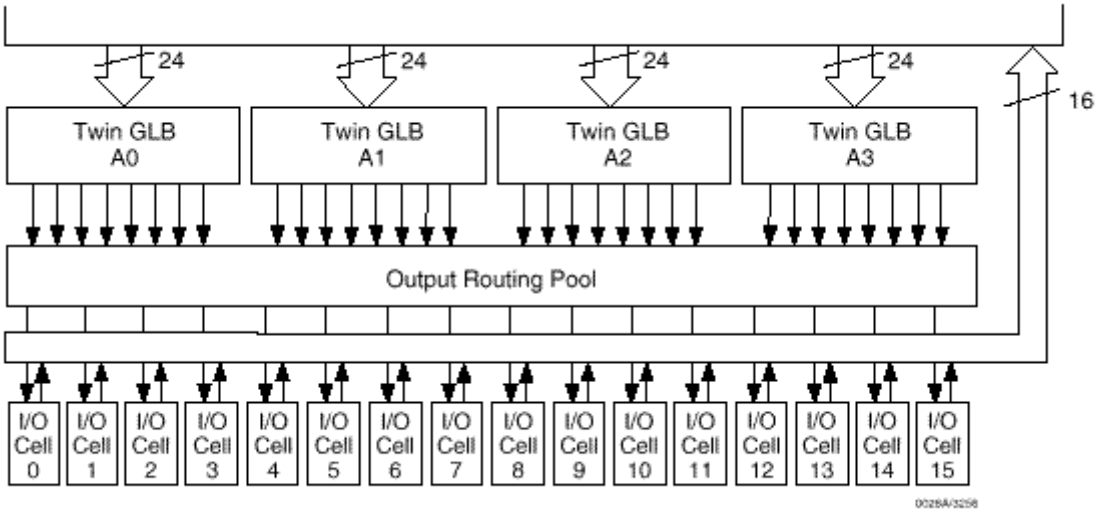
III.3. EPLD - CPLD

Figure 35 : Structure d ’un GLB



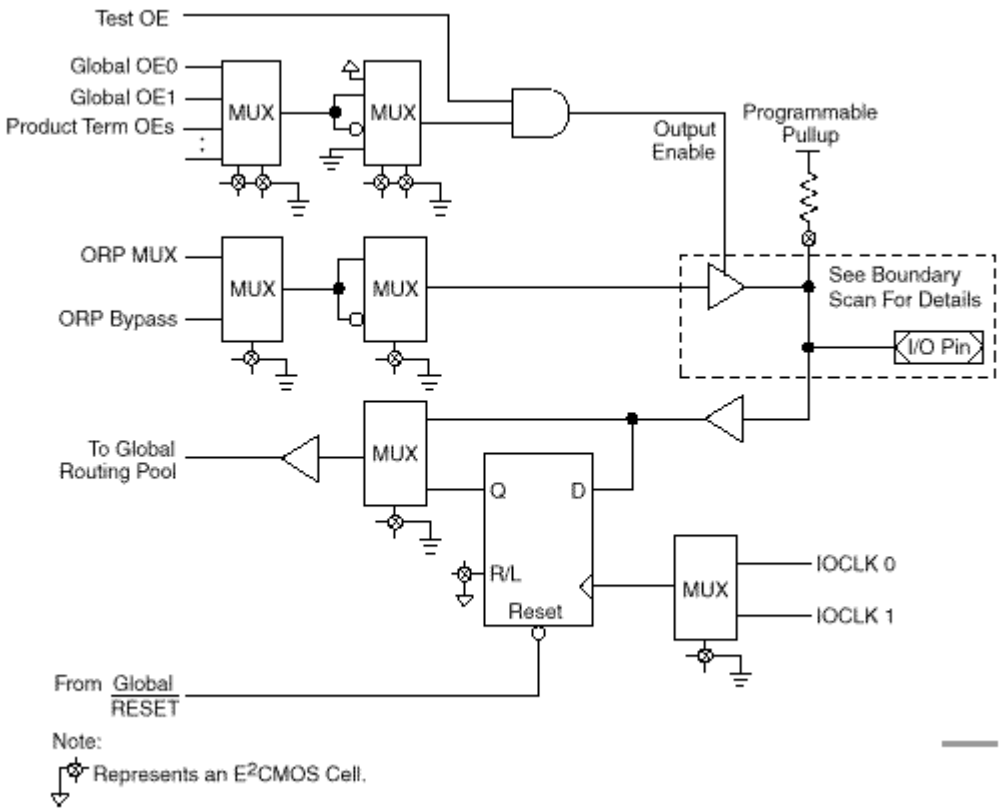
III.3. EPLD - CPLD

Figure 36 : Structure d ’un Megablock



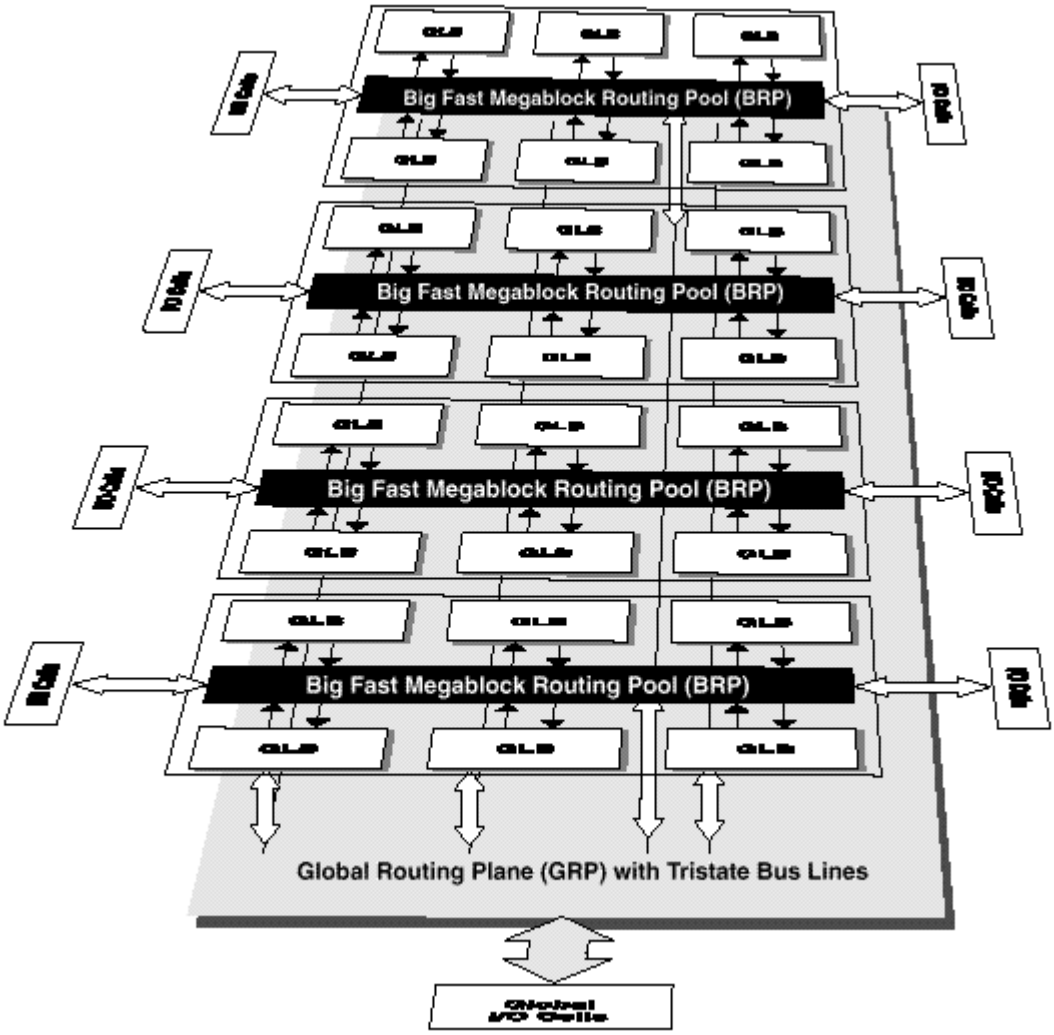
III.3. EPLD - CPLD

Figure 37 : Cellule d ’entrée/sortie



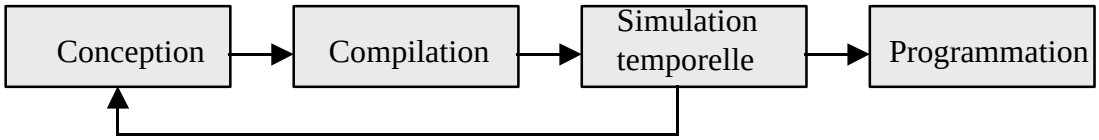
III.3. EPLD - CPLD

Figure 38 : Architecture de l ’isp8840



III.3. EPLD - CPLD

- Conclusion
  - nécessité d ’un compilateur pour découper le problème, puis placer et router
  - investissement logiciel (compilateur) et matériel (programmateur) plus lourd
  - logiciel de P/R rapide



  - prix des boîtiers de 100 F à + 1000 F
  - versions masquées
  - structure pour fonctions complexes avec peu de signaux

III.4. FPGA

- Généralités
  - modules logiques plus réduits et plus nombreux
  - réseau de routage centralisé sur tout le composant entre les cellules logiques
  - routage : multitude de segments métalliques de différentes tailles reliés entre eux ou commutés en E ou S des blocs logiques
  - plusieurs chemins possibles : importance du P/R
  - pas de modèle de temps (benchmark)
  - réseaux spécifiques globaux (segments métalliques longs) dédiés aux horloges des systèmes synchrones
  - développement délicat : taux d ’utilisation/routage
  - cellules d ’E/S dissociées des structures logiques

III.4. FPGA

Figure 39 : Organisation d 'un FPGA

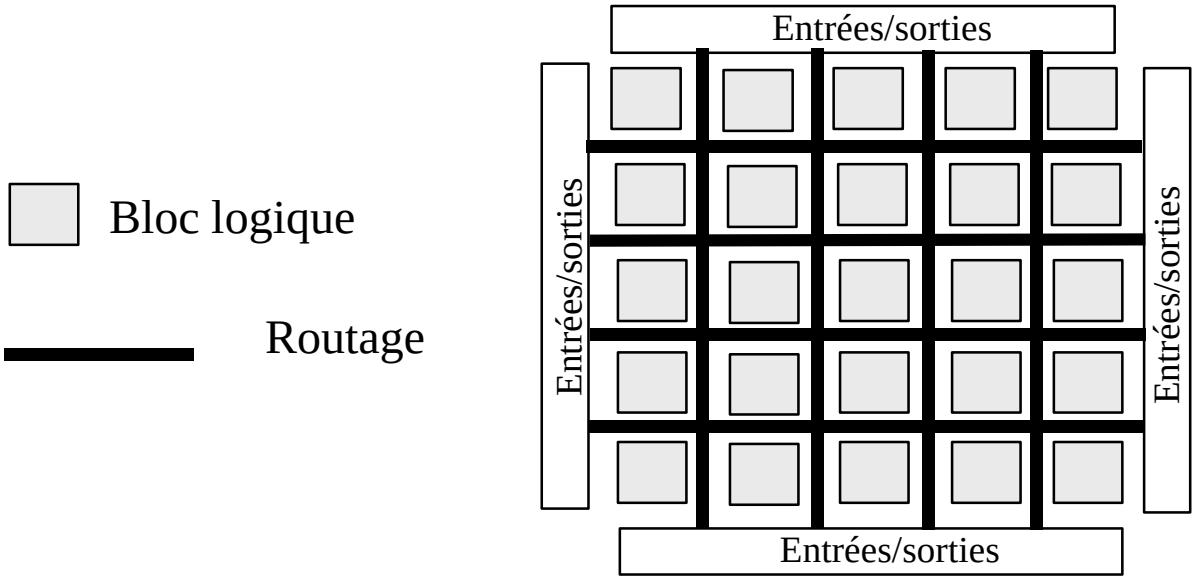
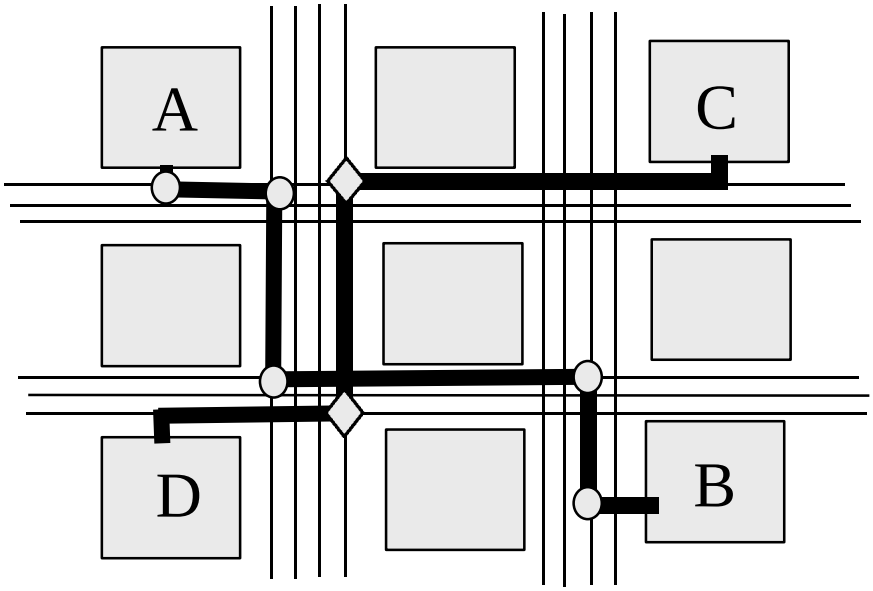


Figure 40 : Routage type FPGA



III.4. FPGA

- FPGA de type SRAM : Xilinx
  - architecture matricielle
  - un point de SRAM /point configurable
  - un registre associé à chaque LUT
  - blocs programmables peu nombreux réalisant une fonction complexe
  - configuration à charger à la mise sous tension (PROM ou µp)
  - données de configuration disponibles dans un fichier généré par l 'outil de développement

Device	Logic Cells	Max Logic Gates (No RAM)	Max. RAM Bits (No Logic)	Typical Gate Range (Logic and RAM)*	CLB Matrix	Total CLBs	Number of Flip-Flops	Max. User I/O
XC4002XL	152	1,600	2,048	1,000 - 3,000	8 x 8	64	256	64
XC4003E	238	3,000	3,200	2,000 - 5,000	10 x 10	100	360	80
XC4005E/XL	466	5,000	6,272	3,000 - 9,000	14 x 14	196	616	112
XC4006E	608	6,000	8,192	4,000 - 12,000	16 x 16	256	768	128
XC4008E	770	8,000	10,368	6,000 - 15,000	18 x 18	324	936	144
XC4010E/XL	950	10,000	12,800	7,000 - 20,000	20 x 20	400	1,120	160
XC4013E/XL	1368	13,000	18,432	10,000 - 30,000	24 x 24	576	1,536	192
XC4020E/XL	1862	20,000	25,088	13,000 - 40,000	28 x 28	784	2,016	224
XC4025E	2432	25,000	32,768	15,000 - 45,000	32 x 32	1,024	2,560	256
XC4028EX/XL	2432	28,000	32,768	18,000 - 50,000	32 x 32	1,024	2,560	256
XC4036EX/XL	3078	36,000	41,472	22,000 - 65,000	36 x 36	1,296	3,168	288
XC4044XL	3800	44,000	51,200	27,000 - 80,000	40 x 40	1,600	3,840	320
XC4052XL	4598	52,000	61,952	33,000 - 100,000	44 x 44	1,936	4,576	352
XC4062XL	5472	62,000	73,728	40,000 - 130,000	48 x 48	2,304	5,376	384
XC4085XL	7448	85,000	100,352	55,000 - 180,000	56 x 56	3,136	7,168	448

* Max values of Typical Gate Range include 20-30% of CLBs used as RAM.

III.4. FPGA

- Architecture de la famille XC4000
  - matrice de blocs logiques CLB programmables
  - blocs logiques d ’E/S IOB programmables en périphérie du circuit
  - buffers 3 états internes (2 par CLB)
  - systèmes de décodage étendus (PLA)
  - ressources d ’interconnexions entre ces éléments
  - matrices de lignes d ’interconnexions horizontales et verticales entre les CLB, connexions effectuées par des transistors MOS dont l ’état est contrôlé par des cellules de mémoire vive
  - sous le réseau logique se trouve une zone de mémoire dans laquelle est chargée la configuration des connexions à établir

III.4. FPGA

- Bloc logique
  - CLB : Configurable Logic Bloc
  - 2 générateurs de fonctions à 4 entrées + 1 pour une combinaison
  - réalisés par des cellules SRAM (LUT) réalisant la table de vérité de la fonction
  - possibilité d ’utiliser les LUT en RAM double port
  - multiplexeurs utilisés comme commutateurs pour sélectionner les divers modes de fonctionnement de la cellule

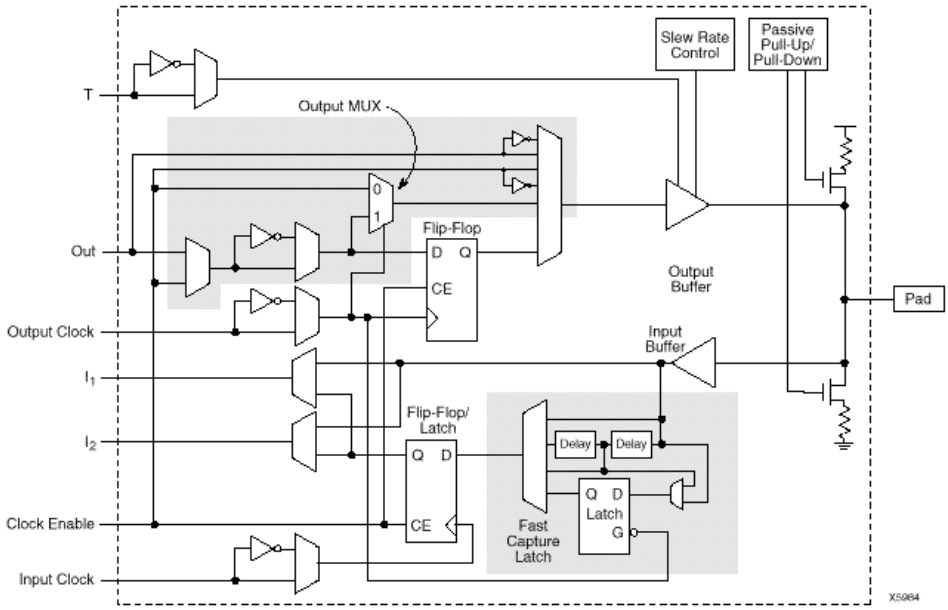
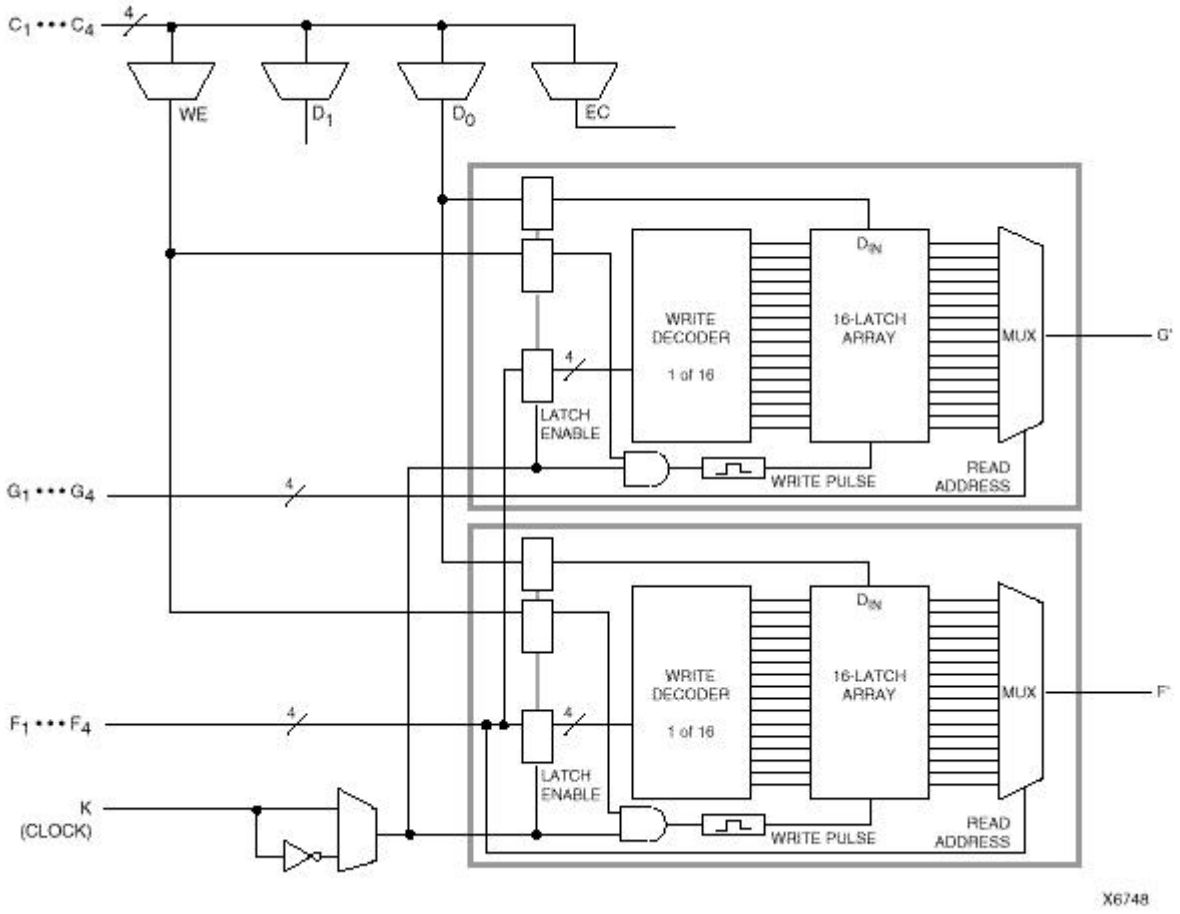


Figure 41 : Bloc Logique CLB

III.4. FPGA

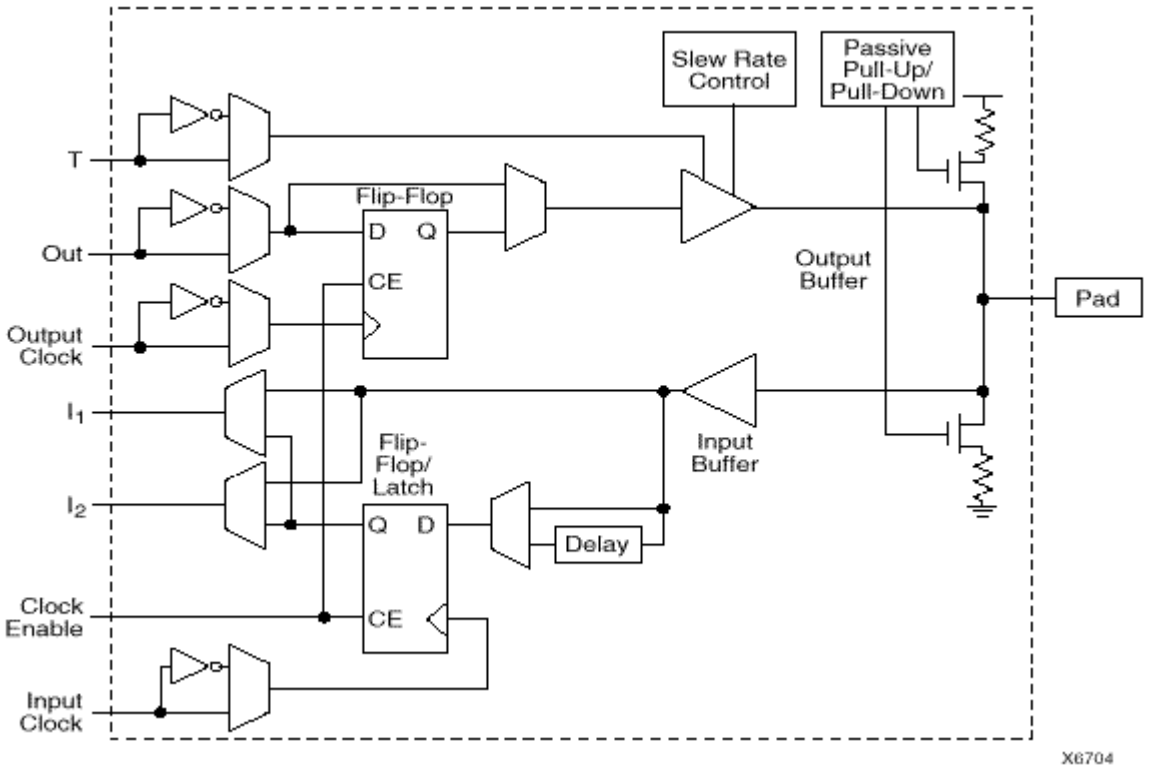
Figure 42 : CLB configuré en mémoire RAM double port 16x1



III.4. FPGA

- Bloc d ’E/S
  - l ’IOB a une configuration programmable
  - interface entre les broches d ’E/S et la logique interne

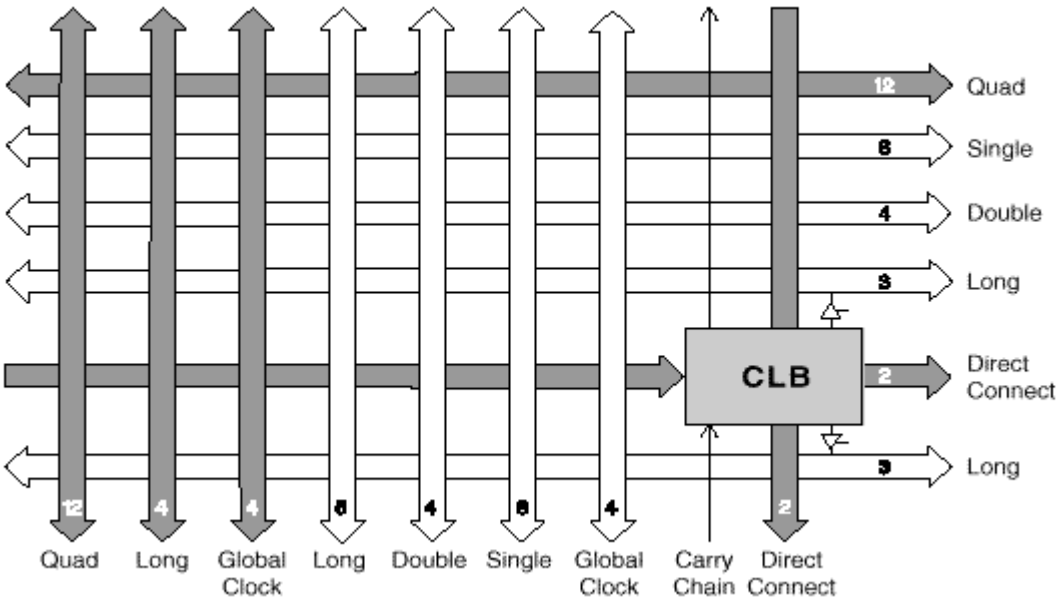
Figure 43 : Bloc d ’E/S



III.4. FPGA

- Les interconnexions
  - structure globale régulière adaptée aux algos des outils de routage
  - ressource principale : lignes simples et doubles (segments métalliques de la largeur d ’1 ou 2 CLB)
  - chaque segment peut être connecté à un autre par l ’intermédiaire d ’une matrice programmable (PSM)

Figure 44 : Ressources de routage associées à un CLB



III.4. FPGA

Figure 45 : Structure de routage

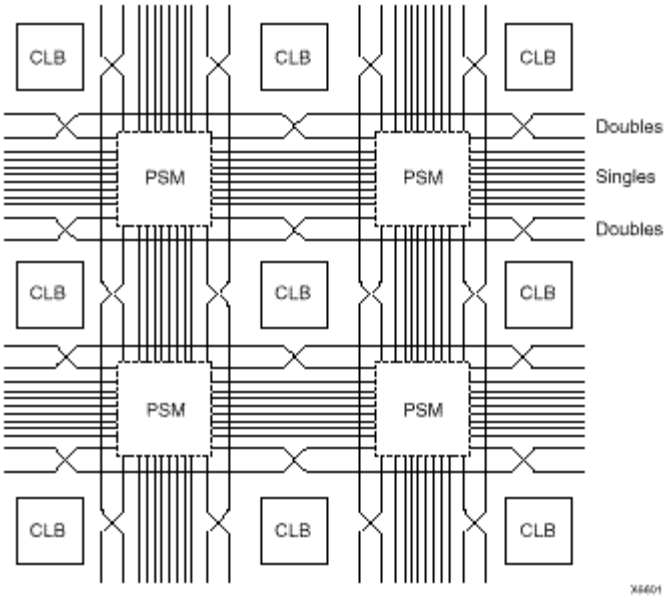
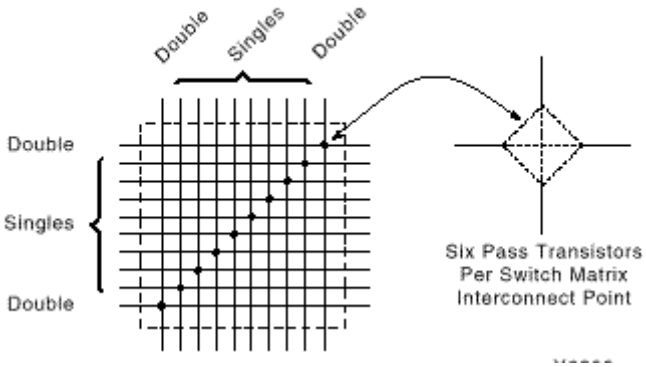
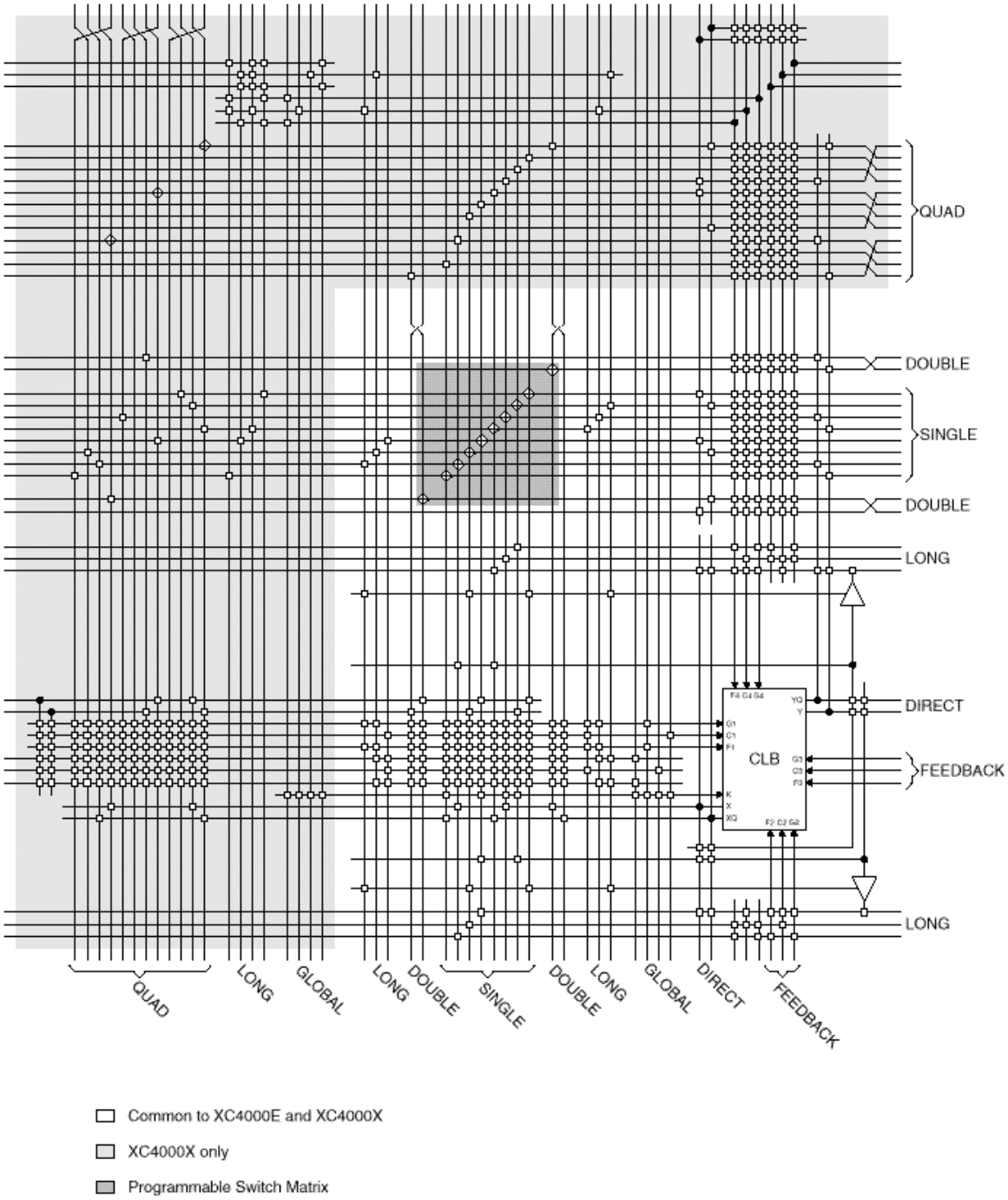


Figure 46 : Matrice d ’interconnexion PSM



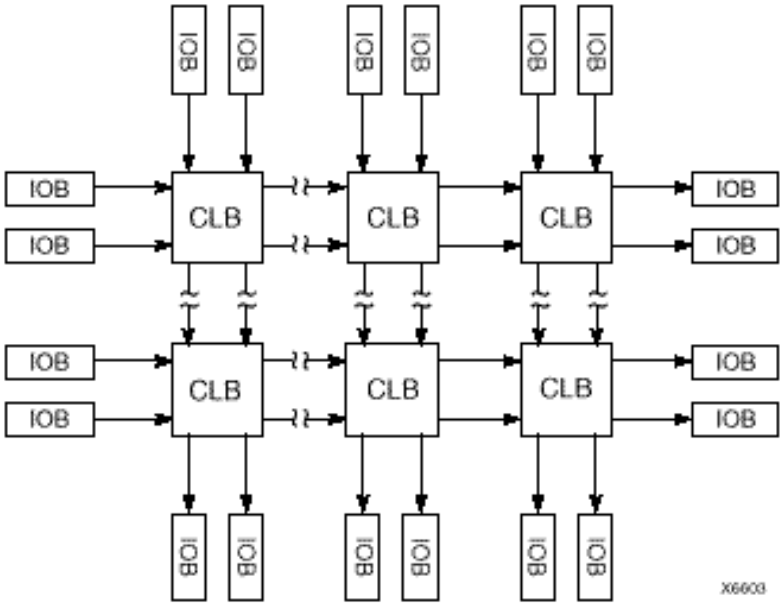
III.4. FPGA

Figure 47 : Interconnexions programmables



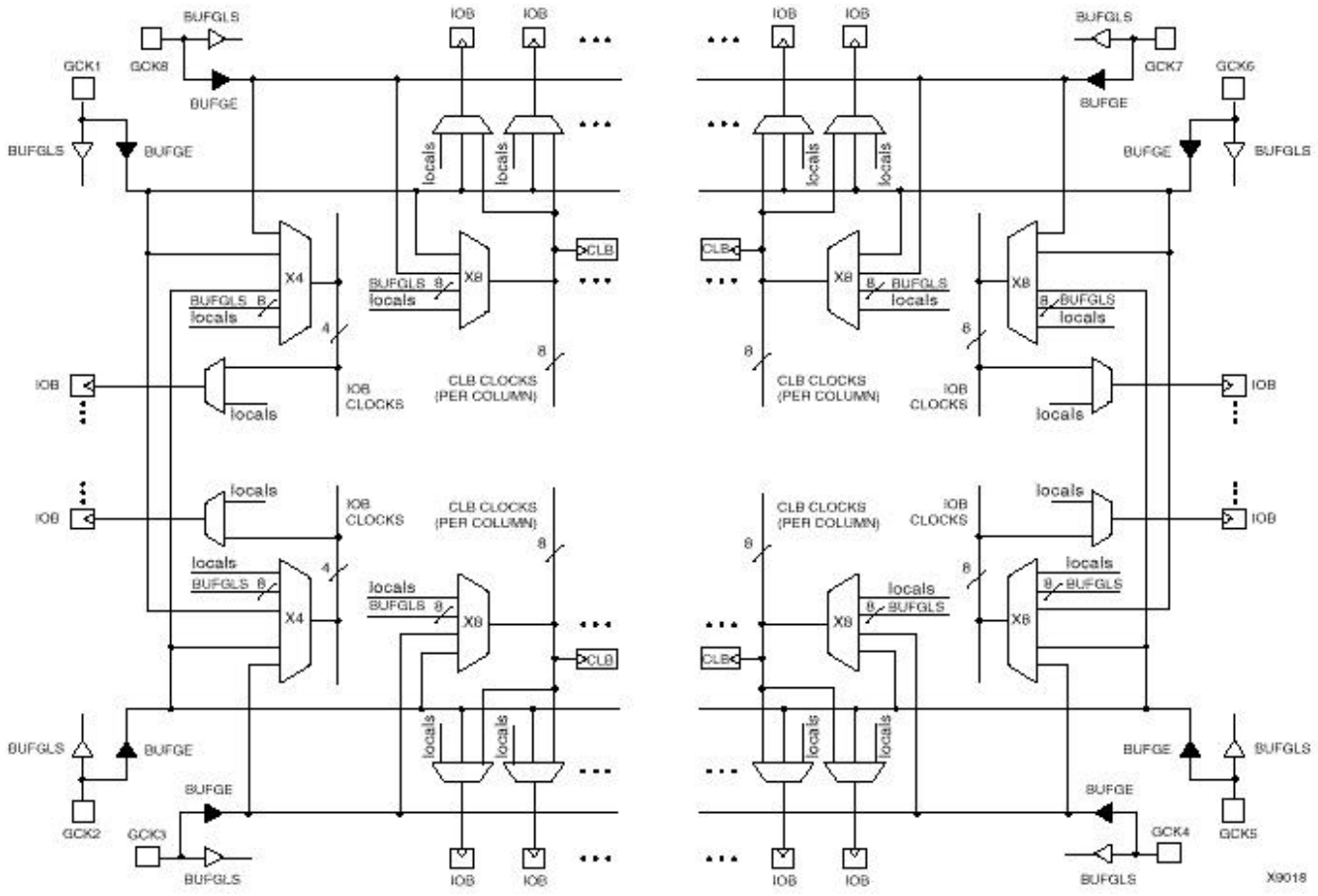
III.4. FPGA

Figure 48 : Interconnexions directes



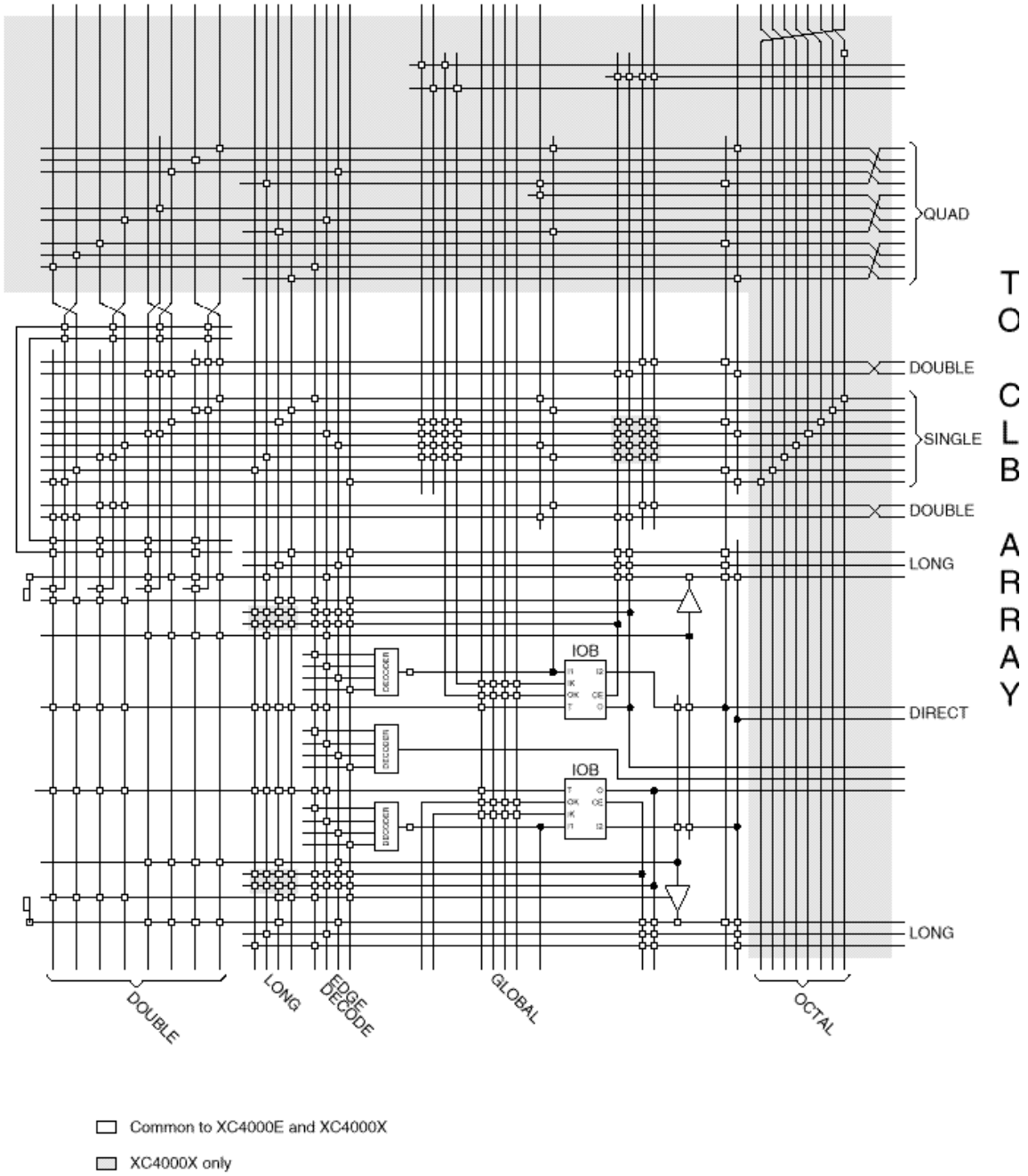
III.4. FPGA

Figure 49 : Distribution du réseau d ’horloge



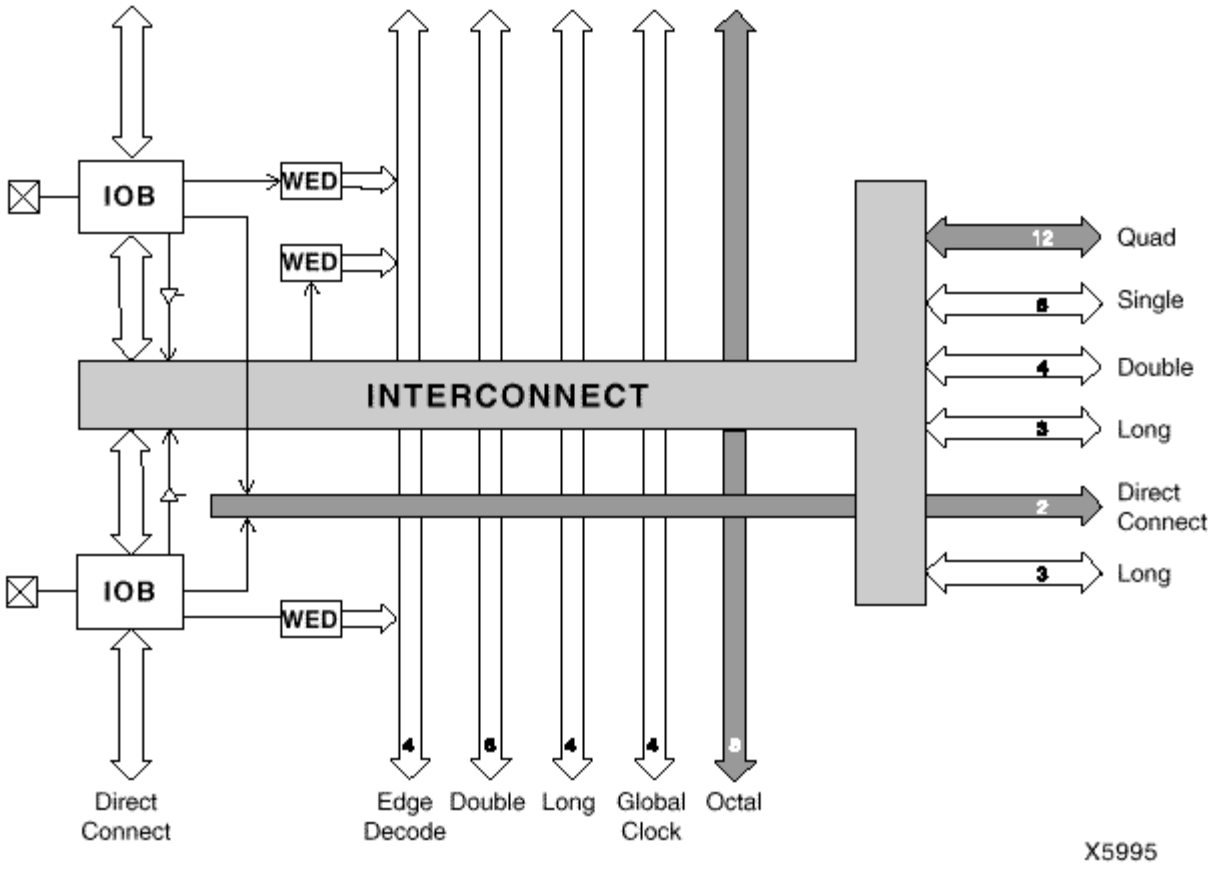
III.4. FPGA

Figure 50 : Structure du routage



III.4. FPGA

Figure 51 : Niveaux du routage



III.4. FPGA

- <u>FPGA de type antifusible : Actel</u>
  - blocs logiques plus simples
  - cellule OTP figée par des multiplexeurs
  - nombre de sorties réduit
  - plus de canaux de routage
  - composant directement opérationnel à la mise sous tension

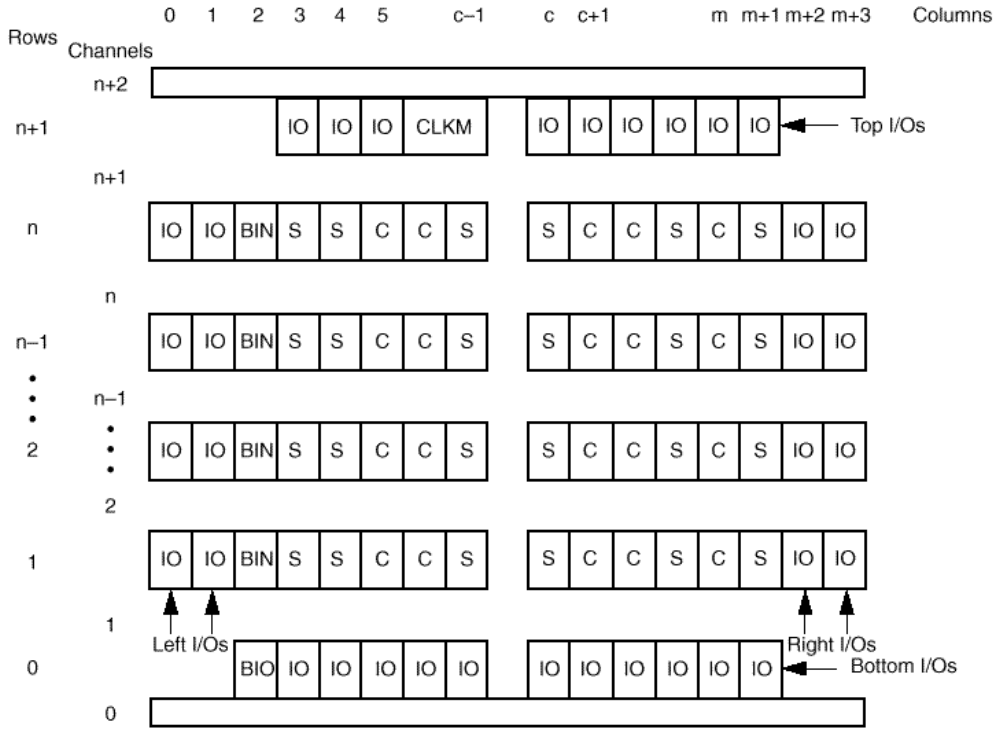
- Famille ACT3

Device	A1415	A1425	A1440	A1460	A14100
Capacity					
Gate Array Equivalent Gates	1,500	2,500	4,000	6,000	10,000
PLD Equivalent Gates	3,750	6,250	10,000	15,000	25,000
TTL Equivalent Packages (40 gates)	40	60	100	150	250
20-Pin PAL Equivalent Packages (100 gates)	15	25	40	60	100
Logic Modules	200	310	564	848	1,377
S-Module	104	160	288	432	697
C-Module	96	150	276	416	680
Dedicated Flip-Flops[1]	264	360	568	768	1,153
User I/Os (maximum)	80	100	140	168	228

III.4. FPGA

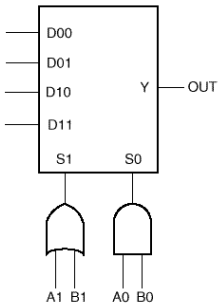
- Architecture

Figure 52 : Architecture d ’un ACT3

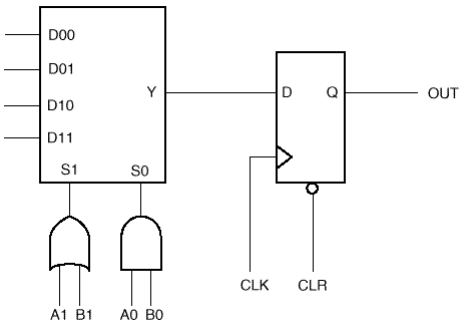


- Modules logiques *Figure 53*

C

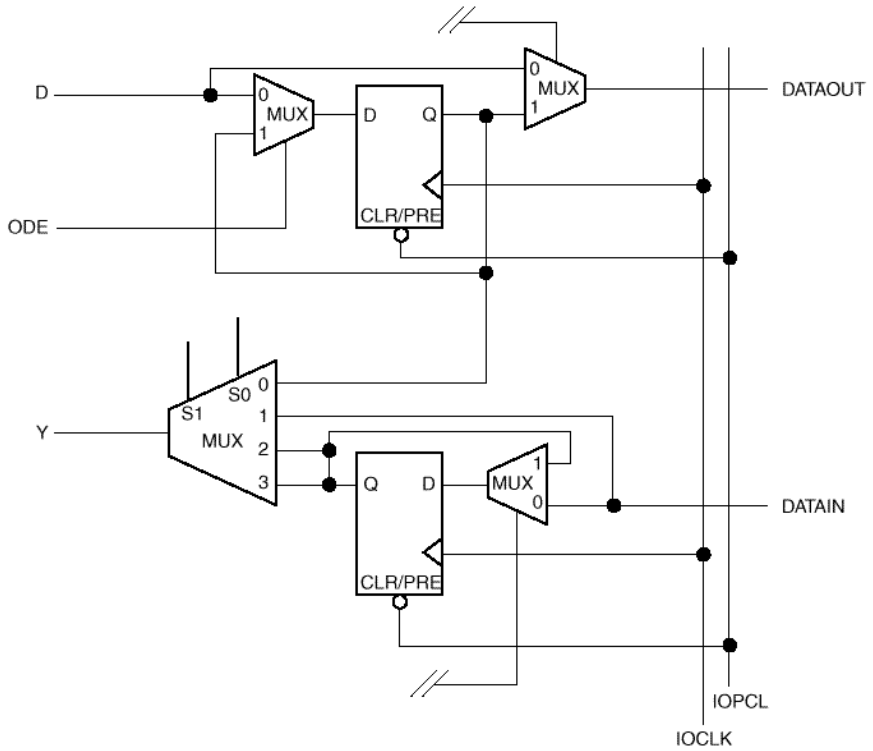


S



III.4. FPGA

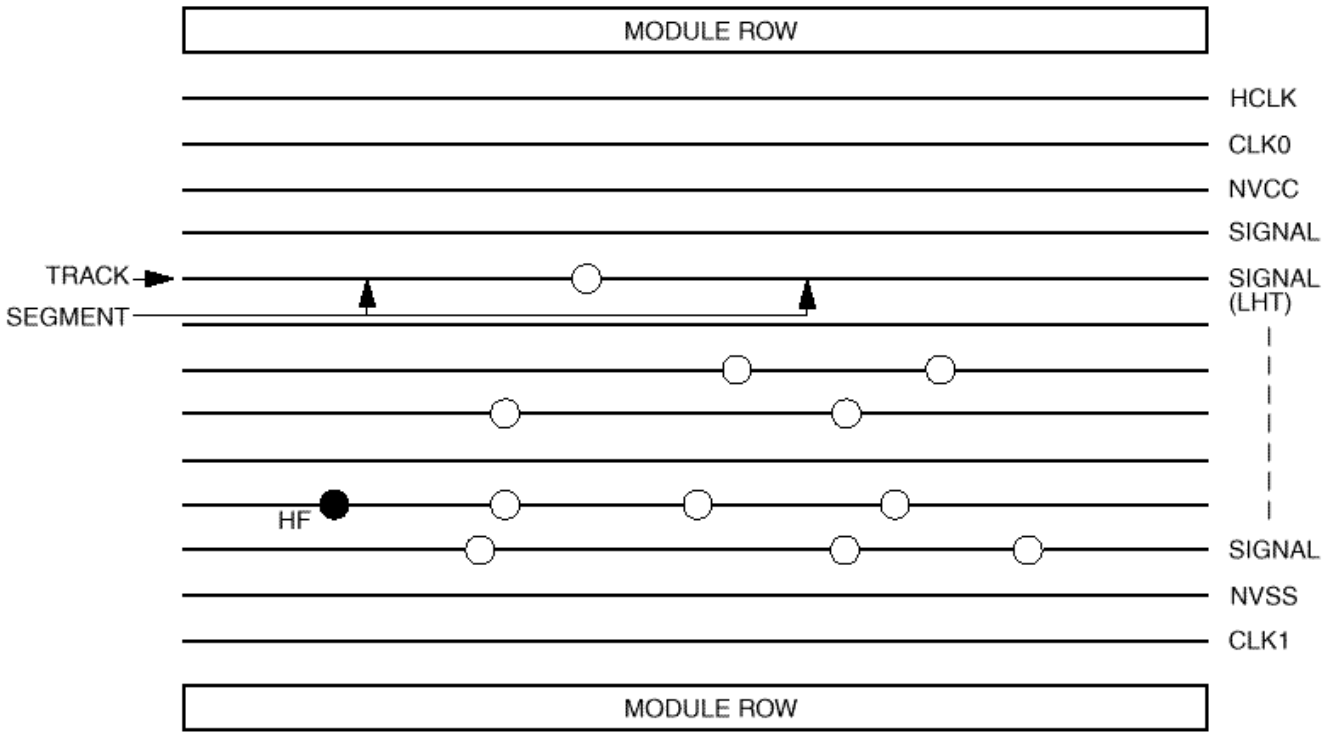
- Modules d ’E/S *Figure 54*



- Réseau d ’interconnexion
  - canaux horizontaux et verticaux intercalés entre les rangées de modules
  - segments de longueur correspondant à deux modules
  - canaux dédiés pour les horloges et alimentations

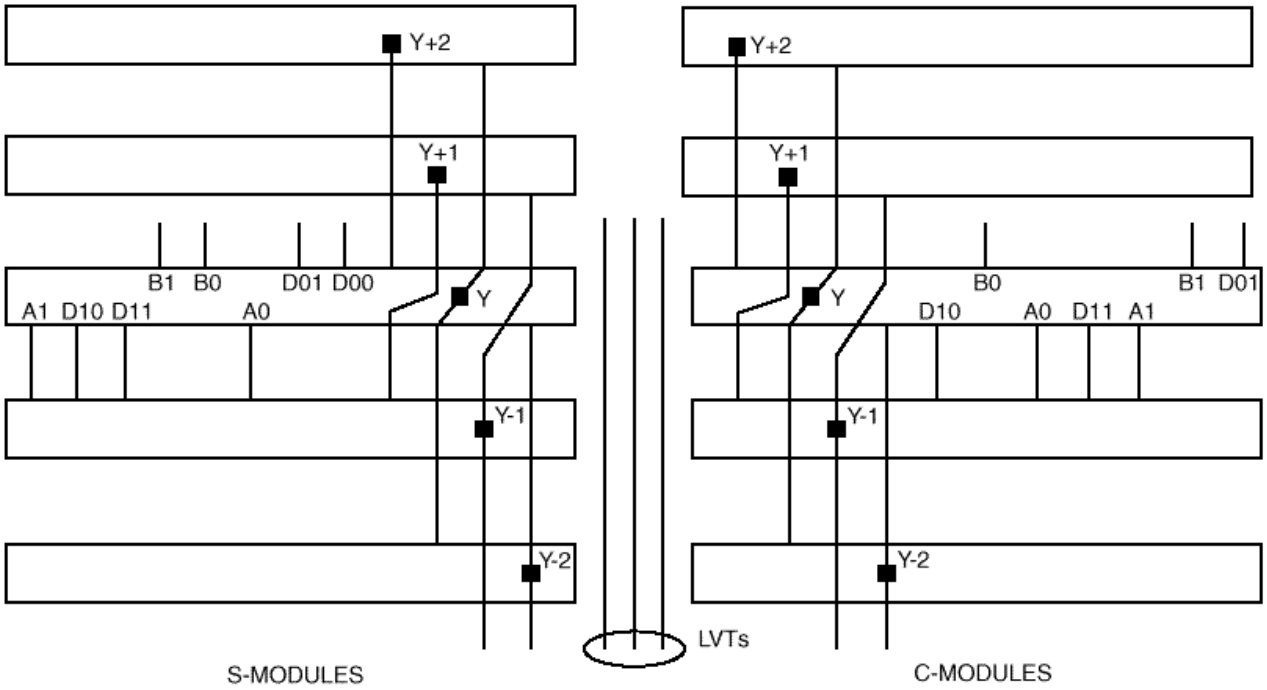
III.4. FPGA

Figure 55 : Connexions horizontales



III.4. FPGA

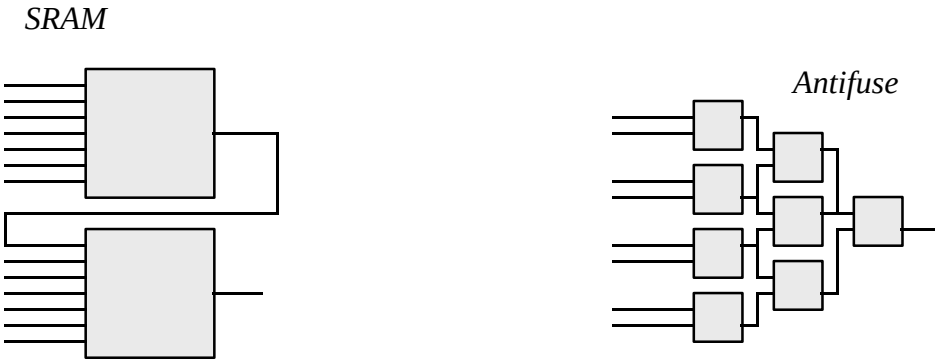
Figure 56 : Connexions verticales



III.4. FPGA

- Conclusion

granularité = taille(BL)/nombre(BL)



Caractéristiques	SRAM	Antifuse
Taille physique de l'interconnexion	+	-
Taille physique du bloc logique	+	-
Quantité de blocs logiques	-	+
Capacité fonctionnelle d'un bloc logique	+	-
Quantité de canaux de routage	-	+
Efficacité de la technologie (vitesse)	-	+

III.5. Conclusion

Figure 57 : Tableau récapitulatif

Circuits	Techno	Structure Portes éq	Fmax (MHz)	Nombre d'E/S max
GAL	E²CMOS	PLA	250	22
Mach 5	E²CMOS	PLA 20000	182	68 à 256
Xilinx 9500	Fast Flash	somme de et + mux	225 à 178	34 à 192
Altera Flex 8K	SRAM	LUT 2500 à 16000	125 à 58	78 à 208
Lattice ispLSI	E²CMOS	PLA 1000 à 43750	225 à 70	33 à 390
Xilinx 4000	SRAM 0,25 µm	LUT 1000 à 180 000	80	448
Actel	antifusible	Mux 25000	63 à 250	80 à 228

III.6. Dernières évolutions

VIRTEX (Xilinx)

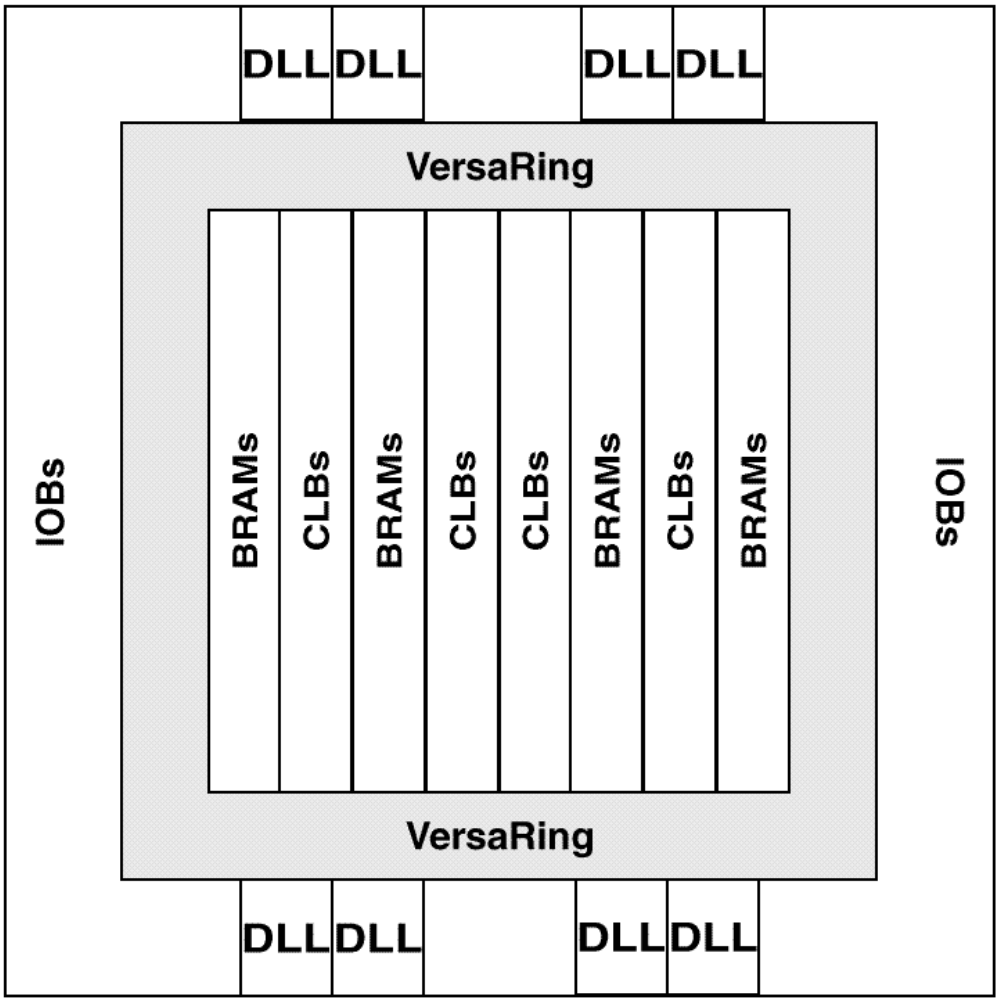
XCV50-XCV3200

- Caractéristiques techniques :
  - 58k à 4 M portes
  - techno 0,18 µm
  - fmax = 130 MHz
  - I/O paires différentielles : 83 à 344
  - I/O utilisateur : 176 à 804
  - Hiérarchie mémoire SRAM
  - 8 DLL (Delay Locked Loops)
  - réseau CLB : 16x24 à 104x156
  - nombre de cellules logiques : 1728 à 73k
  - bits de BlockRAM : 65k à 852k
  - bits RAM distribuée : 24k à 1M

III.6. Dernières évolutions

VIRTEX (Xilinx)

- Architecture : *Figure 58*



III.6. Dernières évolutions

APEX (Altera)

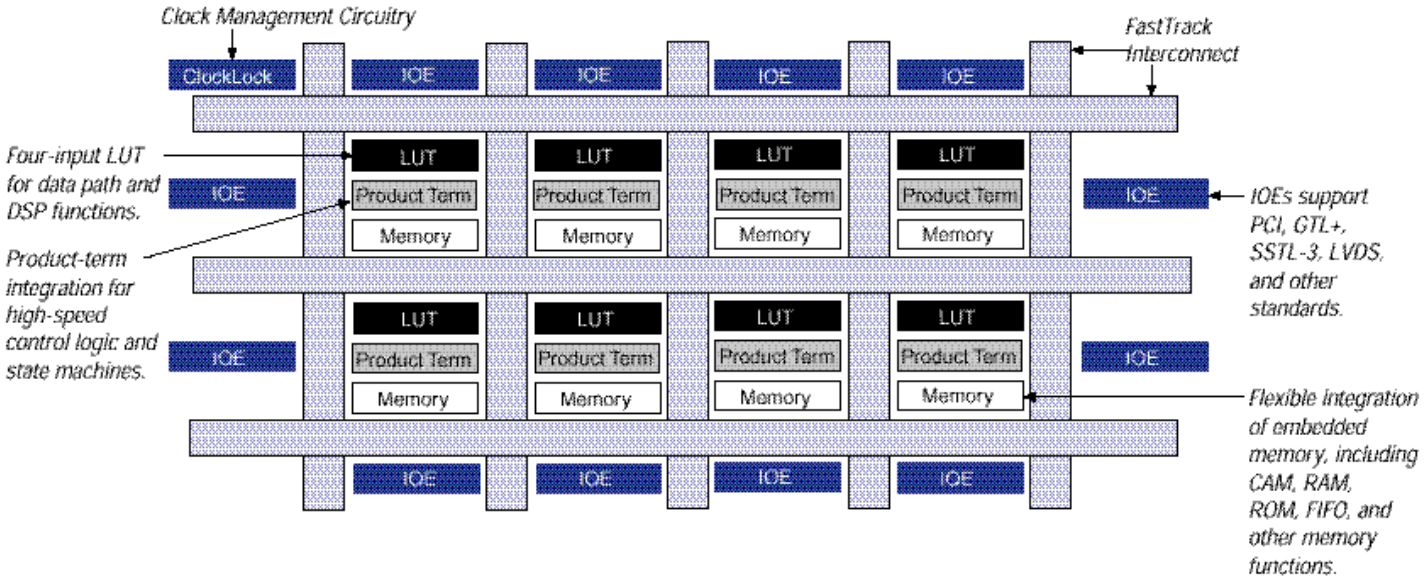
EP20K30 à EP20K1500

- Caractéristiques techniques :
  - 113k à 2,4 M portes
  - 1200 à 52k LE
  - 12 à 216 ESB
  - 24k à 442k RAM bits
  - 192 à 3456 Macrocellules
  - I/O utilisateur : 128 à 808
  - 4 PLL

III.6. Dernières évolutions

APEX (Altera)

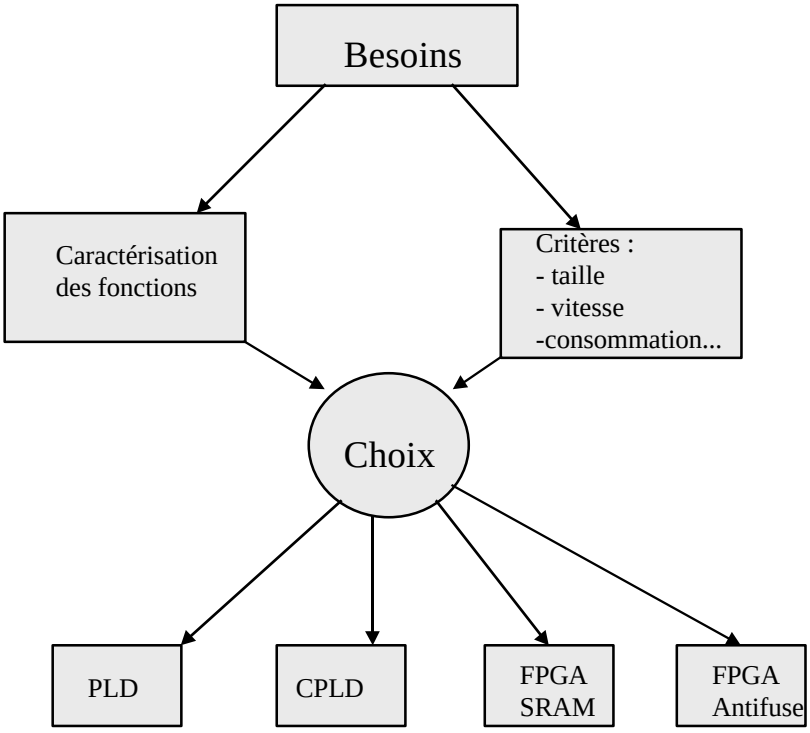
- Architecture : *Figure 59*



IV. Méthodes de conception

1. Choix du type de composant

- étude préliminaire : faisabilité du système et optimisation de la configuration en temps de développement, coût de fabrication, performances,…
- taux de remplissage = nombre de portes nécessaires à l ’application/nombre de portes disponibles



IV. Méthodes de conception

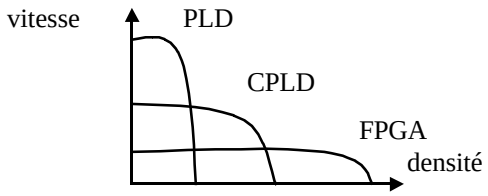
a. Caractérisation des fonctions

- type synchrone
  - fréquence maximum de fonctionnement
  - temps « set-up » et temps « hold »
- type décodage
- bus simple
- bus unidirectionnels à plusieurs sources
  - buffer 3 états ou multiplexeurs
- bus bidirectionnel
  - buffer 3 états
- processeur séquentiel
  - temps de latence
- processeur parallèle
  - temps de latence
  - fréquence maximum de fonctionnement
- mémoire RAM

IV. Méthodes de conception

b. Choix du composant

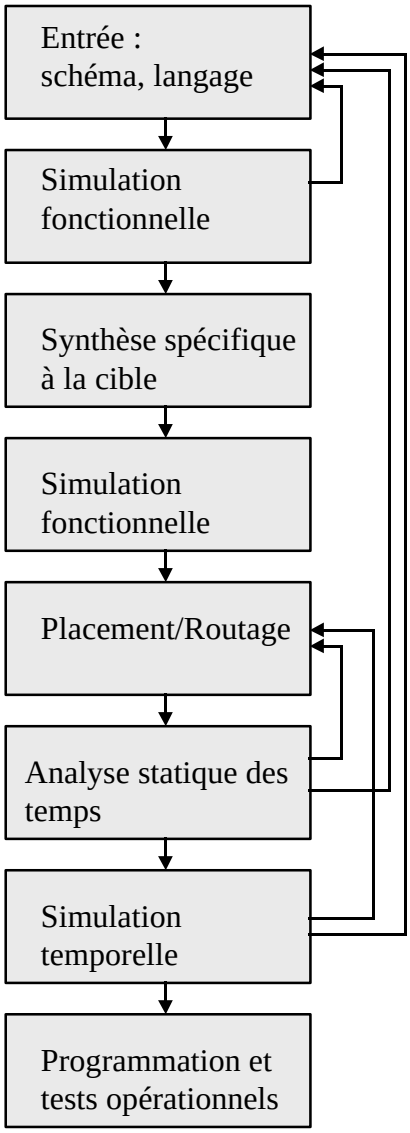
- rapport vitesse/densité



- rapport vitesse/consommation
  - regrouper les sous-fonctions par critères de vitesse
- logique asynchrone de type décodage
- accès bidirectionnel
  - FPGA : toutes les broches
  - CPLD : quelques broches dédiées aux horloges, le reste en bidirectionnel
  - PLD : moitié des broches, le reste en entrées
- bus internes unidirectionnels
  - buffer 3 états : FPGA à SRAM
  - mux : plutôt CPLD
- mémoire : FPGA à SRAM

IV.2. Méthodologie de conception

a. Flot de conception



IV.2. Méthodologie de conception

b. Environnement logiciel

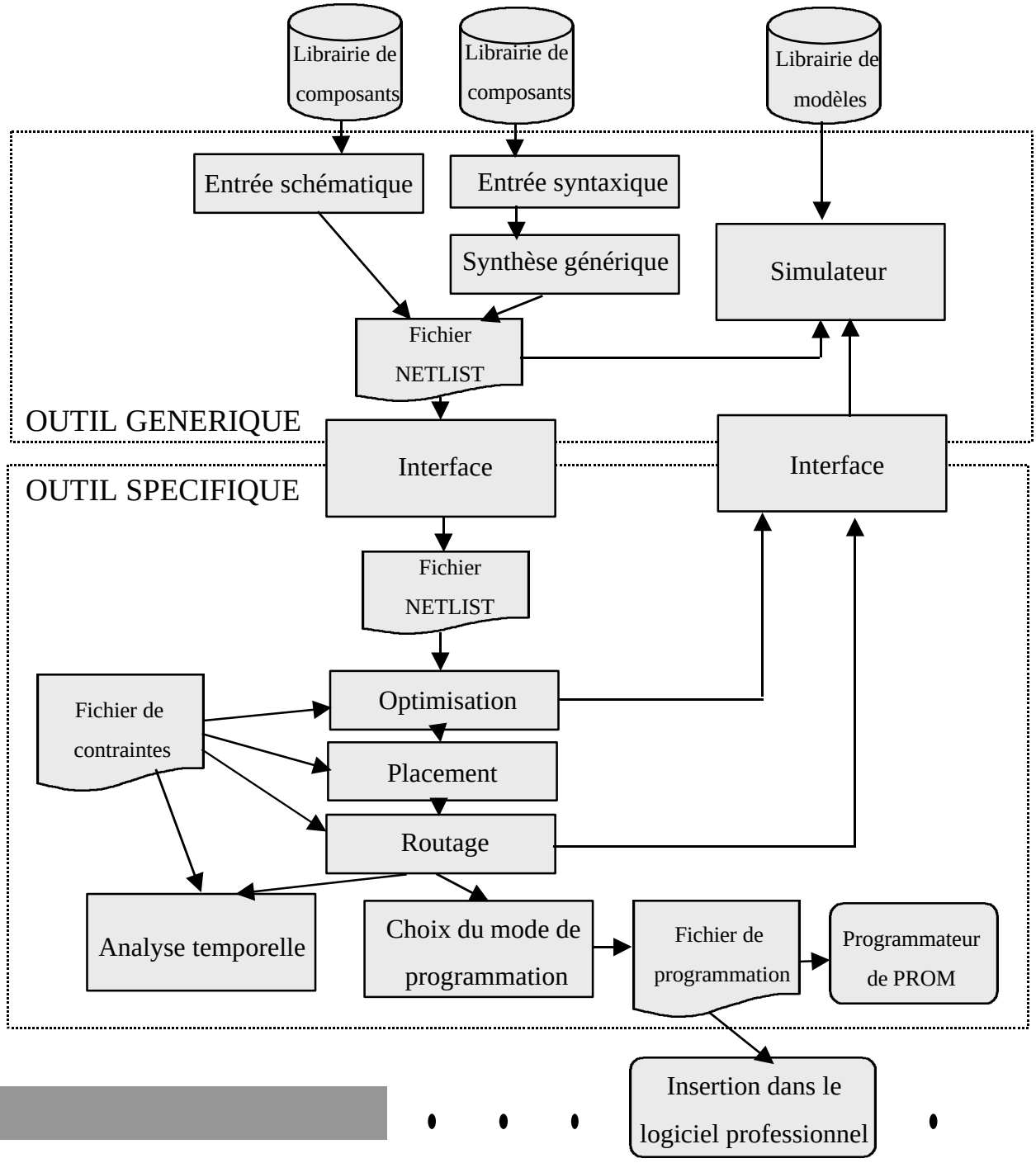
- Outils génériques
  - permettent a priori le développement de tous les composants programmables
  - ex: ASYL, CADENCE, ViewLogic, Synopsis, Mentor, Synario,…
  - avantages :
    - un seul apprentissage pour tous les composants
    - un même design peut être rapidement passé d ’un composant à un autre
    - permet a priori une conception détachée du composant cible
  - inconvénients :
    - toujours un peu en retard sur le dernier composant sorti
    - plus chers
    - performance de l ’optimisation ?
    - Le P/R constructeur est nécessaire

IV.2. Méthodologie de conception

- Outils spécifiques
  - permettent que le développement des composants constructeurs
  - ex : Actel Logiciel Designer, Altera Max.PlusII, AMD Mach XL, Xilinx Xact, …
  - avantages :
    - ils optimisent au mieux la synthèse pour le composant
    - toujours à jour sur le dernier composant
  - inconvénients :
    - ils nécessitent un apprentissage à refaire si on souhaite changer de constructeur
    - pérennité de l ’investissement ?

IV.2. Méthodologie de conception

c. Flot de données *Figure 60*



Annexe : Circuits disponibles

Fabricant	FPGA	CPLD	PLD
Altera	*SRAM* APEX 20K FLEX 10K FLEX6000 FLEX8000	*EEPROM* MAX 9000 MAX 7000 MAX 3000A *EPROM* MAX 5000 *FLASH* FLASHlogic	*EPROM* Classic
Xilinx	*SRAM* Virtex Spartan XC4000E/XL/XV XC5200 XC3x00A	*FLASH* CoolRunner XPLA3 XPLA2 XC9500/XL/XV	
Lattice Vantis	*SRAM* VF1	*EEPROM* pLSI 8000 pLSI 5000 pLSI 6000 pLSI 3000 pLSI 1000/E MACH 5/5A MACH 4/4A MACH 1 & 2	*EEPROM* GAL PAL

Annexe : Circuits disponibles

Fabricant	FPGA	CPLD	PLD
Actel	*FLASH* ProASIC 500K *Anti-fuse* SX Series MX Series 3200DX 1200XL ACT3/ 3PCI ACT 2/1		
Lucent	*SRAM* ORCA 3+/ 3 ORCA 2C/ 2T ATT 3000		
Cypress		*EEPROM* Ultra 37000 *FLASH* Delta39K Flash 370/370i	*EPROM* PAL PLD
Atmel	*SRAM* AT40K AT6000 FPSLIC		

Annexe : Circuits disponibles

Fabricant	FPGA	CPLD	PLD
Quicklogic	*ANTI-FUSE* QuickRAM QuickPCI pASIC3 pASIC2 pASIC1		
TI			*FUSE* PAL
ICT			*EEPROM* PEEL
WSI		*EEPROM* PSD	
Triscend	*SRAM* E5 Configurable System-on-Chip		
Gatefield	*EEPROM* GF260F GF250F		

Source : The programmable Logic Jump Station

Mars 99 www.optimagic.com/summary.html

Annexe : Répartition du marché

Rang	Vendeur	Part de marché en 1998
1	Altera	31,5 %
2	Xilinx	30,3%
3	Lattice	9,9 %
4	Vantis	9,9 %
5	Actel	7,4 %
6	Lucent	4,8%
7	Cypress	1,9%
8	Atmel	1,7%
9	QuickLogic	1,4%
10	Philips	0,7%

Source : The programmable Logic Jump Station Octobre 99 www.optimagic.com/summary.html

Annexe : SOURCES

- *Logique programmable - Architecture des FPGA et CPLD - Méthodes de conception - Le langage VHDL* Laurent Dutrieux / Didier Demigny Eyrolles ISBN : 2212095813
- *Circuits logiques programmables* Christian Tavernier Dunod ISBN : 2100028820
- Site web Xilinx

  http://www.xilinx.com
- Site web Altera

  http://www.altera.com
- Site d ’information sur les circuits logiques programmables

  http://www.optimagic.com
- Site web Actel

  http://www.actel.com
- Site Lattice - Vantis

  http://www.latticesemi.com
- Autres sites :

  http://www.whyron.com/logic.htm

  http://www.mrc.uidaho.edu/fpga/fpga.html

  http://www.plnv.com/index.htm